

②先端半導体製造技術の開発



(e) 次世代メモリ技術開発

(e1) 次世代広帯域・低消費電力HBMの製造技術開発

[次々世代大容量・広帯域メモリHBM4Eの研究開発](#)

(e2) 革新メモリの製造技術開発

[CXL 3Dメモリ向けメモリアレイ技術の研究開発](#)

(e3) エッジ向け AI メモリ設計・製造技術開発

[エッジ端末AI向けDRAMの革新的エネルギー効率改善を実現する製造技術の開発](#)

(e4) 高メモリ密度・広帯域・低消費電力な革新的メモリの製造技術開発

[高密度・広帯域・低消費電力 ZAM\(Z-Angle Memory\)の開発](#)

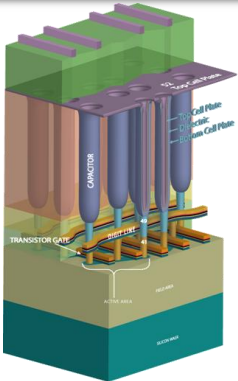
次々世代大容量・広帯域メモリHBM4Eの研究開発

実施者	マイクロメモリ ジャパン株式会社
概要	ポスト5G社会に向けたデータセントリックな高度コンピューティングシステム構築において、高速・低消費電力・大容量化に対応する広帯域メモリ（HBM）が必要不可欠となっている。特に、生成AIの利活用が進むポスト5G社会では、重要基盤技術の一つとして注目されている。本事業では、HBM開発の基盤となる先端DRAMの開発を遂行しながら、並行して先端CMOSデバイスの開発、及びTSV微細化技術の開発を実行する。これらにより、次々世代のHBM4Eの研究開発を推進し、世界最高性能のHBM製造技術の開発を行う。

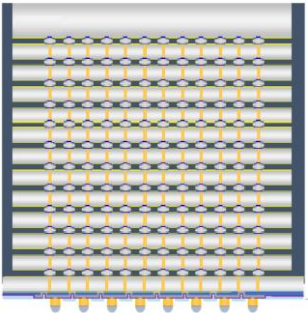
HBM4E

当社HBM3E比

- 容量 : 32Gb (per DRAM die)
- 帯域幅 : x 2倍 2.4TB/s
- パワー : 30%削減
- 積層数 : 12H以上



先端DRAM技術



先端TSV技術
TSV x2倍 | 12H

HBMの高性能化の必要性



生成AI



ディープラーニング



ハイパフォーマンスコンピューティング

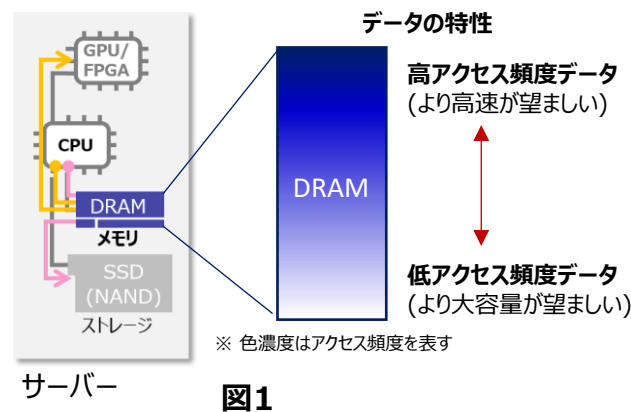


- 世界最高性能のHBMを開発し、デジタル化社会の成長に貢献
- ビッグデータ・AIを活用したサイバー空間技術、次世代モビリティの社会実装に向けた取り組みにも貢献

CXL 3Dメモリ向けメモリアレイ技術の研究開発

実施者	キオクシア株式会社
概要	ポスト5G時代では生成されるデータが極めて大量となるため、データセンターでは処理データ量が増加し、電力消費量が増大してしまう。一方、データセンターで処理データの格納に主に使われているのはデータアクセス頻度に依らず高速なDRAMであり、ビット密度が低く、リフレッシュサイクルが短いため消費電力が大きいという課題がある。 本プロジェクトでは、これらの課題を解決する可能性のある「CXL 3Dメモリ」の実現に向けて必要なメモリアレイ技術の開発を行う。「CXL 3Dメモリ」は、<u>CXL メモリ向けの、DRAMの課題を解決する低消費電力化、高ビット密度化が実現できるメモリ</u>であり、活用されることでデータセンターのメモリ利用効率の改善と消費電力の抑制を進めることが可能な革新的なメモリである。

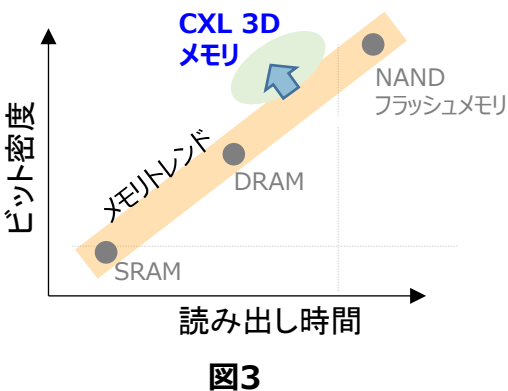
現在のデータセンターと課題



課題解決に向けた技術開発



CXL 3Dメモリの狙う領域



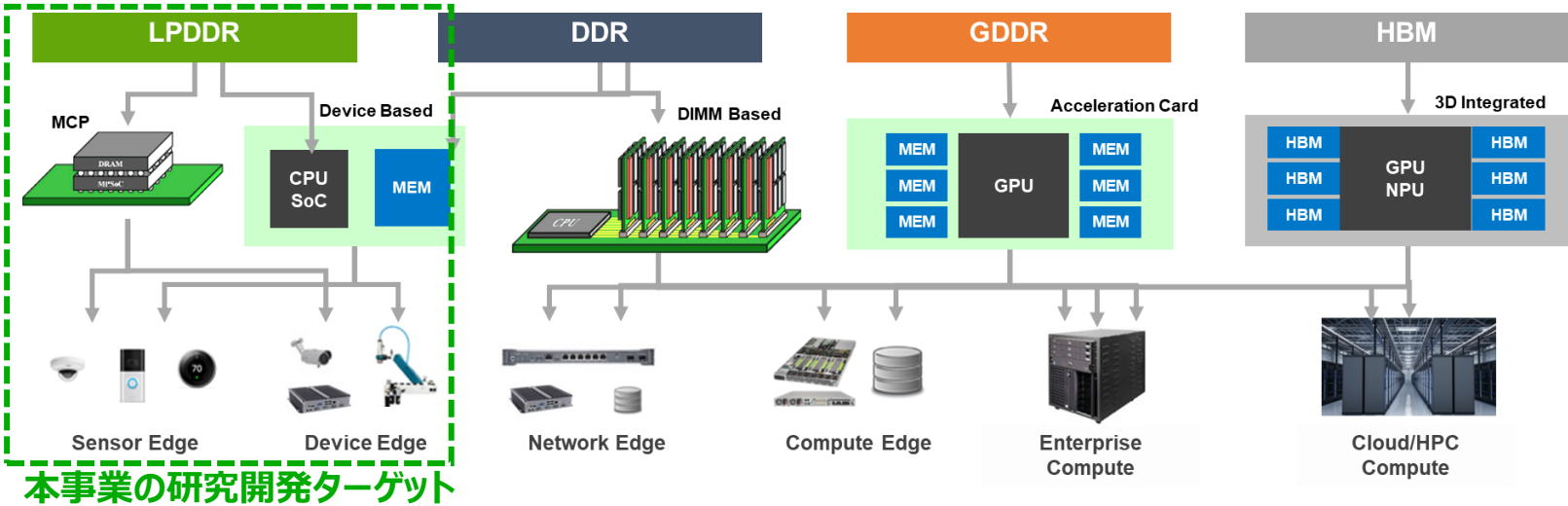
データセンターのメモリはアクセス頻度に差があるが、低アクセス頻度のデータに対しても高速なDRAMを使っており、ビット密度が低いいため効率が悪く消費電力が大きくなる。データ量が激増する将来はさらに大きな問題となる。

DRAMよりも低消費電力・高ビット密度で、NANDよりも読み出し速度の速いメモリを開発することで、データセンターでのアクセス頻度に応じたメモリを供給可能となり、メモリ利用効率の改善と消費電力の抑制が実現できる。

従来のメモリではビット密度と読み出し時間に普遍的なトレンドが示されるが、このトレンドを超えて、かつ低消費電力性を兼ね備える革新的なメモリである。

エッジ端末AI向けDRAMの革新的エネルギー効率改善を実現する製造技術の開発

実施者	マイクロンメモリ ジャパン株式会社
概要	AIの需要拡大にともない大量のデータを処理可能な高性能なメモリが必要不可欠になる。AIはハイエンドのAIサーバーに限らず、 <u>今後はエッジ端末へも急速に普及が拡大</u> し、バッテリー寿命と機器の発熱を考慮して、SoCを含めた半導体の 超低消費電力、高性能化、低コスト、大容量化 を可能にする製造技術を開発することが重要となる。本事業では、DRAMのメモリ製造技術のパラダイムシフトを可能とし、革新的なDRAMの開発を行い、社会に必要なエコシステムの構築と拡大に貢献することを目的とする。具体的には、 <u>データ伝送のエネルギー効率を改善するLPDRAM(1)</u> を開発する。並行して、エッジ端末の幅広いニーズに対応するために メモリのエネルギー効率を改善する広帯域LPDRAM(2) を開発する。



	本事業で開発するLPDRAM(1) (最大ピーク時の帯域を重視)	本事業で開発するLPDRAM(2) (常時の帯域を重視)
プロセッサ－メモリ間のデータ伝送時のエネルギー効率 (pJ/bit)	15倍以上改善	同等以上改善
メモリのエネルギー効率 (pJ/Byte)	同等以上改善	40%改善
帯域 (GB/s)	>500 (ピーク時、室温)	>200 (フルタイム、高温含む)
メモリ密度 (Gbit/mm ²)	0.75Gbit/mm ² 以上	
メモリ用CMOS性能	伝搬遅延時間35%改善	

※ 比較対象はいずれも本事業提案時点の最新製品

高密度・広帯域・低消費電力 ZAM(Z-Angle Memory)の開発

実施者

SAIMEMORY株式会社、インテル株式会社、（共同研究）理化学研究所

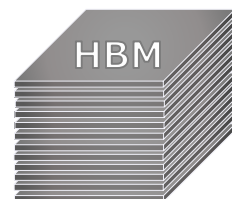
概要

生成AIモデルの大規模化に伴って、プロセッサ（GPU等）の演算性能ではなくメモリ帯域幅（データ転送量）がボトルネックになりつつあり、メモリの大容量化とともに広帯域化が重要となっている。一方、現行HBMは大容量・広帯域幅の進化に対し、熱の滞留など構造的な問題がある。本事業では複数の要素技術を組み合わせた革新的なメモリアーキテクチャを用いた「**ZAM (Z-Angle Memory)**」によって**高密度・広帯域・低消費電力**を実現する。

【事業項目】 本研究開発では、①**磁界結合無線通信の設計及び開発**、②**ZAM製造方法の設計及び開発**、③**ZAMホストダイのリファレンス設計及び開発**、④**ZAM性能評価システムの設計及び開発**を行う。

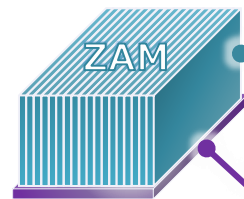
各事業項目の範囲

従来のメモリ構造では
積層数に限界

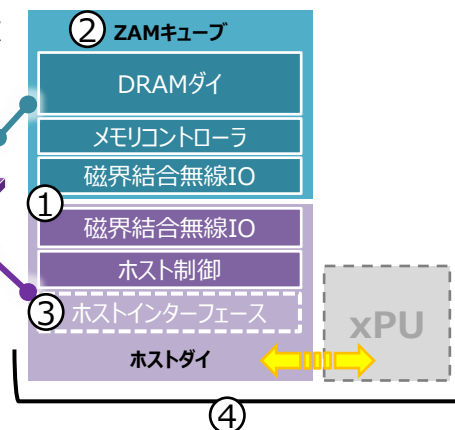


熱伝導率の低い
配線層により外部への
放熱が妨げられる

垂直ビルド設計により
積層数の制限を打破



垂直ビルドの構造特性に
より、配線層を経由せず
放熱が可能となる



①：磁界結合無線通信の設計及び開発

垂直ビルドしたメモリとホストダイの接続は、従来技術では実現が難しくなる物理配線にかわり、磁界結合無線通信IOにより実現

②：ZAM製造方法の設計及び開発

新たなウエハボンディング技術を活用した超多積層の実現、また、積層精度や側面電極の形成など、量産に向けたZAMキューブの製造プロセスを整備し、目標性能を満たすキューブを製作

③：ZAMホストダイのリファレンス設計及び開発

ZAM搭載演算システムに向けホストダイ（ZAMキューブ - xPU間インターフェース）のリファレンス設計・開発

④：ZAM性能評価システムの設計及び開発

実アプリケーションを想定した性能検証・評価シミュレーション環境の構築