

「省エネ AI 半導体及びシステムに関する技術開発事業」

研究開発項目① 革新的 AI 半導体・システムの開発

研究開発項目② AI エッジコンピューティングの産業応用加速のための設計技術開発

事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 半導体・情報インフラ部
-----	--

更新履歴

更新日	更新内容
2025 年 5 月 22 日	初版発行

目次

概 要	1
プロジェクト用語集	1
1. 意義・アウトカム（社会実装）達成までの道筋	1-1
1.1. 事業の位置づけ・意義	1-1
1.2. アウトカム達成までの道筋	1-2
1.3. 知的財産・標準化戦略	1-2
2. 目標及び達成状況.....	2-1
2.1. アウトカム目標及び達成見込み	2-1
2.2. アウトプット目標及び達成状況	2-1
3. マネジメント.....	3-1
3.1. 実施体制	3-1
3.2. 受益者負担の考え方	3-3
3.3. 研究開発計画	3-3
4. 目標及び達成状況の詳細	4-1
4.1. 研究開発項目①：テーマ名「自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速」	4-1
4.2. 研究開発項目①：テーマ名「予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発」	4-5
4.3. 研究開発項目①：テーマ名「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」	4-8
4.4. 研究開発項目②：テーマ名「RISC-Vシステム設計プラットフォームの研究開発」	4-11
4.5. 研究開発項目②：テーマ名「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」	4-14
4.6. 研究開発項目②：テーマ名「CMOS／スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」	4-17
4.7. 研究開発項目②：テーマ名「万能高位合成と新型汎用データフロー計算機構」	4-23
4.8. 研究開発項目②：テーマ名「省電力化に向けた次世代ヘテロジェニアス AI デバイスの SW-HW 協調設計ツール開発」	4-27
添付資料.....	1
●プロジェクト基本計画	1
●各種委員会開催リスト	1
●特許論文等リスト	2
@研究開発項目①：テーマ名「自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速」	2

@研究開発項目①：テーマ名「予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発」	2
@研究開発項目①：テーマ名「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」	3
@研究開発項目②：テーマ名「RISC-Vシステム設計プラットフォームの研究開発」	8
@研究開発項目②：テーマ名「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」	10
@研究開発項目②：テーマ名「CMOS／スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」	11
@研究開発項目②：テーマ名「万能高位合成と新型汎用データフロー計算機構」	16
@研究開発項目②：テーマ名「省電力化に向けた次世代ヘテロジニアス AI デバイスの SW－HW協調設計ツール開発」	18

概 要

プロジェクト名	省エネ AI 半導体及びシステムに関する技術開発事業	プロジェクト番号	P23015 P22020
担当推進部/ プロジェクトマネー ジャーまたは担当者 及び METI 担当課	半導体・情報インフラ部 PM g r 前田 尋夫（2025 年 5 月現在） 半導体・情報インフラ部 PM g r 岩佐 匡浩（2023 年 4 月～2024 年 4 月）		
0. 事業の概要	IoT 社会の到来で急増した情報を活用するためには、革新的なセンサ技術などで効率的に情 報を活用するだけでなく、ネットワークの末端（エッジ）側で中心的な情報処理を行うエッ ジコンピューティング等、従来のサーバー（クラウド）集約型から情報処理の分散化を実現 することが不可欠である。 本プロジェクトでは、上記社会課題を解決するため、実際の産業応用シーンを見据えて性能 を特化したエッジコンピューティング技術の確立を行う「革新的 AI 半導体・システムの開 発」、及び、高度なエッジコンピューティングの産業応用を加速するための技術開発を行う 「AI エッジコンピューティングの産業応用加速のための設計技術開発」を実施している。		
1. 意義・アウトカム（社会実装）達成までの道筋			
1.1 本事業の位置 付け・意義	近年、情報処理に用いるデバイスの高度化、ICT/IoT 社会の到来によるデジタル化の進展、 AI 等を用いる様々な産業の創出とその基礎となるビッグデータの活用や、5G 等の新たな情報 通信技術・インフラ整備、さらには世界規模のパンデミックによるライフスタイルの変化に より、ネットワーク上のデータ量が爆発的に増加している。 そこでネットワーク上のデータセンタにデータを集約して処理する「クラウドコンピュー ティング」だけでなく、端末側（エッジ側）でも分散的に情報処理を行う分散コンピュー ティングが、情報産業の新たな競争力創出の鍵として、データ量増大とエネルギー問題の解 決に寄与する一手として注目を集めている。 しかしエッジ領域はクラウド領域と異なり、情報処理に用いることができる電力や、サイ ズ、使用環境など様々な制約があり、高度なエッジコンピューティングを実現するデバイス 開発は容易ではない。そこで汎用的な半導体（LSI）から、例えば、特定の処理に特化した AI 半導体の活用や、そうした AI 半導体と CPU 等を複数組み合わせるヘテロジニアスコン ピューティング技術など、エッジ領域で活用するコンピューティング技術の研究開発を支援 することで、来る次世代の情報社会を支える礎となるデジタル技術の確立はもとより、デー タ量の爆発的な増大がもたらす社会課題の解決にも寄与することが期待される。 本事業の意義は、増加を続ける情報量がもたらす電力問題に対して、エッジ領域での分散コ ンピューティングを実現することで、その解決に寄与するのみならず、省エネルギーかつ高 性能で、競争力ある半導体・システム技術の実用化を推進することで、日本政府が進める我 が国のデジタル・半導体産業の再興に繋げることにある。		
1.2 アウトカム達 成までの道筋	本事業では、エッジ領域においてエッジデバイスにおけるリアルタイムの情報処理を主体 に、必要に応じエッジサーバを含む領域で活用する AI 半導体及びシステムに関する技術開発 を推進するとともに、それらの半導体開発を高速かつ効率的に実施できる設計技術の確立を 目標とする。各研究開発項目の下で実施する個別テーマ毎に、解決を目指す社会課題を明確 に設定した上で、まずは、アウトプット目標の達成に取り組む。プロジェクト開始前の提案 時のみならず、プロジェクト実施中においても社会ニーズを適切に捉えた実施内容となっ ていることを定期的に精査することによって、アウトプットを効果的にアウトカムへつなげ る。 研究開発項目①においては、技術推進委員会を通じて進捗状況を確認し、アウトプットの 中間目標を 3 テーマ全てで達成する見込みである。 研究開発項目②においては、サイトビジット、成果最大化につながるための研究開発の加 速、及び、技術推進委員会における外部委員等による助言等を行うことで、5 テーマ、23 事 業項目全てで最終的なアウトプット目標を達成した。また、成果を広く普及させることを目 的として、CEATEC 等の展示会への出展や、プレスリリース等による PR を行った。 今後、研究開発項目①②による本事業の成果が世の中に普及していく中で、アウトカムの達 成を見込んでいる。		
1.3 知的財産・標 準化戦略	本事業における委託事業（2024 年度まで）については、知財基本方針を適用し、テーマ毎に 実施者間での知財合意書の作成や知財運営委員会の設置を実施。		

	助成事業については、その知財等成果は事業者に帰属するものの、同水準以上の知財管理、戦略を実現するべく、NEDO として同領域に係る事例の情報収集を今後必要に応じて実施する予定。 取組み①：基本特許の取得 研究開発成果における基本的な知財の基本特許を率先して取得することで、関連開発を実施するグループをリードする。 取組み②：他社保有知財に関する対応 関連領域の開発を実施する企業との連携を研究開発と並行して実施し、産業応用を見据えた協力関係構築を実現することで、先行して取得されている知的財産の問題を解決。 取組み③：オープンプラットフォームの構築 研究開発成果を元にオープンプラットフォームを構築し、知財の取得と並行して、社会実装を見据えた学術、産業界との関係を構築することで、実用化・事業化を見据えた動きを後押し。 事業が完了した研究開発項目②においては、AI モデル等に OSS を活用したテーマが複数あり、研究開発成果のオープン・クローズ戦略について技術推進委員会等で検討を行ない、事業者に適宜提言を行った。また、車載向けデバイスにおいて取得が必須となる標準の ISO26262 について、対応が必要となる事業項目について、技術推進委員会を通じて対応状況を適宜確認し、最終的に目標を達成することができた。	
2. 目標及び達成状況		
2.1 アウトカム目標及び達成見込み	各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。 想定する社会実装先（自動運転、産業機械、医療・福祉等）での AI 関連ハードウェア世界市場において、研究開発成果の一部が市場に出る 2032 年に最低でも約 4,000 億円以上の市場を獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2032 年において約 1,373 万 t/年の CO2 削減を目指す。 現在、開発状況、成果の達成状況は概ね順調であり、本アウトカムについては成果の普及とともに達成出来る見通し。	
2.2 アウトプット目標及び達成状況	各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。各研究開発項目全体としての目標は、下記のとおり。 研究開発項目① 事業期間：2023 年度～2027 年度 中間目標：検証あるいはシミュレーションにより、電力効率 5 倍以上を達成。 達成見込み：全てのテーマで達成見通し。 研究開発項目② 事業期間：2023 年度(※)～2024 年度 最終目標：電力効率 10 倍以上を達成。 達成見込み：全てのテーマで達成。 ※当該研究開発項目は、「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／研究開発項目④ AI エッジコンピューティングの産業応用加速のための技術開発」として 2022 年度に公募、採択したテーマを 2023 年度から本事業に移管して実施した。	
3. マネジメント		
3.1 実施体制	プロジェクトマネージャー	半導体・情報インフラ部 PM g r 前田尋夫（2025 年 5 月現在）
	委託先	■研究開発項目① ・助成先：(株)デンソー、(株)OTSL、(株)ティアフォー ・助成先：ルネサスエレクトロニクス（株）、共同研究先：東京科学大学 ・助成先：ヌヴォトンテクノロジージャパン(株)、共同研究先：東京大学、産業技術総合研究所 ■研究開発項目② ・東京科学大学（代表事業者）、セイコーエプソン(株)、(株)デン

		ソー、京都マイクロコンピュータ(株)、(株)OTSL、東京大学・シャープ(株)、再委託先：大阪工業大学・東北大学（代表事業者）、日本電気(株)、(株)アイシン・日本電気(株)（代表事業者）、東京大学、キャノン(株)、再委託先：NECプラットフォームズ(株)、東京農工大学、南山大学・助成先：ルネサスエレクトロニクス（株）			
3.2 受益者負担の考え方	受益者負担の考え方： 【委託事業】 次世代の情報産業を担う基盤技術かつ革新的である新たな技術開発として国が支援するものであることから、100%NEDO 負担の委託事業として実施する。 【助成事業】 民間事業者等の行う産業技術に関する研究開発を助成することにより、早期の実用化・事業化に繋げることで、我が国産業の持続的な発展を図り、もって国民生活の安定向上および国民経済の健全な発展に資することを目的としているため助成事業として実施する。				
	主な実施事項	2023fy	2024fy	2025fy	2026fy
	研究開発項目① 革新的 AI 半導体・システムの開発	助成率： 1/2, 2/3	助成率： 1/2, 2/3	助成率： 1/2, 2/3	助成率： 1/2, 2/3
	研究開発項目② AI エッジコンピューティングの産業応用加速のための設計技術開発	委託：100% 助成率：1/2	委託：100% 助成率：1/2	-	-
3.3 研究開発計画					
事業費推移 [単位:百万円]	主な実施事項	2023fy	2024fy	2025fy (※見込み)	総額
	研究開発項目① 革新的 AI 半導体・システムの開発	965	1,899	3,216	6,080
	研究開発項目② AI エッジコンピューティングの産業応用加速のための設計技術開発 (上段：委託、 下段：助成)	1,767	1,864	-	3,631
		118	69	-	187
	事業費	2023fy	2024fy	2025fy	総額
	会計（特別）	3,400	4,800	3,000	11,200
	追加予算・繰越等	557	938	998	2,498
	総 NEDO 負担額	3,957	5,738	3,998	13,693
	情勢変化への対応	① 技術動向、業界動向の変化を踏まえた柔軟な計画変更 ・例えば、国立大学法人東北大学が代表事業者を務める「CMOS／スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」については、同テーマに参画する株式会社アイシンが担当する事業項目におけるチップの試作については、情勢の変化として開発当初は準備されていなかった MRAM 混載プロセスが用意されることを確認した。そこで、当初の計画からファウンドリを変更することにより、実デバイス設計において高密度化・回路小型化・低消費電力化を図ることに繋がった。 ・例えば、ヌヴォトンテクノロジージャパン株式会社が代表事業者を務める「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」については、急速に成長・台頭してきている「生成 AI」分野へも対応し、更なる省電力効果を実現するため、Transformer アルゴリズムの検討と回路設計について、追加予算の投入を伴う計画変更により開発内容を追加。 ・例えば、ルネサスエレクトロニクス株式会社が代表事業者を務める「予測 AI（トランスフォーマー）に対応する省電力動的再構成プロセッサ・システムの開発」については、AI 技術に対する情勢変化や、ハードウェア/ソフトウェアにおける製造環境の変化が激しいことか			

		ら、最終的に試作するチップに最新技術を取り入れるために、中間目標の達成にあたっては、テストチップ試作からエミュレータを活用する方針に変更するとともに、より市場競争性を持たせるために、MPU 製品の開発着手を早めることとした。	
		② 委託事業における、再委託先の追加 ・日本電気株式会社が代表事業者を務める「万能高位合成と新型汎用データフロー計算機構」や、シャープ株式会社が代表事業者を務める「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」において、更なる省電力効果の向上等に繋げることを目的として、研究開発の成果最大に繋げるため、研究開発体制における再委託先に大学を追加。	
	評価に関する事項	事前評価	2022 年度実施 担当部 IoT 推進部
		中間評価	2025 年度 中間評価実施
終了時評価		2028 年度 終了時評価実施予定	
別添			
	投稿論文	「査読付き」20 件	
	特 許	「出願済」36 件（うち国際出願 7 件）	
	その他の外部発表 （プレス発表等）	以下、NEDO としてニュースリリースを実施。 ・CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞（東北大学、日本電気㈱、 ㈱アイシン） ニュースリリース実施日：2024/10/10 ・大容量 MRAM を搭載したエッジ領域向け「CMOS／スピントロニクス融合 AI 半導体」により 従来比 10 倍以上の電力効率をシステム動作シミュレーションで確認（東北大学、㈱アイシン） ニュースリリース実施日：2024/10/11 ・リアルタイム OS 開発プラットフォーム SOLID の RISC-V 対応版の正式リリース発表（京都 マイクロコンピュータ㈱） ニュースリリース実施日：2025/2/26 他、CEATEC 展等各種展示会に 2023 年度から毎年度出展し、各事業者の成果を発表。 CEATEC2024 では研究開発項目②の全テーマの成果展示を実施。	
基本計画に関する事項	作成時期	2023 年 2 月 作成	
	変更履歴	（1）2023 年 2 月 制定 （2）2024 年 8 月 改定 NEDO 部署名の変更、PMgr の変更	

プロジェクト用語集

用語	説明
AD 開発キット (Autonomous Driving 開発キット)	試作チップ、Autoware を組みあわせて自動運転システムの開発を容易にし、かつ SoC プラットフォームの採用促進も行うもの。
AI-MCU	Artificial Intelligence Micro Controller Unit/AI 機能を持つ組み込み用マイクロプロセッサ。
Akaria-SoC PF	デンソー（旧エヌエスアイテクス）の組み込みシステム向けプロセッサ IP ブランド「Akaria」を中心に構成する SoC プラットフォーム。
Autoware	自動運転システム用のオープンソースソフトウェア。
Boot メモリ	コンピュータや組み込みシステムなどの起動（ブート）時に最初に読み込まれ、システムの初期化や OS の起動に必要なプログラムやデータを格納したメモリ領域のこと。システム起動の根幹を担う重要な役割を果たす。
Bridge-IC	ヌヴォトンテクノロジージャパンが提案する IC 技術。従来、センサとプロセッサはセンサ毎に信号処理 IC が接続されており、多数の信号処理 IC が分散していることで電力効率の悪化や時間的・空間的な同期ができていない等の課題がある。Bridge-IC とは多数のセンサ情報を時間的、空間的に同期させることを特徴とし、且つセンサ電源の制御技術の一つの IC に集積し、更にセンサの電源を適切にコントロールするソフトウェアの実装をした IC である。本研究開発のテーマの一つ。
BSP (Board Support Package)	開発ボードでの開発を支援するソフトウェア群のこと。ブートストラップコードやハードウェア操作を実現するドライバソフト群を含む。OS を同梱する場合はサンプルアプリケーションを提供することでユーザー開発を支援する。
C2RTL 高位設計検証ツール	C++言語による設計記述から SoC 全体の回路記述（RTL 記述）を自動合成し、チップ設計や FPGA 設計に活用するためのツール。
CiM	Compute in Memory/インメモリコンピューティング。人間の脳のように記憶装置と演算機能を一体化することで大量のデータを迅速に処理する技術であり、高性能・低消費電力の人工知能を実現するための鍵となる。狭義には、回路のメモリ領域と計算領域を併設・共用するための技術を指す。
CMOS	CMOS（Complementary Metal Oxide Semiconductor の略）は、P 型 MOSFET (PMOS) と N 型 MOSFET (NMOS) を相補的に利用する半導体デバイスの略称。PMOS や NMOS 単体のデバイスと異なり、CMOS は状態が変化したときのみ電流が流れ、静止時にはほとんど流れないため、消費電力の少ない論理回路が実現できる。現在の LSI 技術の本流。
CNN	Convolutional Neural Network 畳み込みニューラルネットワーク 主に画像認識用途向けのネットワークで、主に特徴を抽出する畳み込み層、畳み込んだ特徴マップの解像度を下げるプーリング層、全結合層で分類を行う構造を持つ。
COTS (commercial off-the-shelf) チップ	一般の市場で広く販売されている既製品の半導体チップのこと。特定の顧客や用途向けにカスタム設計されたものではなく、汎用的な機能を持つため、様々な製品に利用できる。特定のカスタム機能が不要な場合や、開発コストや期間を抑えたい場合に COTS チップが積極的に採用される。例：汎用的なロジック IC、メモリ、マイクロコントローラ、通信インターフェース IC 等
C 言語	1970 年代に開発された汎用性の高いプログラミング言語。「手続き型言語」に分類され、記述が比較的容易でありながら、ハードウェアに近い制御も可能なため、OS や組み込みシステムなど幅広い分野で利用されている。
DRP	Dynamically Reconfigurable Processor 動的再構成プロセッサ 時間と共に回路を動的に切り替えることを特徴とする書き換え可能なプロセッサ。

FFI (Freedom Interference)	From	複数のソフトウェアが共存する場合、あるソフトウェアが他のソフトウェアへの干渉を防止（無干渉の保証）すること。
FPGA		Field-Programmable Gate Array の略。ユーザーがプログラム可能な集積回路で、特定の機能を実現するために再構成可能なハードウェア。
Gion		試作チップ（SoC）のコードネーム。
GNN		Graph Neural Network の略。 グラフ構造を対象に処理するニューラルネットワーク。グラフ構造を用いることで疎なデータ構造を表現できるため、疎なデータを効率よく処理できる特徴がある。
HW-NAS		Hardware-Aware Neural Architecture Search: 実行するハードウェアに最適なニューラルネットワークモデルを探索。
HWD-NAS		Hardware Design-Aware Neural Architecture Search: 本プロジェクトでの造語。複数のニューラルネットワークモデルを最適に実行するためのハードウェア構成を探索。
HW アクセラレータ		SW 実行の処理が遅い機能を専用回路で高速実行する機能モジュール
Hypervisor		1 台の物理マシン上に複数の仮想マシン（VM）を提供するソフトウェア。利用者は物理/仮想マシンを意識する必要はない。
IMU		Inertial Measurement Unit、慣性計測ユニット。物体の動きや姿勢を計測するための装置。
IP		Intellectual Property : 知的財産。特に、SoC 関連の場合は、LSI や IC などの回路コンポーネントを纏めた設計情報を表す。
ISS		Instruction Set Simulator の略。
LSI		Large Scale Integration／大規模集積回路。
MAC		Multiple Accumulate の略。
ML		Machine Learning の略。
MRAM		MRAM (Magnetoresistive Random Access Memory) とは、磁性体の磁気抵抗効果を利用して情報を記憶する不揮発性メモリ。従来の DRAM や SRAM といった揮発性メモリとは異なり、電源供給がなくてもデータを保持できる。
NAFNet		Nonlinear Activation Free Network の略。 ECCV2022 で発表された画像回復のためのニューラルネットワークモデル。
NPU		Neural Processing Unit の略。
OS		オペレーティングシステム。
PDK		半導体プロセスを用いて回路を設計する際に必要な情報やツールをまとめたもの。ファウンドリが設計者向けに提供し、その製造プロセスで IC を製造するための設計ルール、デバイスモデル（トランジスタ、抵抗、容量など）、レイアウト情報、シミュレーションモデル、検証ツールなどが含まれる。半導体設計において、PDK は設計と製造の橋渡しをする非常に重要な役割を果たす。
PPA		Power Performance Area の略。
Python		シンプルで直感的な文法を持つプログラミング言語。機械学習、データ分析、Web 開発など多様な分野で活用されている。
PyTorch		Python で書かれたオープンソースの機械学習ライブラリ。深層学習モデルの構築、トレーニングが容易で、研究や開発に広く使用されている。
RAND		Resistive Analog Neuro Device。ReRAM を応用したニューロモルフィック型デバイスであり CiM 技術の一つ。並列に配置した ReRAM セル各々にアナログ抵抗値を書き込み、AI 計算の重みを記憶させ複数の ReRAM 素子を並列動作することで大規模な AI の積和演算を低消費電力で行うことが出来る。IoT 推進のための横断技術開発プロジェクト「超高速・低消費電力ビッグデータ処理

プロジェクト用語集-2

	を実現・利活用する脳型推論集積システムの研究開発(2016 年度～2021 年度)」において創出した技術であり、本研究開発においては低消費電力を維持しつつ、演算性能を向上させ、画像、音声等、様々なセンサ信号を同時に取り扱うマルチモーダル情報処理に対応可能な性能へと向上させる目論見である。
ReRAM	Resistance Random Access Memory／抵抗変化型不揮発性メモリ。
RISC-V	ライセンスフリーなプロセッサコアであり、今後 5 年間で年平均 30%の世界市場成長が見込まれている。UC Berkeley を中心に開発されたオープンな RISC プロセッサ仕様（命令セットアーキテクチャ）。
ROS	Robot Operating System の略。 既存のソフトウェアを再利用することで、ロボットシステムの開発を容易にする目的で開発されたオープンソースのフレームワーク
ROS2	機能安全対応など製品化の対応を目指した次世代 ROS。
RTL	Register Transfer Level の略。デジタル回路設計においてデータの流れと処理を詳細に記述するための抽象的な表現方法で、主にハードウェア記述言語が使われる。
SLAM	Simultaneous Localization and Mapping の略。 自己位置推定と環境地図作成を同時に行うアルゴリズム。移動体（ロボットやドローンなど）が、自身が今どこにいるのかを把握しながら、周囲の環境地図を構築する技術。
SoC	System-on-Chip の略。複数の電子回路や機能を 1 つのチップ（半導体ダイ）上に統合した半導体デバイス。
SoC プラットフォーム	SoC やアプリケーションソフトを短期間かつ効率的に開発できるように提供する開発環境の総称。ソフトウェアとハードウェアの連携を容易にし、製品立ち上げのスピードと信頼性を高める。
SRAM	SRAM (Static Random Access Memory) とは、データを保持するために定期的なリフレッシュ動作を必要としない半導体メモリ的一种。DRAM (Dynamic RAM) とは異なり、フリップフロップ回路と呼ばれる構造を用いて情報を記憶する。
STL	Standard Template Library の略。 C++言語において汎用的なデータ構造やアルゴリズムの記述を集めた標準ライブラリ。
TEG	Test Element Group／半導体プロセスやデバイスの評価を行う、ウェハ上に形成されたテストチップ。
TOF	Time of Flight／飛行時間。TOF 方式の反射型レーザセンサは、パルス投光したレーザー光が対象物表面で反射して返ってくるまでの時間を基に距離を測定することができる。
TOPS	Tera Operations Per Second / ハードウェアの毎秒当たりの演算性能。 (Tera:10 の 12 乗)
TVM	Tensor Virtual Machine: OSS として Apache ソフトウェア財団が提供している機械学習のコンパイルフレームワーク。
ViT	トランスフォーマーを用いた画像認識 AI モデルの一つ。多くのトランスフォーマ画像認識 AI モデルの源流となっているモデル。 注：トランスフォーマーを用いた画像認識 AI モデルを総称して Vision Transformer と呼ぶ場合もあるが、本事業原簿の ViT は 1 つのモデルの名称である。
x86 CPU	インテルが開発したマイクロプロセッサのシリーズであり個人・オフィスユースの PC、産業用途 PC 等幅広く使われている
XR デバイス	拡張現実 (AR)、仮想現実 (VR)、および混合現実 (MR) の技術を体験するための表示装置の総称。ユーザーに没入感のある体験を提供するために使用される。
アクセラレータ	処理性能を向上させるため、専門機能に特化した処理装置のこと。

暗電流	自動車のエンジンが OFF の状態でも流れる待機電流のこと、バッテリーの劣化やバッテリー上がりの原因となっている。
エッジコンピューティング	センサやデバイス等のデータ発生源に近い場所でデータ処理を行う技術。従来はクラウドにデータを集めて処理していたが、エッジコンピューティングでは、現場に近い場所で必要な処理を行うことで、低遅延、ネットワーク負荷の軽減、セキュリティ向上のメリットを提供できる。例えば、工場の異常検知、自動運転、ウェアラブルデバイスなど、様々な分野で活用されている。
エッジサーベイランス	監視カメラなどのデバイスに近い場所（エッジ）で映像データの解析や処理を行うシステム。
オンプレサーバー	自社内に設置し、自社で運用・管理する物理的なサーバーのこと。クラウドサーバのように外部の事業者の設備を利用するのではなく、ハードウェアの購入から設定、保守運用までを自社で行う。
回路 IP	特定の機能を持つ集積回路の設計データを指す。これは、半導体企業が自社製品に組み込むためだけでなく、他の企業にライセンス供与して利用してもらうため、知的財産として扱われる。 回路 IP には、CPU コア、メモリコントローラ、通信インターフェース、各種アナログ/デジタル回路ブロック等、がある。これらを再利用することで、半導体メーカーは新規 IC の開発期間短縮、コスト削減、設計リスク低減を図ることができる。
高位合成	RTL よりも抽象度の高い C 言語などのプログラム記述から RTL 記述などハードウェア用の回路情報を生成する技術のこと。
高位合成ツール	高位のプログラミング言語を用いて定義されたアルゴリズムや動作仕様をハードウェア回路に自動変換する設計ツール。
試作チップ	本プロジェクト内で開発・試作する SoC プラットフォーム技術搭載の SoC。
システム設計プラットフォーム	SoC のハードウェア設計とソフトウェア設計を網羅した設計環境。
シミュレータ	実機ではなくソフトウェアで構築された仮想環境のこと。
シングルタスク・シングルノード	一台のコンピュータ上で、一度に一つの処理しか実行しないアプリケーションを意味。
スピントロニクス	個体中の電子がもつ電荷とスピンの両方を工学的に応用する分野で「スピン」と「エレクトロニクス」から生まれた造語。代表的な例には高密度・不揮発性メモリ（MRAM）、低消費電力トランジスタ、「巨大磁気抵抗効果」を利用した HDD のヘッド等がある。
セキュアブート	ブートローダに対しセキュリティ観点から認証を行った上で安全と判断されたものだけ実行を開始する仕組み。
ソースコード	プログラミング言語を用いて人間が記述した、コンピュータへの命令や処理手順を記述したテキスト形式のファイル。
抽象化レイヤ	狭義には、特定機能の詳細な実装（低レベル実装）を隠蔽することを目的とした高レベルインターフェース層。実装を意識することなくアプリケーション側の実装を可能とする。本書ではさらに、物理的実装（FPGA や実チップ）での評価に先立ってシミュレータを利用することも“抽象化レイヤでの検証”と表現する場合がある。
通信トラフィック	ネットワーク回線上を一定時間に流れるデータ量のことを指す。道路の交通量に例えられ、Web サイトへのアクセス数、ファイル転送量、メールの送受信量、動画ストリーミングのデータ量などが含まれる。 クラウド等との通信トラフィックが増加すると、ネットワークの混雑（輻輳）を引き起こし、通信速度の低下や遅延の原因となる。そのため現場に近い場所で必要な処理を行うエッジコンピューティングが注目されている。
トランスフォーマー (Transformer)	画像の局所的な特徴を把握して物体などを認識する既存の画像認識 AI モデル（CNN : Convolution Neural Network）に比べ、データ全体の関係性の把握を重視した AI モデル。時間的な変化や画像以外のデータとの関係性の把握（マルチモーダル）処理にも優れている。

内部メモリ	一つのシリコン基板上に集積されたメモリ回路のこと。CPU や GPU などのロジック回路と同じチップ内に配置され、高速なデータアクセスを実現することで、チップ全体の処理性能向上に貢献する。内部メモリには、主に高速な一時記憶領域として使われる揮発性メモリと、プログラムコードや設定データなどを永続的に保存するための不揮発性メモリがある。
ニア・メモリ・コンピューティング	従来のコンピュータアーキテクチャにおける CPU とメモリ間のデータ転送のボトルネックを解消するため、演算処理ユニットをメモリの近く、あるいはメモリチップ内に配置するなど、データが格納されている場所に近いところで処理を行うことで、データ移動距離と時間を大幅に削減し、低遅延、低消費電力、高速なデータ処理を実現することが期待されている。
ニューラル NW モデル	人間の脳の神経回路（ニューラルネットワーク）の仕組みを模倣した数理モデル。多数の単純な処理ユニット（ニューロン、ノード）が層状に接続され、それぞれの接続には重み付けがされている。画像認識、自然言語処理、音声認識など、複雑なパターン認識や予測タスクに広く応用されている。
ビークルインフォテイメントシステム	自動車に搭載された情報（インフォメーション）と娯楽（エンターテインメント）を提供する総合的なシステムのこと。具体的には、カーナビゲーション、オーディオ、ビデオ、通信機能（Bluetooth、Wi-Fi など）、スマートフォン連携、車両情報表示、オンラインサービスへの接続などが含まれる。
不揮発性	電源供給が途絶えても記憶していた情報が失われない性質を指す。揮発性メモリ（SRAM や DRAM など）は、電力が供給されなくなるとデータが消えてしまうのに対し、不揮発性メモリは永続的にデータを保持できる。
ブートローダ	本来は、ブートプロセスの一部で、外部記憶装置から必要なプログラムをメモリ上に展開した上で実行させる仕組みのこと。車載システムにおいては、メモリ上のプログラムを必要に応じてアドレス変換して実行開始させる仕組みを指す。
フレームメモリ	ビデオ信号のフレームを一時的に保存するためのメモリ。映像処理や表示において、フレームのスムーズな再生を可能にする。
ヘテロジニアスコンピューティング	非同一の複数プロセッサでコンピュータを構築すること。
マルチタスク・マルチノード	複数の処理を同時に実行、または、複数の処理主体が連携してタスクを分担・実行するアプリケーションを意味
ミドルウェア	アプリケーションプログラムを特定のハードウェアで動作させる際に、その仲立ちとなって動作するソフトウェアならびにその集合。
リフレッシュ電力	主に DRAM（Dynamic Random Access Memory）において、記憶されたデータを保持するために定期的に行われるリフレッシュ動作によって消費される電力のこと。DRAM は、コンデンサに電荷を蓄えることで情報を記憶するが、この電荷は時間とともに自然放電してしまう。そのため、データが失われないように、一定間隔でコンデンサに再度電荷を供給するリフレッシュ動作が必須となる。
量子化	深層学習モデルのサイズを縮小し、計算効率を向上させるために、高ビットの浮動小数点数を低ビットの整数等に変換するプロセス。メモリや計算資源を節約することができる。
ワークメモリ	コンピュータがプログラムを実行する際に、一時的にデータやプログラムの一部を保持するために使用するメモリ領域のこと。主に主記憶（メインメモリ、RAM）の一部がワークメモリとして割り当てられる。SRAM や DRAM といった高速な揮発性メモリが主に用いられる。

1. 意義・アウトカム（社会実装）達成までの道筋

1.1. 事業の位置づけ・意義

近年、情報処理に用いるデバイスの高度化、ICT/IoT 社会の到来によるデジタル化の進展、AI 等を用いる様々な産業の創出とその基礎となるビッグデータの活用や、5G 等の新たな情報通信技術・インフラ整備、さらには世界規模のパンデミックによるライフスタイルの変化により、ネットワーク上のデータ量が爆発的に増加している。

2015 年度は約 8.5 ゼタバイトだった世界の情報量は右肩上がりで見られ、2020 年度は 59 ゼタバイトとする統計が IDC により報告されている。今後は IoT デバイスの世界規模での普及拡大、5G、ポスト 5G 等の情報通信技術の発展、オンラインミーティングなどの各種クラウドサービス、自動運転やスマート工場等、さらなる IT 化が進む産業領域の影響を受け、世界の情報量は 2025 年度には 175 ゼタバイト、2030 年度には 2020 年度比で 10 倍以上となる電子情報技術産業協会（JEITA）の試算もある。

こうした統計や各種調査結果を踏まえ、データセンタにおける消費電力の問題はもはや無視できないものとなりつつある。

そこでネットワーク上のデータセンタにデータを集約して処理する「クラウドコンピューティング」だけでなく、端末側（エッジ側）でも分散的に情報処理を行う分散コンピューティングが、情報産業の新たな競争力創出の鍵として、データ量増大とエネルギー問題の解決に寄与する一手として注目を集めている。

しかしエッジ領域はクラウド領域と異なり、情報処理に用いることができる電力や、サイズ、使用環境など様々な制約があり、高度なエッジコンピューティングを実現するデバイス開発は容易ではない。そこで汎用的な半導体（LSI）から、例えば、特定の処理に特化した AI 半導体の活用や、そうした AI 半導体と CPU 等を複数組み合わせるヘテロジニアスコンピューティング技術など、エッジ領域で活用するコンピューティング技術の研究開発を支援することで、来る次世代の情報社会を支える礎となるデジタル技術の確立はもとより、データ量の爆発的な増大がもたらす社会課題の解決にも寄与することが期待される。

本事業の狙いは、増加を続ける情報量がもたらす電力問題に対して、エッジ領域での分散コンピューティングを実現することで、その解決に寄与するのみならず、省エネルギーかつ高性能で、競争力ある半導体・システム技術の実用化を推進することで、日本政府が進める我が国のデジタル・半導体産業の再興に繋げることにある。

例えば Connected Industries で勝ち筋と定められた領域の内、自動車産業では、自動運転が本格的に導入されるにあたっては、AI を用いた画像認識や各種制御の高速化、リアルタイムで様々な信号を処理する技術等、それらを実現する基礎となる高性能な AI 半導体やエッジ領域での高度なコンピューティングシステムが、まさに次の世代の産業において生命線となると考えられる。ロボットを始めとした産業機械もまた、同様の技術を活用することによって、画一的な動作しか出来なかったものが、状況を判断・予測し、行動を計画する、これまでに無いサービスを実現することが可能となる。スマートライフとしても、今まで取得することが出来なかったデータを収集するだけでなく、リアルタイムで分析し、フィードバックに繋げることで次世代のヘルスケア、我が国のみならず世界的な課題となる医療・福祉のサービスに繋げることも可能となる。

本事業では、高度な AI 半導体及びシステムを用いることで、以上のように我が国が強みを持つ産業領域におけるデジタル化推進に伴う国際競争力の維持・強化に加え、新たな産業基盤の確立に寄与するとともに、増大を続ける情報量の効率的な処理に貢献することを目的とする。

1.2. アウトカム達成までの道筋

本事業では、エッジ領域においてエッジデバイスにおけるリアルタイムの情報処理を主体に、必要に応じエッジサーバを含む領域で活用する AI 半導体及びシステムに関する技術開発を推進するとともに、それらの半導体開発を高速かつ効率的に実施できる設計技術の確立を目標とする。

各研究開発項目の下で実施する個別テーマ毎に、解決を目指す社会課題を明確に設定した上で、まずは、アウトプット目標の達成に取り組む。プロジェクト開始前の提案時のみならず、プロジェクト実施中においても社会ニーズを適切に捉えた実施内容となっていることを定期的に精査することによって、アウトプットを効果的にアウトカムへつなげる。具体的な取組内容は下記のとおりとする。

(A) ベンチマーク

異業種を含めた個別テーマの立ち位置を常に把握し、研究開発の方向性を最適化する。

(B) ユーザー評価

デバイスの試作品が完成した段階でユーザーテストを実施する、コンピューティングシステムが仮完成した段階で無償の利用サービスを開始する等、プロジェクト初期・中期から製品化に向けてユーザーからフィードバックを得る。

(C) プロジェクト期間中の製品化

ユーザー評価を実施した結果、製品化の目途が立つものについては、プロジェクトから切り出し、プロジェクト期間中の早期製品化を進める。

(D) 成果最大化

個別テーマの推進に加え、複数テーマの連携、国際連携、人材育成、成果発信、各種調査、または既存技術の研究開発を補足し産業応用を後押しする周辺技術の開発等を行い、事業成果の最大化のための取組を推進する。

(E) 情報提供依頼

技術動向や市場動向等の外部環境の変化に対応するため、将来有望または必要とされる可能性がある技術的な課題や周辺技術について、情報提供依頼（Request For Information：RFI）を行う。RFI を踏まえ、必要と考えられる技術に関しては課題設定するなどして研究開発、探索型研究、先導調査研究等につなげる。

研究開発項目①においては、技術推進委員会を通じて進捗状況を確認し、アウトプットの中間目標を 3 テーマ全てで達成する見込みである。

研究開発項目②においては、サイトビジット、成果最大化につながるための研究開発の加速、及び、技術推進委員会における外部委員等による助言等を行うことで、5 テーマ、23 事業項目全てで最終的なアウトプット目標を達成した。また、成果を広く普及させることを目的として、CEATEC 等の展示会への出展や、プレスリリース等による PR を行った。

今後、研究開発項目①②による本事業の成果が世の中に普及していく中で、アウトカムの達成を見込んでいる。

1.3. 知的財産・標準化戦略

本事業における委託事業（2024 年度まで）については、知財基本方針を適用し、テーマ毎に実施者間での知財合意書の作成や知財運営委員会の設置を実施。

助成事業については、その知財等成果は事業者に帰属するものの、同水準以上の知財管理、戦略を実現するべく、NEDO として同領域に係る事例の情報収集を今後必要に応じて実施する予定。

取組み①：基本特許の取得

研究開発成果における基本的な知財の基本特許を率先して取得することで、関連開発を実施するグループをリードする。

取組み②：他社保有知財に関する対応

関連領域の開発を実施する企業との連携を研究開発と並行して実施し、産業応用を見据えた協力関係構築を実現することで、先行して取得されている知的財産の問題を解決。

取組み③：オープンプラットフォームの構築

研究開発成果を元にオープンプラットフォームを構築し、知財の取得と並行して、社会実装を見据えた学術、産業界との関係を構築することで、実用化・事業化を見据えた動きを後押し。

事業が完了した研究開発項目②においては、AI モデル等に OSS を活用したテーマが複数あり、研究開発成果のオープン・クローズ戦略について技術推進委員会等で検討を行ない、事業者に適宜提言を行った。また、車載向けデバイスにおいて取得が必須となる標準の ISO26262 について、対応が必要となる事業項目について、技術推進委員会を通じて対応状況を適宜確認し、最終的に目標を達成することができた。

2. 目標及び達成状況

2.1. アウトカム目標及び達成見込み

各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。

想定する社会実装先（自動運転、産業機械、医療・福祉等）での AI 関連ハードウェア世界市場において、研究開発成果の一部が市場に出る 2032 年に最低でも約 4,000 億円以上の市場を獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2032 年において約 1,373 万 t/年の CO2 削減を目指す。

現在、開発状況、成果の達成状況は概ね順調であり、本アウトカムについては成果の普及とともに達成出来る見通し。

2.2. アウトプット目標及び達成状況

各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。各研究開発項目全体としての目標は、下記のとおりとする。なお、研究開発期間によっては、必要に応じて中間、最終目標を、以下に示す目標を基準としつつ変更して設定する。

■研究開発項目①「革新的 AI 半導体・システムの開発」

<中間目標（2025 年度）>

開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、5 倍以上となる見込みを示す。

<最終目標（2027 年度）>

開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、5 倍以上となることを示す。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。また、上記目標とは別に、産業応用を想定する領域、市場において競争力を発揮するために達成することが必要となる技術課題、目標に関しては研究開発テーマ毎に設定し、研究開発を進めることとする。

■研究開発項目②「AI エッジコンピューティングの産業応用加速のための設計技術開発」

<最終目標（2024 年度）>

開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10 倍以上となることを示す。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。

各目標に対する達成状況を以下に示す。

■研究開発項目①「革新的 AI 半導体・システムの開発」

研究開発テーマ	代表事業者	達成度 (中間評価)
予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発	ルネサスエレクトロニクス株式会社	○ 2025 年 12 月までに達成見込み
自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速	株式会社デンソー	○ 2025 年 12 月までに達成見込み
エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発	ヌヴォトンテクノロジージャパン株式会社	○ 2025 年 12 月までに達成見込み

■研究開発項目②「AI エッジコンピューティングの産業応用加速のための設計技術開発」

研究開発テーマ	代表事業者	事業項目	達成度 (終了評価)
RISC-V システム設計プラットフォームの研究開発	東京科学大学	①C2RTL ツールによる RISC-V SoC プラットフォームとセンサデバイス SoC の研究開発	◎
		②IoT 向け低消費電力 RISC-V SoC の研究開発	○
		③RISC-V のアーキテクチャ拡張プロファイルと標準化の研究開発	○

		④RISC-V ソフトウェア開発環境とハードウェア検証環境の研究開発	○
		⑤RISC-V 統合開発環境の研究開発	○
		⑥RISC-V SoC HW セキュリティ機能の研究開発	○
CMOS／スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発	東北大学	①CMOS/スピントロニクス融合技術 AI 処理 LSI の効率的設計技術の研究開発	○
		②CMOS/スピントロニクス融合 AI チップに向けた設計技術の検証実証の研究開発	◎
		③CMOS/スピントロニクス融合 AI チップのエッジサーバーへの応用技術の研究開発	◎
		④車載への応用技術の研究開発	○
映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発	シャープ株式会社	①高位合成ツール Python コード変換処理部開発	○
		②高位合成ツール Layer 単位 RTL 生成部開発	○
		③高位合成ツール 4DTensorCore 向け RTL 生成部開発	○
		④高位合成ツール応用範囲拡大のための機能開発	○
万能高位合成と新型汎用データフロー計算機構	日本電気株式会社	①万能高位合成の基本手法、及び詳細設計・開発	○
		②システム合成	○
		③高位合成ライブラリ	○
		④多並列 SRAM 搭載 FPGA システム	○
		⑤大容量 SRAM を備える半導体チップ応用技術	○

		⑥サイバーフィジカルシステムの構築	○
省電力化に向けた次世代ヘテロ ジェニアス AI デバイスの SW- HW 協調設計ツール開発	ルネサスエレクトロ ニクス株式会社	①高速シミュレーション環境 開発	○
		②マシンラーニング（ML） コンパイラ開発	○
		③SW-HW の協調設計手 法開発	○

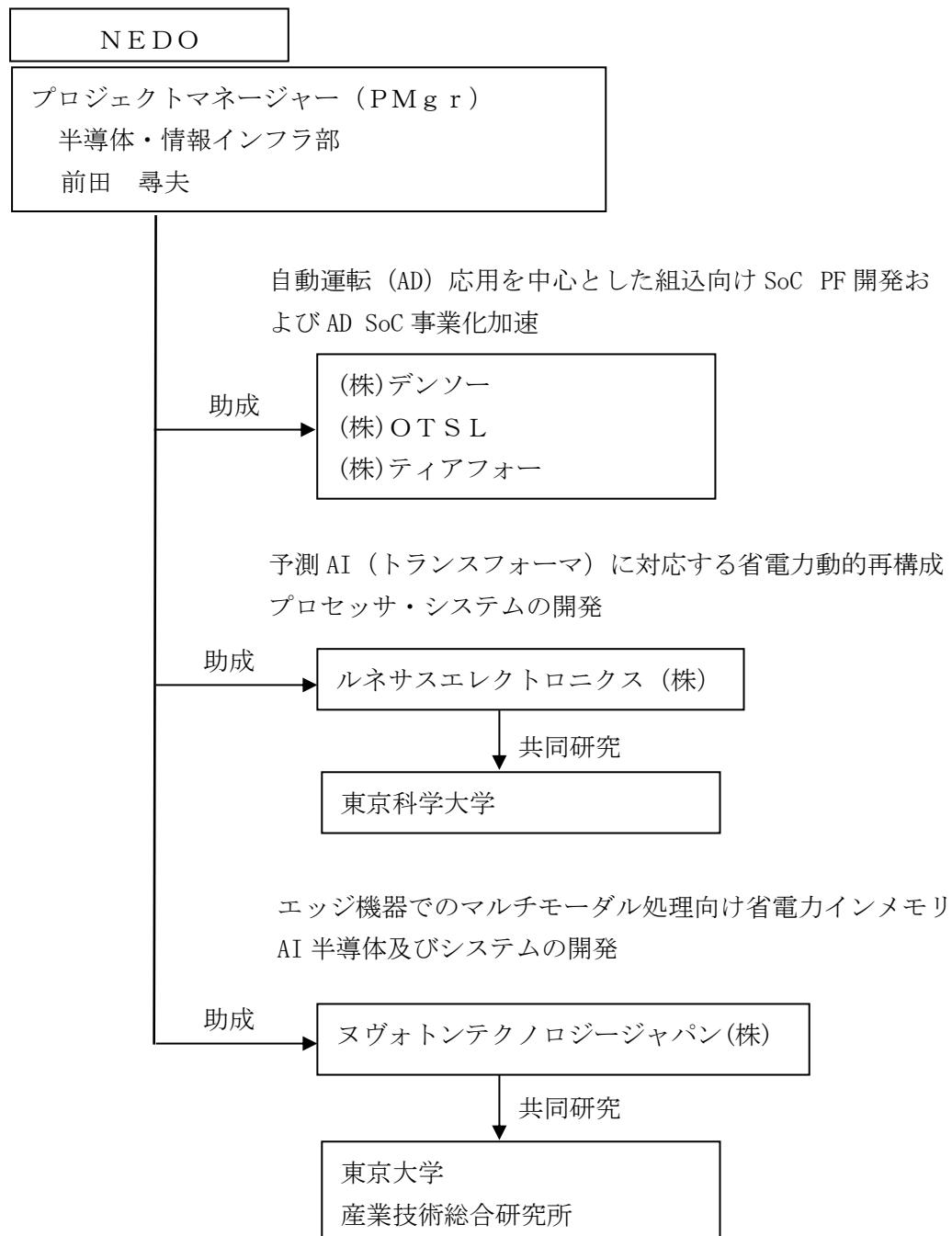
3. マネジメント

3.1. 実施体制

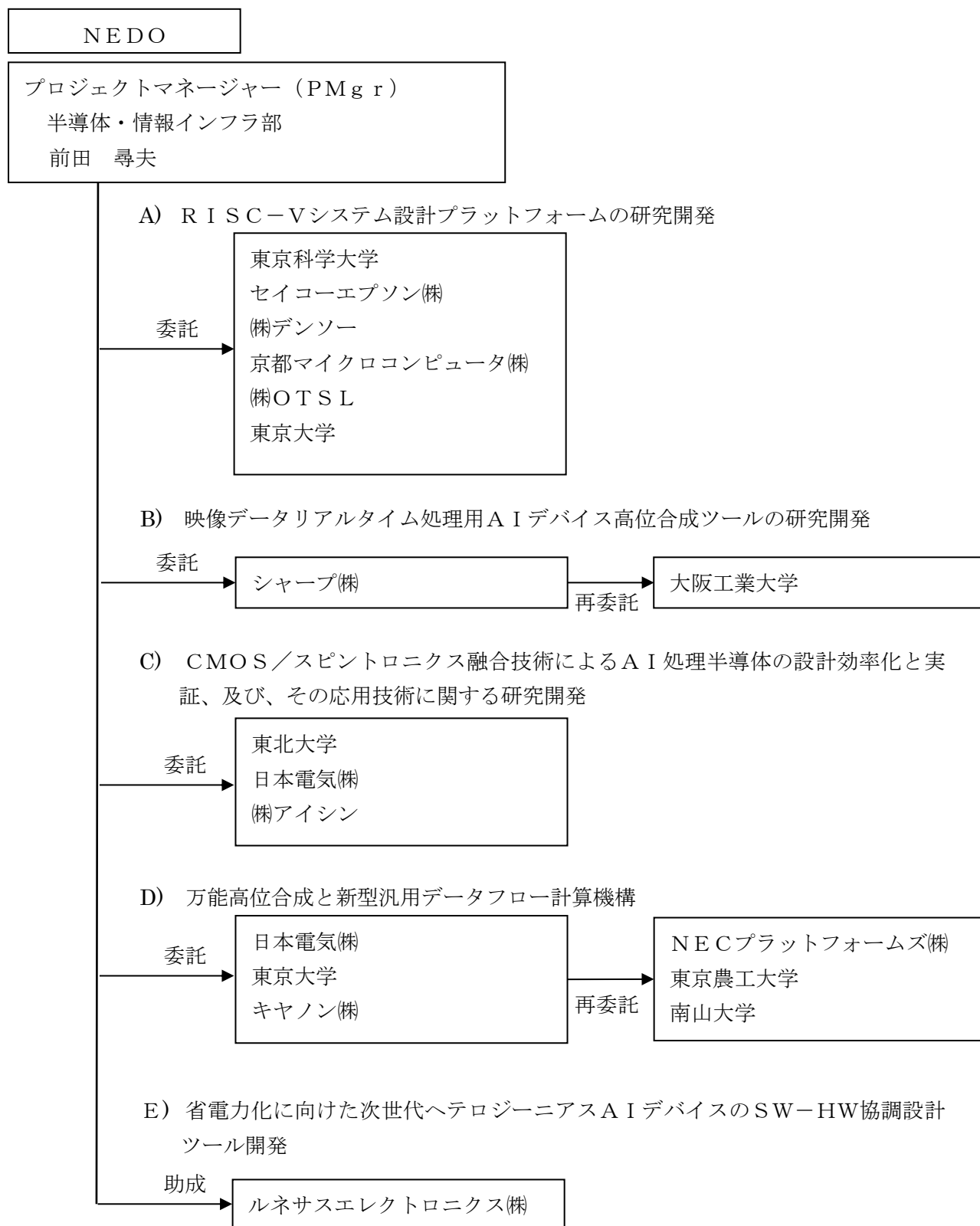
事業の成果・効果を最大化させるため、実務責任者として担当事業全体の進行を計画・管理し、事業遂行にかかる業務を統括する役割を担うプロジェクトマネージャー（以下「PMgr」という）を任命した。

以下に各テーマの実施体制の詳細を示す。

■研究開発項目①：革新的 AI 半導体・システムの開発



■研究開発項目②：AI エッジコンピューティングの産業応用加速のための設計技術開発



3.2. 受益者負担の考え方

【委託事業】

次世代の情報産業を担う基盤技術かつ革新的である新たな技術開発として国が支援するものであることから、100%NEDO 負担の委託事業として実施する。

【助成事業】

民間事業者等の行う産業技術に関する研究開発を助成することにより、早期の実用化・事業化に繋げることで、我が国産業の持続的な発展を図り、もって国民生活の安定向上および国民経済の健全な発展に資することを目的としているため助成事業として実施する。

3.3. 研究開発計画

以下に研究開発スケジュールを記載する。

	2023 年度	2024 年度	2025 年度 【中間評価】	2026 年度	2027 年度
研究 開発 項目①	革新的 AI 半導体・システムの開発				
			【SG 審査】		
研究 開発 項目② ※	AI エッジコンピューティ ングの産業応用加速のため の設計技術開発				

補足：終了時評価を 2028 年度に実施する。

※当該研究開発項目は、「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／研究開発項目④ AI エッジコンピューティングの産業応用加速のための技術開発」として 2022 年度に公募、採択したテーマを 2023 年度から本事業に移管して実施した。

4. 目標及び達成状況の詳細

4.1. 研究開発項目①：テーマ名「自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速」

●目標及び達成状況の詳細

テーマ名	自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速	達成状況	○
実施者名	株式会社デンソー 株式会社ティアフォー 株式会社 OTSL		
達成状況の根拠	事業項目① SoC プラットフォーム開発（担当：デンソー）において、プロセッサ IP のサブシステム開発を完了。SoC プラットフォームを FPGA に実装し、評価向け LinuxOS/ROS2/Autoware の動作確認（達成）と、評価対象の Planning/Control 処理における電力が測定できる（25 年 12 月見込み） 事業項目②試作チップ開発（担当：ティアフォー）において、試作チップの 1 次試作チップの製造を完了し、試作チップを搭載した AD 開発キットの 1 次試作を行い、Autoware を AD 開発キットに移植し車両実証用システムとして構築し実証実験に備えた状態となる（2026 年 3 月達成見込み） 事業項目③BSP を含む抽象化レイヤの開発（担当：OTSL）において、2024 年度までに策定した各仕様に則り、シミュレータ上での実装を行い、基本機能の動作確認・評価を行い、仕様通り機能していることを確認する。既に仕様を策定しており、且つシミュレータでの実装経験も豊富であり、計画通り達成する。（2026 年 3 月達成見込み）		

●背景・目的・プロジェクトアウトカム目標との関係

自動運転での AI 半導体において、その普及にはクーリング容易性・信頼性の確保・ECU 実装位置の自由度に貢献すること、また市販品で対応しづらい安全性（機能安全・実時間性）の確保が重要となる。サーバーやモバイルなどの汎用 AI 半導体では、これらポイントを十分に満たすことはできない。そこで高い性能に対する消費電力の削減（1/5）、システムの安全性の確保、システムの開発期間とコスト低減に貢献する SoC プラットフォームを開発し、この研究開発成果を反映した SoC を半導体メーカーにより製品化し、2028 年以降に自動運転車両へ社会実装を開始する。また自動車以外の産業へ向けても自動運転向け安全設計含めた SoC プラットフォームを展開し波及効果を狙っていくことで省電力化に貢献する。

●アウトプット目標

【中間目標（2025 年度末）】

SoC プラットフォーム（Akaria-SoC PF）の基本部分を搭載した 1 次試作チップ（Gion）開発を安全分析と共に行い、これを搭載した 1 次 AD 開発キットが BSP および汎用 OS、Autoware アプリケーションが動作し電力評価できる状態を目指す。AD 開発キットおよびシミュレーションによる電力評価と合わせて、本事業終了後に、本 SoC プラットフォームを搭載した製品版 SoC における電力削減が実現可能かの見通しを判断する。

- ① 基本ソフトウェアとアプリケーション動作による電力評価から製品版 SoC の電力見積を実施し目標達成度を評価する。拡張機能においては、最終目標へ向けて産業用途を含めた評価および事業化へ向けた品質改善を次年度以降で実施できるようにする。
- ② SoC プラットフォームをベースにした試作チップ（Gion）の 1 次試作チップの製造を完了し、またその試作チップ（Gion）を搭載した AD 開発キットの 1 次試作を行う。同様に、Autoware を AD 開発キットに移植し、車両実証用システムとして構築し、ステージゲート以降の実証実験に備えた状態となる。
- ③ BSP を含む抽象化レイヤ開発に関し、AI 半導体を効率的に、安全に利用できる基本ソフトウェアを提供することを目指している。2025 年度末までに、SoC プラットフォームへ向け実施項目③-1～③-3 をシミュレータ上にて実装し、さらに③-4 として BSP を AD 開発キット向けにシミュレータ上にて実装し、汎用 OS 動作、各種ドライバが動作することを目指す。

【最終目標（2027 年度末）】

2 次試作チップおよび 2 次 AD 開発キットでの評価を車両実証用システムによる評価を通じて、当初目標に到達していることの確認および品質改善まで完了し、電力を含む総合評価を実施、事業化に向けた問題点や改善点を洗い出す。また、デリバラブルの構成内容を検討し整備する。これらを以って本事業終了後に SoC プラットフォーム普及を目指す状態を目指す。

- ① SoC プラットフォーム（Akaria-SoC PF）はハードウェア機能を拡張し対応する基本ソフトウェアと合わせて、適用範囲を産業用途へ広げる開発・評価を完了させる。また、中間目標で確認した電力目標の達成度が維持できていることを確認する。機能安全アーキテクチャ開発を完了し ISO26262 認証取得に必要な作業成果物の作成も完了させる。
- ② 試作チップは二次試作チップを通したそこまでに見つかった課題・改善を行い性能改善、AD 開発キットは二次試作と機能評価を行い最終的には性能改善・評価を終え、車両実証システム開発では実証・評価・品質改善を完了する。これらの取り組みにより、AD 開発キットを顧客提供できる状態を目指す。
- ③ BSP を含む抽象化レイヤ開発に関し、AD 開発キットでの BSP 完動を目指す。また、SoC プラットフォームに関し、適用範囲を産業用途へ広げる開発・評価を完了させる。なお、ソフトウェア実装完了後、パッケージングやテストを含む製品化への対応を実施し、品質改善を完了する。これらの取り組みにより本事業完了後に、AD 開発キットを顧客へ提供し、自動運転システム普及を目指す。

●実施体制

助成先	株式会社デンソー	① SoC プラットフォーム開発
助成先	株式会社ティアフォー	② 試作チップ開発
助成先	株式会社 OTSL	③ BSP を含む抽象化レイヤの開発

●成果とその意義

全体概要

国内半導体産業の競争力低下は、自動車関連産業にも深刻な影響を及ぼしている。車両の販売台数を維持できたとしても、内部構成の海外製品化が進むにつれ、中長期的には自動車産業におけるシェア低下の引き金となる可能性がある。本事業は、自動車産業を中心に国内組み込み産業の競争力維持へ貢献する防波堤の役割を担う所存である。消費電力の削減および性能向上を実現する新規 IP の搭載を伴う自動運转向け AI 半導体の開発には、先行開発期間を含めて 5-6 年程度が必要となる。また、新規 IP の普及にあたっては、製品版 SoC の量産開始時期よりも 2 年以上前（先行開発期間）から使用可能な開発キットをアプリケーションソフトウェア開発者に提供する必要があり、IP ライセンス事業企業にとって多大な投資が必要となる。本事業では、IP ライセンス事業企業や製品版 SoC を開発する顧客が開発コストを削減できるよう、SoC プラットフォーム（図 1. Akaria-SoC PF）と自動運転アプリケーション開発キット（図 2. AD 開発キット）を開発し、顧客へ提供することを目指している。これにより、双方の開発投資抑制を図ることができる。

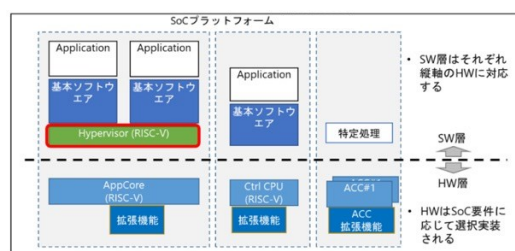


図 1. Akaria-SoC PF

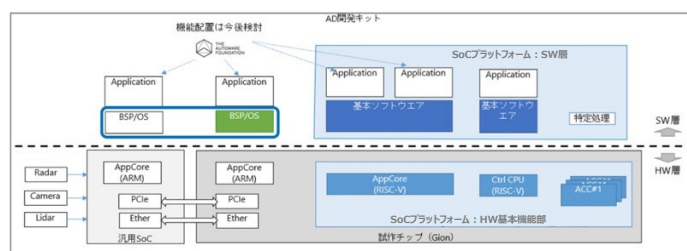


図 2. AD 開発キット

実施項目①SoC プラットフォーム（Akaria-SoC PF）開発

本事業における SoC プラットフォーム（Akaria-SoC PF）の開発を通して次の優位性の実現を図る

● プロセッサ・サブシステム開発：

自動車部品メーカー内に製品レベルで SoC を開発・評価可能なプラットフォームを保有することで、机上の仕様や要件とりまとめだけでなく、車載用 SoC の開発を半導体メーカーとより深いレベルで協業することが可能となる。結果、国内の車載用要件を盛り込んだ SoC の性能・コスト改善につながられる

● 基本ソフトウェア開発：

開発する SoC プラットフォーム上でオープンなアーキテクチャを移植することで、自動車部品

メーカー単独では構築が困難な、自動運転システム向け基本ソフトウェアの評価が可能となり、車載用 SoC への早期のフィードバックが可能となる

実施項目②試作チップ (Gion) :

本事業にて、試作チップ、AD 開発キット、自動運転システムの実証を通して次の優位性の実現を図る

- **自動運転システムで最適化した AI 半導体の実証:** サーバーやモバイル向けに開発された AI 半導体の自動運転システム向け転用によるギャップの大きさ、これを解消した SoC プラットフォームを用いた AI 半導体の自動運転システムでの最適化した電力・安全を実証する
- **オープンなアーキテクチャの提供:** Autoware をリファレンス・アプリケーションとして採用し、オープンなアーキテクチャの AD 開発キットを提供することで、市場優位性の確保と顧客の開発期間短縮が可能となる

実施項目③ BSP を含む抽象化レイヤ開発:

本事業にて、FFI 対応、リアルタイム性の改善、セキュアブート機能開発、BSP 開発を行ったことで、以下の点で優位性があると考ええる。

- **オープンアーキテクチャの採用:** RISC-V ベースのアーキテクチャを採用し、オープンアーキテクチャで統一的なソフトウェア開発環境を提供することで、ソフトウェアの開発工数増加やポータビリティの問題を解決する。
- **リファレンス・アプリケーションの提供:** AD 開発キットを活用する為の BSP を提供することで、顧客が低コスト短期間で評価を行うことが可能となり、さらにオープンソース化されたリファレンスソフトウェアと AD 開発キットを使用することで、顧客は自動運転システムや組み込みシステムのより効率的なシステム開発が可能となる。

これらの優位性により、OTSIL の担当部分は国内外の他の技術やこれまでの取組と比較して、技術的優位性・経済的優位性を確保する。

●実用化・事業化への道筋と課題

デンソー

実用化・事業化に向けた計画

- ・ 電力効率の高い SoC プラットフォームを開発し、性能およびコスト競争力の高い製品版 SoC を普及する

実用化・事業化に向けた取組状況

- ・ 開発中の SoC プラットフォームの一部を IP 開発／製品版 SoC 開発へ適用することを検討中

実用化・事業化に向けた今後の課題と対処方法

- ・ RISC-V の SW エコシステムが未成熟である期間は、内製 IP 開発のベース HW として活用する

ティアフォー

実用化・事業化に向けた計画

- ・ 電力効率の高い SoC プラットフォームを搭載した試作チップと AD 開発キットを提供し、自動運転システムとアプリケーションの開発期間を短縮することを価値として提供する

実用化・事業化に向けた取組状況

- ・ 実用化へ向けて FY25 年度までに電力削減の見通しを立てると同時に試作チップを開発予定。自動運転車両実証システムも開発中

実用化・事業化に向けた今後の課題と対処方法

- ・ 最終プロダクトの仕様や提供方法については OSS である Autoware のオープンエコシステム等のニーズヒアリングと企画を進行中。

OTSIL

実用化・事業化に向けた計画

- ・ SoC プラットフォーム向けに抽象化レイヤのソフトウェアを提供、また、BSP を AD 開発キット向けに提供する。また、抽象化レイヤのソフトウェアは本事業で開発する AI 半導体の特徴である、低消費電力・並列処理を効率的に活用できる為、産業分野、医用等において、SoC に限らず、FPGA 市場に対してもマーケット拡大に寄与することが可能であると考ええる。

実用化・事業化に向けた取組状況

- ・ 組み込みシステム向けに新規事業展開を開始しており、本事業成果を活用できるよう対応中。

実用化・事業化に向けた今後の課題と対処方法

OTSL の知名度・プレゼンスが十分とはいえず、複数社とエコシステムを組み、OTSL のビジネスに本事業成果を活用していく。					
期間・予算 (単位:百万円) ※2025FY 以降 は見込	2023FY	2024FY	2025FY	2026FY	2027FY
	328	797	1,219	984	589
●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
2 件	0 件	0 件	0 件	0 件	

4.2. 研究開発項目①：テーマ名「予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発」

●目標及び達成状況の詳細

テーマ名	予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発	達成状況	○
実施者名	ルネサス エレクトロニクス株式会社（国立大学法人 東京科学大学）		
達成状況の根拠	○（2026 年 3 月 中間目標達成見込）中間目標（電力効率 5 倍のシミュレーション実証）に必要な要素技術・シミュレーション環境の構築とトランスフォーマ主要レイヤの動作確認を予定通り実施し、電力効率向上の目途が立っている。2025 年度にモデル全体評価ならびにハード・ツールのアップデートを行い、目標を達成できる見込。		

●背景・目的・プロジェクトアウトカム目標との関係

近年、労働力不足や産業競争力向上のため、人と協調し、複雑なタスクを実現する機器・ロボット等による作業効率化への期待が急速に高まってきている。特にクラウド AI ではトランスフォーマという新しい AI モデルにより、これまでの「認識」に特化した AI から「予測・判断」する AI に発展しており、このトランスフォーマ AI をエッジ領域で実現できれば、産業機器やロボットが自律的に複雑なタスクを遂行できるようになり、これまでに無いサービスの実現が可能になる。

上記の AI 半導体を組み込み機器に実装可能にするためには、消費電力や発熱の抑制が課題となる。本助成事業では、トランスフォーマを用いた予測 AI をエッジデバイス内でリアルタイムかつ低電力に処理可能な組み込み AI ハードウェア技術および予測 AI を効率よく処理する AI ソフトウェア技術を開発する。

本技術の実現が期待される主な産業分野（産業機器、ロボット等）向けの組み込みプロセッサ（MPU）の市場は 2032 年度には 2,230 億円程度の成長が期待され、この市場の獲得は、我が国の AI 半導体産業の成長に大きく貢献できるものである。また、トランスフォーマ AI をクラウド処理からエンドポイント処理に置き換えができれば、通信含めたシステムの大幅な省電力化・CO2 低減が期待できる。

●アウトプット目標

アウトカムである大幅な省電力化・CO2 低減を実現するため、本事業開始時に製品入手可能な競合 AI ハードウェアと比較し、トランスフォーマ処理時の電力効率 5 倍を実現する AI ハードウェアならびにツールを開発し、さらに組み込みユーザーでも容易に高度な AI を活用できる周辺環境も整備することで、競争力のある製品を提供可能にする。

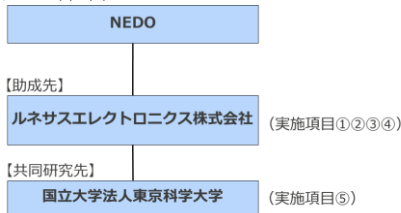
【中間目標（2025 年度末）】

従来比 5 倍の電力効率の達成見込をシミュレーション評価にて実証する。

【最終目標（2027 年度末）】

MPU 製品試作を行い、従来比 5 倍の電力効率を実証する。

●実施体制



●成果とその意義

全体概要

2024 年度は、中間目標達成に必要な要素開発を予定通り実施。具体的には、ハード（実施項目 1）およびソフト（実施項目 2）協調での要素技術の開発、IP 論理設計、エミュレーション環境を構築。また、MPU 動作に必要な周辺環境の構築（実施項目 3）や、アプリケーション開発・提供環境の整備（実施項目 4）も予定通り実施。さらに、生成 AI などで用いられる言語モデル（LLM）の軽量組み込み技術についても東京科学大との共同研究により開発に成功し（実施項目 5）、さらなる高度化の可能性が広がった。

実施項目 1：従来比 5 倍以上の電力効率を有する動的再構成可能なトランスフォーマ対応 AI チップの開発

動的再構成プロセッサ（DRP）を基盤技術とした AI アクセラレータ（DRP-AI）において、従来の CNN に加えてトランスフォーマの推論処理が可能なアーキテクチャの基本仕様を固め、RTL 論理設計を開始した。

大規模 FPGA エミュレータと FPGA ボードを連携させて、各 FPGA エミュレータにそれぞれ前記で設計した DRP・AIMAC（AI 処理向け積和演算器）・CPU を搭載した動作検証システムを開発した。既存の CNN モデルに加え、実施項目 2 で開発中の実装ツールを使い、画像系モデルである ViT の単レイヤ動作を確認した。

また電力評価では FPGA エミュレータ結果と電力解析ツールの併用手法を確立し、チップの製造前に高精度な評価を可能にした。本手法を使って Transformer モデル全体動作時に従来比 5 倍以上の電力効率を達成すべく開発を進めている。

実施項目 2：トランスフォーマモデルの軽量化・実装ツールの開発

量子化ツールは、ViT の量子化時に大きく精度低下してしまう問題に対応するため、混合精度量子化機能を試作した。また、本機能の精度確認実験を行い、改良を進めている。

枝刈りツールは、Transformer の基本構造である Multi Head Attention への対応を行い、ViT モデルで枝刈り機能の動作を確認した。

量子化 AI モデルのハードウェア実装ツールを開発。特にトランスフォーマモデルで共通に使用されるオペレータ群に対してハードの機能を最大限発揮するバイナリコードを生成し、FPGA 上での動作確認に着手した。また、ハード仕様検討時にモデル全体での推論結果を検証するためのシミュレータ環境を構築。量子化モデルに対し、検討中のハード仕様を模擬した推論結果を取得し、妥当性評価を実施した。

実施項目 3：トランスフォーマ対応 MPU 向けソフトウェア開発環境の構築

AI 搭載 MPU 製品として必要となる要素ソフトウェアの構成検討ならびに開発に着手。具体的には、Linux/リアルタイム OS (RTOS) 対応ドライバやライブラリ拡張等を実施。また実施項目 1 で必要となる FPGA エミュレータ上で実行可能な DRP-AI ドライバを構築し動作を実証した。ロボットアプリ等への適用性を拡大するための環境として、リアルタイム OS (RTOS) 上で動作可能な AI システムや、深度推定カメラや Wifi 連携などのインターフェース拡張を行った。

実施項目 4：トランスフォーマ学習済みモデルを含むアプリケーション開発環境の構築

組み込み開発者への利便性を高めるため、活用が容易な AI アプリケーションの開発や AI 共有環境の整備を進めている。複数の DRP-AI 世代間で統一的に AI モデルを最適化できるソフトウェアツールスタックを整備するとともに、リアルタイム AI アプリケーションの拡充を実施。また、AI ツールのユーザフィードバック（ハードウェア購入時からすぐ AI が試せる環境がほしい、軽量化のための再学習が難しい等）に基づくツールの利便性改善を実施。

実施項目 5：トランスフォーマを用いたリアルタイムアプリケーションの研究開発・実装検証

DRP-AI の高い電力効率と計算性能を発揮するためには、アーキテクチャ制約に合わせて既存のニューラルネットワーク圧縮アルゴリズムを発展的に適用する必要がある。この観点から DRP-AI において適用可能な各種圧縮手法の検討を行ってきた。今年度は、画像分類モデルとして代表的な Vision Transformer と ResNet、そして近年注目を集めている Large Language Model (LLM) を対象にそれぞれ研究を行った。

- (1) Vision Transformer の 8 ビット量子化・DRP-AI 実装を完了し 15%以上の高速化を達成した
- (2) DRP-AI における N:M 枝刈りの標準 CNN (ResNet) に対する有効性評価を行い、宝くじ仮説ベースの手法より Quantization Aware Training が相対優位であることを明らかにした
- (3) 大規模言語モデル LLM (Phi3) の 8 ビット量子化、その精度向上の工夫 (重みとアクティベーションに定数スケーリングを駆使)、DRP-AI 実装を進め、実機上で基本動作を確認した

●実用化・事業化への道筋と課題

当社は、MPU 製品にて AI 向けラインナップ（RZ/V シリーズ）を展開中であり、この組み込み AI 市場での事業成長を計画している（製品量産時期は未公表）。導入期においては製品量産化と並行し、easy-to-use を志向したソリューション開発に集中する。その後の成長期においては、マスマーケット顧客をサポート可能なパートナーおよび開発・生産を行うエコシステムの構築の展開が必要である。パートナーおよびエコシステムに関しては、ルネサスは既存の MPU 製品の事業展開において構築済みの資産を有しており、本資産を活用し拡大する方針である。

●期間・予算 (単位: 百万円) ※2025FY 以降 は見込	2023FY	2024FY	2025FY	2026FY	2027FY
	210	522	523	523	484

●特許出願及び論文発表				
特許出願	論文発表	発表・講演	雑誌掲載	その他
1 件	1 件	5 件	0 件	0 件

4.3. 研究開発項目①：テーマ名「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」

●目標及び達成状況の詳細

テーマ名	エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発	達成状況	○
実施者名	ヌヴォトン テクノロジージャパン株式会社、（国立大学法人東京大学）、（国立研究開発法人産業技術総合研究所）		
達成状況の根拠	2024 年度までの開発で、当初目標の消費電力を達成するチップの仕様策定、アーキテクチャの方針に目途。2025 年度にテストチップの試作・評価で効果を確認予定。また、成果の一部は 2025 年度に量産化予定。		
●背景・目的・プロジェクトアウトカム目標との関係 [背景] メタバース・モビリティ・ロボティクス・産業機器市場では、エッジ機器が取り扱うイメージセンサや音声センサ等、センサ数が増加し複雑化することによる遅延や電力効率低下、センサ信号自体の低精度、低品質、セキュリティ確保等の課題がある。そのため複数のセンサ信号を効率的に処理するマルチモーダル技術や、高精度、高品質、省電力化技術の実現が要求されている。 [目的] 上記対象市場に向けたエッジ機器の電力・コスト・機能の最適化。 [プロジェクトアウトカム目標との関係] 当社の製品の一つである Bridge-IC について、民生/産業機器および車載機器において 2030 年度に 80 億円の売り上げの創出、もう一つの製品である AI-MCU については産業機器およびヘルスケア機器において 2030 年度に 32.4 億円の売り上げの創出を目標とする。 さらに、省エネ AI コア RAND を他社製品へ展開することも想定し、2030 年度には 700 億円以上の製品へのライセンス展開を目標とする。エネルギー削減効果としては日本の総エネルギー量 8,640 億 kWh に対して本研究によるエッジ機器のシステム省電力化（-80%電力削減）の実現と合わせてエッジ機器の潮流や当社技術のシェアを考慮し、2030 年度で 259 億 kWh の電力削減効果を目指とする。 ●アウトプット目標 【中間目標（2025 年度末）】 ①マルチモーダル Bridge-IC 及びエッジセンシングシステムの開発 ・複数のカメラ・TOF センサ・マイクの集約し、同期した動作と信号処理を実行する IC チップとそれに搭載するソフトウェアの開発完了。 ・従来プロセッサ及び HUB 構成比-20%の電力削減。 ②AI-MCU 及びエッジセンシングシステムの開発 ・ハードウェア開発 - AI-MCU のテクノロジープラットフォームの開発を目標にデジタル/アナログ/メモリ/AI/セキュア機能の要素回路設計、及び TEG 試作評価による基礎評価完了。 ・MCU の動作モード比-50%の電力削減。 ・システム開発 - AI-MCU 向けインテリジェント・センシングソリューション開発にむけてインテリジェント化処理の MCU 実装開発・性能実証。 ③省エネ AI コア技術 RAND 及び応用システムの開発 ・エッジ AI に求められる省エネルギー化と高機能化を両立する省エネ AI コア技術として、ReRAM を用いた CiM（Compute In Memory）技術である RAND をその候補技術とし、画像処理を含む AI 技術に対応した低消費 AI コア技術及びアーキテクチャを確立。 RAND チップの試作及び動作検証。 ・処理量[TOPS/W]の従来比 2 倍以上、GPU 比 1000 倍以上の実現。 【最終目標（2027 年度末）】 ①マルチモーダル Bridge-IC 及びエッジセンシングシステムの開発 ・Bridge-IC に RAND チップを搭載し、RAND による状況判断に応じて、必要なセンサ電源制御およびセンサ信号の伝送を行うことを可能とする LSI の効果確認・実証。 ・従来プロセッサ及び HUB 構成比-80%の電力削減。			

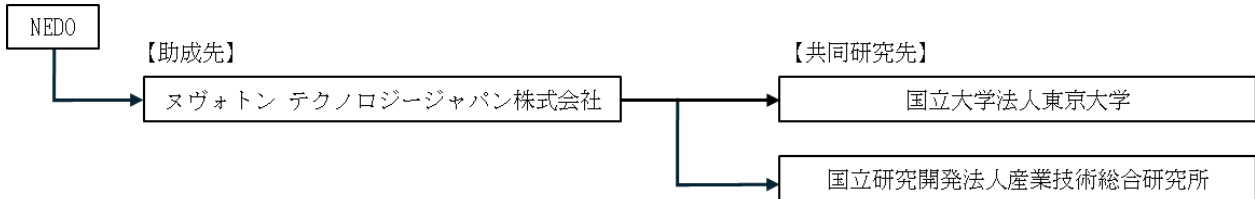
②AI-MCU 及びエッジセンシングシステムの開発

- ・ハードウェア開発
省エネ AI コア RAND 搭載 AI-MCU による高度エッジ情報処理のシステム実装を目標に省エネ AI コア RAND を搭載したチップを用いた各種ユースケースの効果確認・実証。
- ・MCU の動作モード比-80%の電力削減。
- ・システム開発
省エネ AI コア RAND 搭載 AI-MCU 向けインテリジェント・センシングソリューションの開発にむけて省エネ AI 半導体コア搭載 MCU でのインテリジェント化処理の MCU 実装開発とデモ開発完了、及び各種ユースケースでの効果確認・性能実証。

③ 省エネ AI コア技術 RAND 及び応用システムの開発

- ・Bridge-IC 及び AI-MCU の組み合わせによるシステムの低消費化と高機能化の実証。次世代 RAND にむけた課題抽出と技術検討。
- ・マルチモーダル AI システム実証完了（クラウド AI 比消費電力<1/1000）。

●実施体制



●成果とその意義

全体概要

本研究開発は下記の社会的意義のもとに取り組みを実施している。前述の「アウトプット目標」を達成することで実現を目指す。

<直面する社会課題への貢献>

我が国は人口減少と少子高齢化に直面しており、労働力不足や社会インフラの老朽化などの課題がある。これらの解決策として、自律走行搬送ロボット（AMR）や無人搬送車（AGV）、ドローンなどの自律動作ロボットが注目されている。さらに、COVID-19 の影響で急速なデジタル化が進み、ウェアラブル機器やメタバース関連の AR/VR グラスの需要が高まっている。本研究開発のマルチモーダル Bridge-IC や AI-MCU は、エッジコンピューティングにおけるセンサ信号処理を効率化し、電力効率を高めることで、これらの社会課題に大きく貢献する。

<カーボンニュートラル社会への貢献>

エッジ機器の増加と 5G、6G の普及により、2030 年の消費電力は 2020 年比で 5 倍になると予想されている。エッジコンピューティングは、データセンタとネットワークの負荷を軽減し、消費電力を抑える効果が期待されている。本研究開発を実行することによりカーボンニュートラル社会へ貢献する。

具体的な実施項目のこれまでの成果を以下に示す。

実施項目①：マルチモーダル Bridge-IC 及びエッジセンシングシステムの開発

- ・2023～2024 年度に開発した Bridge-IC のアーキテクチャ設計およびコーディング結果(RTL)を用いて半導体(Bridge-IC)の試作を 2025 年 2 月に完了し、評価を実施。2025 年 4 月に機能評価および複数センサを制御するためのソフトウェアの機能確認を完了。2025 年 Q3 に量産化できる目途を確認。
- ・本 IC は、単独で 4 つのカメラ、2 つのマイクと IMU のセンサを同期させて制御するとともに信号処理を行い、USB を通じて信号の出力が可能。当初の電力削減の目標通り、複数の IC を用いる場合に対して -20%削減を実現できる見通し。

実施項目②：AI-MCU 及びエッジセンシングシステムの開発

- ・ハードウェア開発
次世代の IoT 向け MCU におけるセキュリティ要件を検討し 22nm プロセスにおけるアナログ回路および 1chip-Logic 設計を完了(2025 年 3 月に試作ロット投入)。
次世代に向けた暗号技術を検討、2030 年以降必須となる耐量子計算機暗号のテストチップ実装を完了。
- ・システム開発
時系列センサ AI で必要となる信号前処理技術、異常検知 AI の要素技術開発とデモ装置を開発、異常検知 AI は異常度合いの解釈性が高い変分オートエンコーダ(VAE:Variational Auto Encoder)の開発・MCU

実装を行い、EdgeTech+2024 へ展示会出展(2024 年 11 月)、AI-MCU 社会実装に向けて計 96 件の引合いを獲得。そのうち 36 件へアプローチを実施中。加えて、産業機器向けアプリケーションとして、サーバー向け電源システム(PSU:Power Supply Unit)のソリューション開発、MCU 仕様要件策定を実施。

実施項目③：省エネ AI コア RAND 及び応用システムの開発

- ・低消費電力と計算性能の両方を求められるエッジでの AI コア開発において、低消費な不揮発性メモリ ReRAM を応用し、計算のボトルネックとなるデータ通信を削減する CiM 技術を確認。2024 年度は AI コアとして必要な性能目標とアプリケーションを設定し、AI による 60fps での物体検知を 1TOPS、10mW オーダーで実行するためのアーキテクチャ（ハードウェアの回路構成）を決定し、2025 年 1 月に設計に着手。東京大学および産総研との共同研究により ReRAM のもつ抵抗素子のバラつき抑制や信頼性向上に向けての研究開発を先行して実施。プロジェクト発足時より継続的に、IRPS 初め学会各所にて採択。RAND の完成度向上にフィードバック予定。
- ・社会実装の加速に向けた取り組みとして、RAND の応用範囲拡大に向け、加速テーマとして 2 テーマを 2024 年 10 月に新たに着手。(1)RAND を自社開発製品だけではなく他社に展開可能な IP としての開発するため、汎用性の高いメモリ IP ベンダーの ReRAM 資産を活用し、他社へ展開しやすい RAND の開発を実施中。(2)急速に成長する生成 AI に対応すべく、Transformer モデルに RAND 技術を拡大するための先行研究を実施中。

●実用化・事業化への道筋と課題

実施項目①：マルチモーダル Bridge-IC 及びエッジセンシングシステムの開発

- ・カメラを含むセンサを多数搭載した AR グラス/XR ヘッドセットがエンターテインメントや産業分野で活用される場面が急激に広がっている。この分野では AI の活用と同時に低電力化が課題となっており、Bridge-IC の活用が期待されている。2025 年度は、まずこの分野に向け Bridge-IC を量産し社会実装を行う予定である。また、より低電力化をすすめた第 2 世代の開発着手を予定しており、RAND との組み合わせた社会実装に向けて取り組む予定である。

実施項目②：AI-MCU 及びエッジセンシングシステムの開発

- ・当初の事業化ターゲットとして、医療/ヘルスケア向けアプリケーションにおきコンサルティング会社を活用した医療/ヘルスケア分野エッジ AI 応用の調査を 2023 年度に進めた。しかし、現状主流のクラウド処理からエッジ処理へ想定以上に移行が進んでおらず、将来的には有力な市場として期待されているものの時期尚早と判断し、販売チャネルの構築およびパートナー探索を地道に進めることとした。一方で、自社が高いシェアをもつ産業用 MCU（電源/モータ制御等）では AI 技術を活用した故障予知が強く求められていることがわかり、それらを 1st ターゲットにおく計画変更を行った。2024 年の EdgeTech+2024 へのデモ出展においても、多くの引き合いがあり、手ごたえを得た。

実施項目③：省エネ AI コア RAND 及び応用システムの開発

- ・本プロジェクトの中間目標としては AI コアの確立と実証を計画しており、2027 年度末の最終目標として Bridge-IC との結合による製品化と社会実装を計画している。ハードウェア技術の確立と併せ、RAND 向け AI ソフトウェア環境実現のための他社連携も含めたエコシステムの構築が今後の課題である。当社において 2024 年度には AI 技術部門を設立し(2024 年 3 月)、エコシステム構築を主体的に進め、2026 年度以降のシステム実証の取り組みを具体化する見込みである。

●期間・予算 (単位:百万円) ※2025FY 以降 は見込	2023FY	2024FY	2025FY	2026FY	2027FY
	426	580	474	575	633
●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
11 件	7 件	23 件	0 件	3 件	

4.4. 研究開発項目②：テーマ名「RISC-Vシステム設計プラットフォームの研究開発」

●目標及び達成状況の詳細

テーマ名	RISC-Vシステム設計プラットフォームの研究開発	達成状況	◎
実施者名	国立大学法人東京科学大学／セイコーエプソン株式会社／株式会社デンソー／ 京都マイクロコンピュータ株式会社／株式会社OTSL／国立大学法人東京大学		
達成状況の根拠	先端プロセスでのチップ試作（画像認識 AI アクセラレータ：対 SW 実行で 586 倍の処理電力効率、IoT 向け低消費電力 RISC-V SoC：量産製品と比べて 31 倍の電力効率）の技術実証についてアウトプット目標を大幅に上回る研究成果を達成した。		

●背景・目的・プロジェクトアウトカム目標との関係

IoT、AI、ロボット、車載等のアプリケーションの需要が急速に高まる中で、ネットワーク・クラウドに集約される膨大な情報の分散処理化を促進するためには、エッジデバイス側で高度な演算処理を高効率で実現する技術構築が必要となる。そのため、普及が急速に進む RISC-V アーキテクチャを活用し、命令セット拡張と HW アクセラレータのシステム構成により、SW 定義の機能柔軟性と高い処理効率を両立する優れた SoC ソリューションを提供するための技術実証を先端プロセスのチップ試作などを通じて実施する。

●アウトプット目標

32 ビット/64 ビット RISC-V SoC アーキテクチャモデル（C2RTL 高位設計検証ツールで自動合成）を開発し、SoC 設計効率の大幅向上と高効率処理の実現を実証する。DNN エンジン搭載 SoC 開発では、SW 実行と比較し 10 倍以上の処理電力効率を達成し、センサデバイス SoC では、RISC-V によるセンサ機能の実証、無線電源化・エナジーハーベスティング動作の実証を実施する。IoT 向け低消費電力 RISC-V SoC について、FinFET プロセスでのゲートレベルシミュレーション上で、10 倍以上の処理電力効率を達成する。また、サブシステム仕様書作成とサブシステム設計・検証環境を構築し、標準化提言を実現する。また、プロセッサ自動検証環境と RISC-V MMU 対応ベアメタル開発プラットフォームを開発する。また、可視化機能を含む RISC-V HW/SW 開発用 IDE を開発する。また、耐量子計算暗号処理について、SW 実行のみと比較して 10 倍以上の処理電力効率を達成する。

●実施体制

東京科学大学：C2RTL ツールによる RISC-V SoC プラットフォームとセンサデバイス SoC の研究開発を担当
セイコーエプソン：IoT 向け低消費電力 RISC-V SoC の研究開発を担当
デンソー：RISC-V のアーキテクチャ拡張プロファイルと標準化の研究開発を担当
京都マイクロコンピュータ：RISC-V ソフトウェア開発環境とハードウェア検証環境の研究開発を担当
OTSL：RISC-V 統合開発環境の研究開発を担当
東京大学：RISC-V SoC HW セキュリティ機能の研究開発を担当

●成果とその意義

全体概要

本事業では、多様な RISC-V 命令セットプロファイルに対応した SW 開発環境・デバッグ環境や HW 設計プラットフォームを含めた開発エコシステムの整備、実用アプリケーション用の省電力機構・セキュリティ機構・仮想化などのシステム補助機能の開発、ならびに、RISC-V サブシステムの設計検証環境と標準化提言に関する研究開発を実施し、SW 記述による SoC 開発の設計生産性の大幅向上と、高効率 IoT/AI デバイスの先端プロセスチップ開発の両立を実証することで、RISC-V ベース製品開発の活性化のための技術基盤を確立した。

実施項目 1：C2RTL ツールによる RISC-V SoC プラットフォームとセンサデバイス SoC の研究開発

32 ビット/64 ビット RISC-V SoC アーキテクチャモデル（C2RTL 高位設計検証ツールで自動合成）を事業者間で共有し、チップ試作や FPGA 実装で活用した。DNN エンジン搭載 SoC 開発では、28nm CMOS のチップ設計において、RV32 標準コアに DNN エンジンを搭載することで、SW 実行と比較し、586 倍の処理電力効率を達成した。FPGA における C2RTL 設計と HDL 設計の Linux 対応 RISC-V SoC の回路品質の比較では、1.06 倍のクロック周波数向上と 0.69 倍の回路サイズ削減(LUT 換算)を確認し、C2RTL 設計の有用性を実証した。センサデバイス SoC では、RISC-V によるセンサ機能の実証、無線電源化・エナジーハーベスティング動

作の実証を実施し、最小10nA以下で動作可能な光給電システム、光給電動作対応CMOS温度センサ、C2RTL設計RV32IコアによるIoT用回路、パッケージングを完成した。高セキュリティRISC-Vアーキテクチャの開発では、投機実行機能搭載プロセッサ起因するSpectre攻撃ガジェットバイナリから効率的に発見する手法を開発した。

実施項目2：IoT向け低消費電力RISC-V SoCの研究開発
現行のGNSS測位演算の中で、特に演算処理が重い数学的なアルゴリズムを抽出し、C2RTL高位設計検証ツールを用いてセンシング用のアクセラレータとして構成した。FinFETプロセスでのゲートレベルシミュレーションを実施し、量産中のICの10倍以上の処理電力効率を達成した。具体的には、現行の量産ICに対してCPUのサイクル数を用いて比較し11分の1以下の高速化を達成。12nm CMOSチップ設計において、試作用に実施した物理レイアウトから実配線長に基づく寄生容量を抽出し正確な電力シミュレーションを実施。高速化に伴う電力増加を最適な回路構成で抑制し、量産中のICに対して、31倍の電力効率を達成した。

実施項目3：RISC-Vのアーキテクチャ拡張プロファイルと標準化の研究開発
サブシステムレベルでの仕様の最適解を検討し、各要素の実装仕様の策定・実装を行い、サブシステムレベルでの評価を実施完了した。サブシステムレベルでの実装や評価を行うための設計・検証環境としての標準化も実施した。初期評価レポートをまとめ、そこから仕様・実装・環境にフィードバックを行い、洗練したサブシステム実装を完了し、性能評価を行った。具体的な事業ターゲットである車載向けサブシステムIPを構築し、社内で事業展開を開始できる状態まで完成した。

実施項目4：RISC-Vソフトウェア開発環境とハードウェア検証環境の研究開発
プロセッサ自動検証環境については、RV32/RV64を網羅する検証環境が用意でき、当初目的の検証範囲については実現ができた。またRISC-V MMU対応ベアメタル開発プラットフォームについては、ノーコード開発によるMMU対応の実現など、開発効率の向上について目的を達成できた。また、その成果の一部を利用し、KMC社の開発プラットフォーム製品にRISC-V対応を追加し、2025/2にリリースした。

実施項目5：RISC-V統合開発環境の研究開発
IDEに関しては、Windows対応のみだった為、Linuxにも対応するよう改善し、最終目標を達成した。また、外部認証機関によるアセスメント取得の為のエビデンス、プロセスフローを作成し、現在外部認証機関によるアセスメント取得の為の準備（やらなければならないことのリスト化、開発プロセスや設計エビデンス例作成等）が完了しており、最終目標を達成する見込み。また、ハイパーバイザに関し、RISC-V MMUに対応し、ARM用ハイパーバイザと同等の性能を達成した。C2RTL設計環境とVerilog設計環境に関しては、両環境での設計効率を比較し、C2RTL設計環境の優位性を確認できた。（設計期間、ソースコード量共に半分程度となる）また、Design Methodologyに関して、C2RTL設計環境を効率的に使用・運用する為のフローを構築した。

実施項目6：RISC-V SoC HWセキュリティ機能の研究開発を担当
耐量子計算暗号処理について、SW実行のみと比較して実行速度5.5倍、消費電力はCPUとの比較では200倍以上(CPU:20W/本研究100mW)、過去のASIC実装例と比較しても実行速度4.4倍、消費エネルギー8.5倍の処理速度・電力性能を達成した。RISC-V SoCに実装することによりI/Oボトルネックによる実行遅延時間の解消の実現、デモソフトの開発を通じたアプリケーション開発の実施、およびシミュレータ・ハードウェアエミュレータを用いたRISC-V SoCハードウェアとその上で動作するソフトウェア協調検証（シミュレーション・エミュレーション）環境の構築とそれを用いた検証を実施した。

●実用化・事業化への道筋と課題

本事業の成果を受けて、東京科学大学では、「RISC-V Design Center (RVDC)」を集積Green-niX+研究ユニットに設置し、急速な普及が見込まれるRISC-V関連製品の国内産業のハードウェア・ソフトウェア開発力を強化し、さらに、国内のHW/SWベンダーを中心としたRISC-Vシステム設計のサプライチェーンと開発サポート体制を構築する。セイコーエプソンでは、国内トップシェアのGPSソーラーウォッチの次期商品向けの低消費電力化の要素開発への活用、スポーツ領域・物流領域・環境領域向けIoT機器の試作を通じた開発戦略への活用を進める。デンソーでは、車載向けセキュリティサブシステムおよびAIサブシステムの製品開発を進める。京都マイクロコンピュータでは、RISC-V MMU対応ベアメタルランタイムを組み込み、RISC-V対応版ソフトウェア開発プラットフォーム製品としてリリースしている。OTSLでは、C2RTL設計環境を使った高位設計・検証ソリューションをプロモーションし、複数社とエコシステムを構築し、C2RTL設計環境と低容量FPGAを組み合わせた開発ソリューションの構築を進めている。東京大学では、前記RISC-V Design Centerへ協力し、暗号ハードウェアのRISC-V SoCへの組み込み事例およびその設計検証フローの産業界への共有・提供を進める。

●期間・予算	2023FY	2024FY			
(単位:百万円)	462	590			

●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
1 件	4 件	6 件	0 件	7 件	

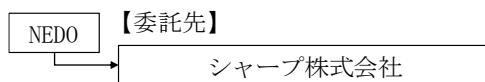
4.5. 研究開発項目②：テーマ名「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」

●目標及び達成状況の詳細

テーマ名	映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発	達成状況	○
実施者名	シャープ株式会社（常翔学園 大阪工業大学）		
達成状況の根拠	AI 映像処理モデルのネットワーク構造における各層の演算内容にあわせた専用回路が生成できる機能を開発した。またプロセッサと AI 演算器を組合せて多様な AI モデルが処理可能な AI アクセラレータ回路も生成できる機能も併せて開発した。開発した高位合成ツールを使って AI 超解像アルゴリズムの Python コードから RTL コードを生成するまでにかかった時間は 1 日以内であり、専用回路において、既存システムによる AI 超解像処理と比べて電力効率が 47 倍となることを FPGA システム上で確認した。		
●背景・目的・プロジェクトアウトカム目標との関係			
様々なものがインターネットに接続される IoT 社会の到来により、あらゆるシーンで高精細映像が大量かつ低遅延に伝送され、クラウドや端末などあらゆる機器で高精細映像を利活用する動きがますます高まっている。しかし、高精細映像をそのままクラウドに集約する形では、ネットワークの過負荷と高コストの課題があり、高度な情報解析手法である AI アプリケーションの用途を広げる障害となっている。その解決策として、高精細映像を入出力するエッジ端末において、映像データを効率よく分散加工して伝送し、データ活用に必要な情報のみをネットワーク処理するエッジコンピューティングの手法が考えられる。高度なエッジコンピューティングで期待される実装例として遠隔操作、自動運転、XR デバイスなどがあり、操作性、実用性、臨場感などの観点から高精細映像の取り扱いと同時に即時応答性が求められる。しかし現在ある AI 処理デバイスのアーキテクチャは AI 処理のネットワーク構造に応じてフレーム単位で遅延量が増大し、リアルタイム処理の実現が困難である。さらにフレームメモリへのアクセスで発生する消費電力を考慮するとエッジ端末での活用は限定的になってしまう。くわえて既存の AI 向け高位合成ツールでは、特定の FPGA の構造を前提とするか、またはフレームメモリの存在を前提としている。これらを鑑みて本研究では、映像データリアルタイム処理用 AI デバイスとして「フレームメモリレスであること」、「映像処理や 2 次元データ処理に適した回路構成による処理量最適化」、「並列化 に対応したロスのないバッファ構成」の特徴を持つ回路を自動生成し、アルゴリズム毎に必要な検証期間・検証方法を短縮・改善する高位合成ツールの開発に取り組む。			
●アウトプット目標			
【最終目標（2024 年度末）】			
エッジ端末上で AI 映像アプリケーションを実現するために、「リアルタイム処理」と「組込み可能な消費電力」を両立するエッジ向け AI 画像処理デバイスが必要であり、従来のデバイス開発手法では専門技術者による回路設計と開発期間が必要であり、日々革新される AI 技術に追従するためには、設計期間の大幅な短期化を実現する開発技術が求められている。そこで本テーマでは AI 開発における主流プログラミング言語である Python コードを読み込ませることで、デバイス開発に必要な RTL コードを 1 日程度の短期間で自動的に生成し、AI 超解像の生成回路においては電力効率が、事業開始時点における同等技術と比較して 10 倍以上となることを目標とする。 また大学や研究機関、企業での利用を促進し、医療や製造、インフラ保全などさまざまな分野でのエッジ AI 映像処理の普及拡大に貢献するため、開発した高位合成ツールは OSS 公開することにも取り組む。			

●実施体制

【～2023 年度】



【2024 年度】



●成果とその意義

3 年間の研究開発により、以下の機能と特徴をもつ高位合成ツールを開発した。

(1) 高位合成ツールの機能

ツールに入力するファイルに関して、AI 開発において利用頻度の高い PyTorch や ONNX のフレームワークで開発された Python コードに対応することで、多様な AI 映像処理アルゴリズムから RTL コード生成を可能とした。複数の演算処理を 1 つの処理に統合するレイヤ統合機能も搭載し、演算処理の効率化や高速化を実現した。また、ハードウェア開発の効率化のため、代表的なプログラミング言語の一つである C 言語で、RTL コードの機能検証が行える C モデル生成機能も搭載した。さらに、専用デバイスで AI 処理を行う際に必要となる学習済みパラメータを得るための、量子化対応した AI モデルも Python コードで生成する。

(2) RTL コードの特長

本高位合成ツールが生成する RTL コードには、本事業で開発した回路技術を多数組み込むことで、AI 映像処理回路の消費電力削減が実現される。

1 点目は、映像データがライン単位で順番に伝送されることを活かし、従来方式では必要だったフレームメモリを使用せず、ラインメモリで効率的に処理を行うフレームメモリレス構造を開発した。この開発により、消費電力を削減し、データ入出力に必要な時間を短縮する。

2 点目は、当ツール用に、畳み込み演算などの代表的な AI 演算に特化した 4 次元での処理に対応する演算器構成を開発した。これにより、映像データの特性である 2 次元配列に最適な情報処理が可能となり、演算性能が飛躍的に向上。複雑な計算を効率よく高速で実行できるため、リアルタイムでの処理が可能となる。

3 点目は、隣接するラインメモリの間に境界バッファを配置する回路を開発した。並列処理時に発生する重複処理が効果的に削減され、処理効率が向上することで、全体のパフォーマンスを改善する。

4 点目は、演算を簡略化し、エッジ端末内の計算リソースを抑えるために搭載した量子化変換において、小数点位置の変化に対応した固定小数点演算回路を開発した。浮動小数点演算に近い精度でのデータ処理が可能となるため、高度な AI 映像処理にも対応できる。

上記の機能と回路技術により、様々な AI 映像処理アプリケーションに対して、高精度かつ高速な演算を低消費電力で実現する回路が短期間で生成できる高位合成ツールを開発した。AI 映像処理アプリケーションへの適用例として、4K 映像から 8K 映像への超解像処理を行う専用回路 RTL コードを生成し、FPGA に実装したところ、1 ワット (W) あたりの情報処理速度が、GPU 搭載 PC では 0.0079TOPS/W であったのに対し、0.374TOPS/W の結果が得られ、電力効率が 47 倍に向上することを確認した。RTL 生成期間も、専門技術者での開発では 6 週間かかるのに対し、本ツールでは約 5 分で完了した。また、このツールは 2025 年 5 月に OSS 公開する。

本研究の成果によって、エッジ端末における映像データを対象とした AI 処理を効率的に実行可能なシステムの開発において、開発プロセスの効率化と期間短縮化が図れることから、画像認識や映像内の物体検出、あるいは超解像など AI 映像処理を利用した端末やアプリケーション開発での利用が期待され、エッジコンピューティングにおける AI 処理の普及拡大に貢献し、これら AI 映像処理システムに必要な画像センサや出力デバイスなどの成長にも結びつける。

●実用化・事業化への道筋と課題

事業開始時は、新規映像圧縮技術と AI 映像処理技術を連携させて、データ伝送帯域を抑えながら受信端末側の AI 超解像処理で高精細映像を表示させるソリューションを「高度地上デジタル放送」や「遠隔医療」の用途で実用化することを想定したが、現時点で放送インフラや通信インフラの整備コストなど多くの課題がのこされ、実用化にはまだ時間がかかる。この状況下で、当社は社会実装範囲

を広げるための新たな取り組みとして、自社エッジ AI 製品への展開にくわえて、OSS 公開する高位合成ツールとエッジ AI デバイス開発環境とをあわせたエッジ AI 開発キットの展開を計画する。課題としては、多数あふれる AI 技術に埋もれず、如何にユーザーに使ってもらえるか考える。そのため高位合成ツールを核としたエッジ AI 開発キットについて、サンプルモデルや具体的な用途などユーザーに響く情報を技術ブログで公開する。大阪工業大学から学会発表することで、学術的用途へ活用できることもアピールする。ユーザーが増えることで、医療や製造、インフラ保全などさまざまな分野でのエッジ AI 映像処理の実用化が見込まれると考える。

●期間・予算 (単位:百万円)	2023FY	2024FY			
	91	101			
●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
1 件	0 件	2 件	0 件	0 件	

4.6. 研究開発項目②：テーマ名「CMOS／スピントロニクス融合技術によるAI処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」

●目標及び達成状況の詳細

テーマ名	CMOS/スピントロニクス融合技術によるAI処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発	達成状況	◎
実施者名	国立大学法人東北大学 日本電気株式会社 株式会社アイシン		
達成状況の根拠	シミュレーションの結果、東北大学がAI処理の電力効率において約14倍の電力効率向上を実現した。さらに、NECがAI処理において、稼働時間を平均4.8倍削減と東北大成果との相乗効果による平均42.9倍の電力効率向上効果を確認した。加えて、アイシンは研究成果をシステムで実証すべく実証チップ・実証システムを開発、システムでの実証にてCMOS/スピントロニクス融合技術を活用したAI処理（初回）のエネルギー消費効率は17倍以上、OS起動時間は1/38以下の効果を確認した。 これらの成果により、本事業の最終目標である「大容量MRAMを搭載したエッジ領域向けCMOS／スピントロニクス融合AI半導体」による従来比10倍以上の効果を確認した。		

●背景・目的・プロジェクトアウトカム目標との関係

□背景・目的

高度なエッジコンピューティングを実現するには、革新的に電力効率の高いAI処理技術が望まれている。この実現に向けて、CMOS技術と親和性が高く、不揮発性で面積効率の高いスピントロニクス技術を融合し、その特徴を最大限に活かすエッジAI処理技術を開発する事で、電力効率10倍の向上を実現する。その産業への応用を加速するには、CMOS/スピントロニクス融合技術によるAI処理半導体の設計効率化と、その半導体を有効に利用できる応用技術の研究開発が重要である。

これらを実現するために、次の実施項目を行う。

- ・実施項目1 CMOS/スピントロニクス融合技術AI処理LSIの効率的設計技術の研究開発（国立大学法人東北大学）

この実施項目では、CMOS/スピントロニクス融合技術によるAI処理LSIの効率的な設計技術の研究開発を行う。

- ・実施項目2 CMOS/スピントロニクス融合AIチップに向けた設計技術の検証実証の研究開発（株式会社アイシン）

実施項目1の設計効率化技術の検証実証を行い、加えて、スピントロニクス素子に適した電源遮断や電源供給の実現のための設計技術に関する研究開発も行う。

- ・実施項目3 CMOS/スピントロニクス融合AIチップのエッジサーベイランスへの応用技術の研究開発（日本電気株式会社）

- ・実施項目4 車載への応用技術の研究開発（株式会社アイシン）

上記の2つの実施項目では、CMOS/スピントロニクス融合技術によるAI処理LSIの効率的な産業応用技術に関する研究開発を行う。

このように本研究開発では、設計の効率化から、その社会実装を前提とした応用技術の研究開発までを行うものである。

□経済波及効果

サーベイランスをはじめとするAI技術を用いた映像監視関連市場は、プロジェクト終了時点の2024年の1兆2350億円から2029年の3兆1260億円と年平均約20%増で拡大する。

車載市場ではアイシンは運転支援システムの内、自社製品である周辺監視システムでの実用化を目指す。運転支援システムは年平均10%増と予測されており、2030年時点の国内市場規模は290億円と予測されている。なお外付けメモリ不要、圧倒的な低消費エネルギー、高速起動の特徴を有した本技術は、当初の運転支援システムでの実用化企画以外にスマートキーシステムやそれ以外にも多くの製品への応用が可能として出てきており、実用化に向けてさらなる活動を進める。自動車のスマートキー市場は2024年時点で約1.2兆円の市場規模を有し、年約10%の成長が見込まれている。

本事業参画事業者以外を含めた我が国を代表する世界で高いシェアを有している企業群の売上予測まで含めた2029年の関連売上は、合計約15,552億円と予想され、アウトカム目標である4000億円を上回ることが予想される。

□カーボンニュートラルへの貢献

国内データセンタの電力消費量は、2030年には2018年の約6.4倍の900億kWhに増大すると推計されている。電力需要低減に最も効果が大きい機器はCPU、GPUであり、2030年に現在の3～10倍程度の消費電力性能（Gflops/W）の達成を目標とすべきであるとJSTは報告している。すなわち、2030年に1/10程度への消費電力低減が目標となる。本提案の成果であるCMOS/スピントロニクス融合技術によるAIエッジコンピューティングの低消費電力化により様々なIT機器の普及が促進され、10倍の効率が図られるとすると、CO2削減量はクリアできる。

<https://www.jst.go.jp/lcs/pdf/fy2020-pp-03-gaiyou.pdf>

●アウトプット目標

高度なエッジコンピューティングを実現する、CMOS/スピントロニクス融合技術の社会実装を加速させる、AI処理半導体の設計効率化と、その半導体を有効に利用できる応用技術の研究開発を目指す。応用技術としては、サーベイランス及びビークルインフォテイメントシステム技術を取りあげ、いずれの技術においても電力効率10倍の向上を実現する。

【最終目標（2024年度末）】

各々の実施項目の最終目標は以下のとおりである。

実施項目1【CMOS/スピントロニクス融合技術AI処理LSIの効率的設計技術の研究開発】（担当：東北大学）
最終目標：10倍の電力効率向上

実施項目2：CMOS/スピントロニクス融合AIチップに向けた設計技術の検証実証の研究開発
最終目標：エネルギー消費効率が同等（従来）技術と比較し10倍以上

実施項目3 CMOS/スピントロニクス融合AIチップのエッジサーベイランスへの応用技術の研究開発
最終目標：エッジサーベイランスへの応用の評価シナリオにおいて、高効率実行技術とCMOS/スピントロニクス融合技術の相乗効果で10倍以上の電力効率向上

実施項目4 車載への応用技術の研究開発
最終目標：OS起動時間が同等（従来）技術と比較し1/10以下

●実施体制

代表事業者の国立大学法人東北大学が高い中立性とNEDO先導調査研究事業等で創出してきたCMOS/スピントロニクス融合技術を活かして、共同提案者の日本電気株式会社、株式会社アイシン、協力企業3社（東京エレクトロン株式会社、キーサイト・テクノロジー・インターナショナル合同会社、株式会社アドバンテスト）からなる実施体制を構築する。具体的には、東北大学は協力企業3社からのバックキャストिंगを得ながら実施項目1を推進し、株式会社アイシンは実施項目1を実証するため実施項目2を担当する。加えて、実施項目1及び実施項目2の応用技術として、日本電気株式会社（以後、NEC）が実施項目3、株式会社アイシンが実施項目4を推進する。以上、設計効率化から実証、応用技術まで相互補完的な実施体制を構築し、本事業を推進する。

●成果とその意義

全体概要

シミュレーションの結果、東北大学がAI処理の電力効率において約14倍の電力効率向上を実現し、NECがAI処理において、稼働時間の平均4.8倍削減と、東北大成果との相乗効果による平均42.9倍の電力効率向上効果を確認した。

アイシンは研究成果をシステムで実証すべく実証チップ・実証システムを開発、実証システム上で実証を行った。システムでの実証にてCMOS/スピントロニクス融合技術を活用したAI処理（初回）のエネルギー消費効率は17倍以上、OS起動時間は1/38以下の効果を確認した。

これらの成果により、本事業の最終目標である「大容量MRAMを搭載したエッジ領域向けCMOS/スピントロニクス融合AI半導体」による従来比10倍以上の電力効率をシステム動作シミュレーションで確認した。

これら研究開発の将来性が評価され、令和6年10月開催のCEATECにてCEATEC AWARD 2024のネクストジェネレーション部門賞を受賞した。

実施項目1【CMOS/スピントロニクス融合技術AI処理LSIの効率的設計技術の研究開発】

・実施内容

この実施項目では、CMOS/スピントロニクス融合技術によるAI処理LSIの効率的な設計技術の研究開発を行った。高い面積効率と不揮発性を有するCMOS/スピントロニクス融合技術によるAI処理LSIの設計効率化技術の研究開発した。本実施項目では、以下の2つの研究開発を実施する。

実施項目 1-1. CMOS/スピントロニクス融合技術に適した C 言語での動作レベルハードウェアモデル設計技術の研究開発

実施項目 1-2. CMOS/スピントロニクス融合技術回路 IP 利用・整備の研究開発

・成果

上記実施項目を推進した結果、設計過程のシミュレーションによって、約 10 倍の電力効率効果を確認（実証チップ設計時）し、さらに、実証チップ設計後の更なる開発によって、14 倍の電力効率効果を加速開発環境のシミュレーションで確認している。また、設計手法においても、今回の設計環境で、設計ソースコード行数の削減、シミュレーション速度の高速化を実現している。

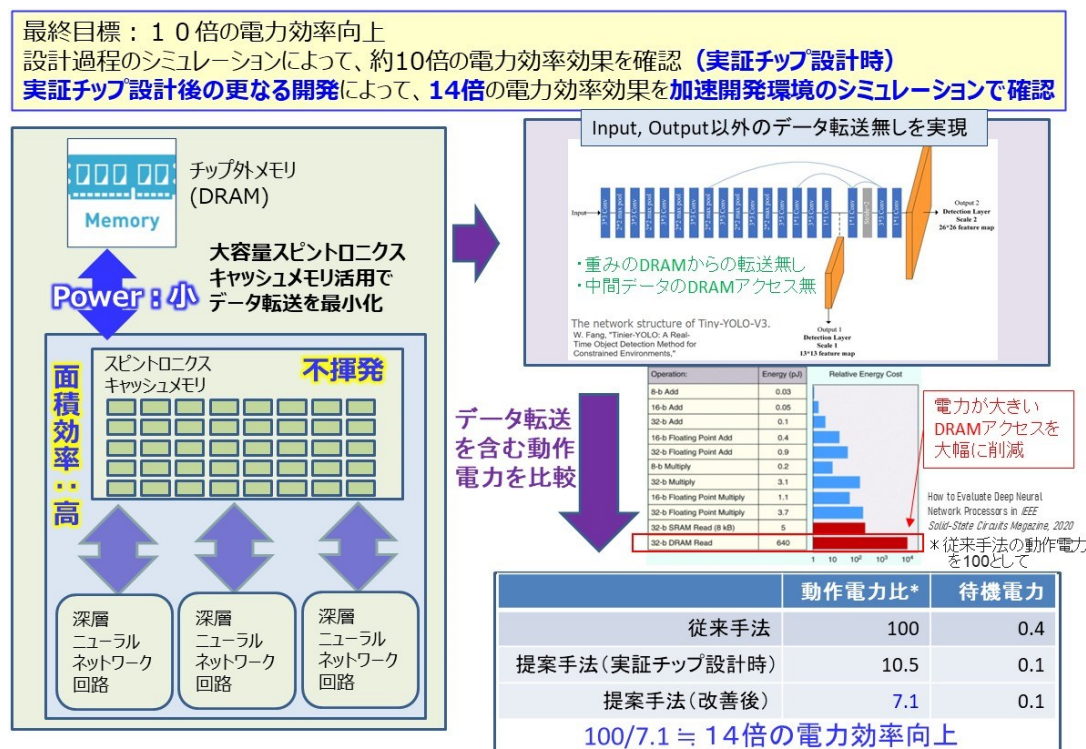


図1 実証チップの電力効率効果

・優位性と意義

従来の設計手法である RTLでの設計と比較して、今回の設計環境で、次のような効率化が実現された

- ・設計ソースコード行数⇒約 42 分の 1 に削減
- ・シミュレーション速度⇒約 57 倍～250 倍の高速化

これらの効率化を実現し、設計結果の品質も問題無い事を確認している。

実施項目 2 : CMOS/スピントロニクス融合 AI チップに向けた設計技術の検証実証の研究開発

・実施内容

本実施項目においては、前述した実施項目 1 の設計効率化の検証および実証を行うために、CMOS/スピントロニクス融合 AI チップに向けた設計技術の実証に関する研究開発を行った。加えて、高い面積効率と不揮発性を有する CMOS/スピントロニクス融合技術を活用した実証チップの研究開発を行い、効果実証を行う。本実施項目では、以下の 2 つの研究開発を実施する。

実施項目 2-1. CMOS/スピントロニクス融合 AI チップに向けた設計技術の検証に関する研究開発

実施項目 2-2. CMOS/スピントロニクス融合 AI チップの実証設計に関する研究開発

・成果

外付け Boot メモリとワークメモリの両機能を有した、CMOS/スピントロニクス融合技術のメモリを大容量内蔵したニア・メモリ・コンピューティング構造のチップを開発。この技術開発により外付け Boot メモリとワークメモリを削減可能にし、外付けメモリとのアクセスをなくすことでエネルギー消費効率の大幅に向上する実証用チップを開発。この技術の実現により暗電流などで課題となっていたワークメモリのリフレッシュ電力も不要とすることで暗電流をゼロにし、MRAM を適用した AI 処理において最初の AI 処理のエネルギー消費効率が従来比で 17 倍以上の効果を確認、最終目標であるエネルギー消費効率が同等（従来）技術と比較し 10 倍以上を実現した。

・優位性と意義

エネルギー増加は様々な分野で問題を抱えており、車載領域においては自動運転や電動化により自動車の消費エネルギーは増加しており、消費エネルギーを低減する技術は切望されている。本研究において外付け Boot メモリ・ワークメモリの削減、消費エネルギーの大幅低減を実現する技術を開発、またシステムレベルでその効果を実証できたことは、今後本技術を活用した AI エッジシステム製品の開発において、他にはない低消費エネルギーの特徴を有した製品をいち早く実用化できる可能性を有していることから優位性が高く、システムで実証できたことから本研究の意義は高い。

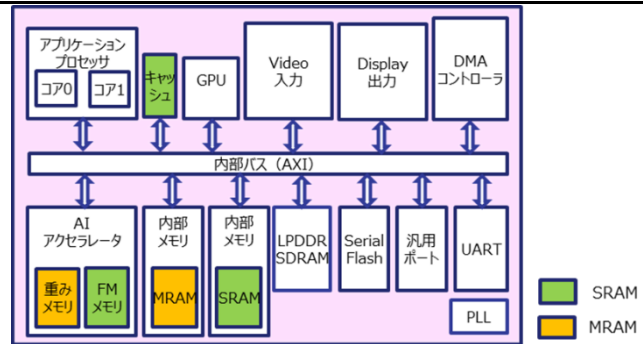


図2 開発した実証チップのブロック図

実施項目3 CMOS/スピントロニクス融合 AI チップのエッジサーベイランスへの応用技術の研究開発

・実施内容

本実施項目では、CMOS/スピントロニクス融合 AI チップをエッジサーベイランスに適用することを想定した応用技術として、エッジサーベイランスで利用される映像認識 AI の一連の処理に対して、その推論処理を高効率に実行する技術、及び、その適用を容易化する技術の研究開発を行った。

実施項目 3-1. シングルタスク・シングルノードにおける映像認識 AI の高効率実行技術とその適用容易化技術の研究開発

実施項目 3-2. 映像認識 AI の高効率実行技術とその適用容易化技術のマルチタスクまたはマルチノードへの拡張の研究開発

・成果

上記実施項目においては、高効率実行技術について、エッジサーベイランスを想定した評価シナリオにおけるチップ稼働率削減効果を CMOS デバイスを用いて実測（一次評価）した。そして、得られた稼働率削減効果と、東北大から提供された CMOS/スピントロニクス融合 AI チップの電力諸元情報（シミュレーション）を組合せ、電力量削減効果を算出（二次評価）した。上記実施項目を推進した結果として、エッジサーベイランスを想定した評価シナリオにおいて、平均 4.8 倍のチップ稼働率削減効果と、平均 42.9 倍（最大 58.6 倍）の電力効率向上を確認した。

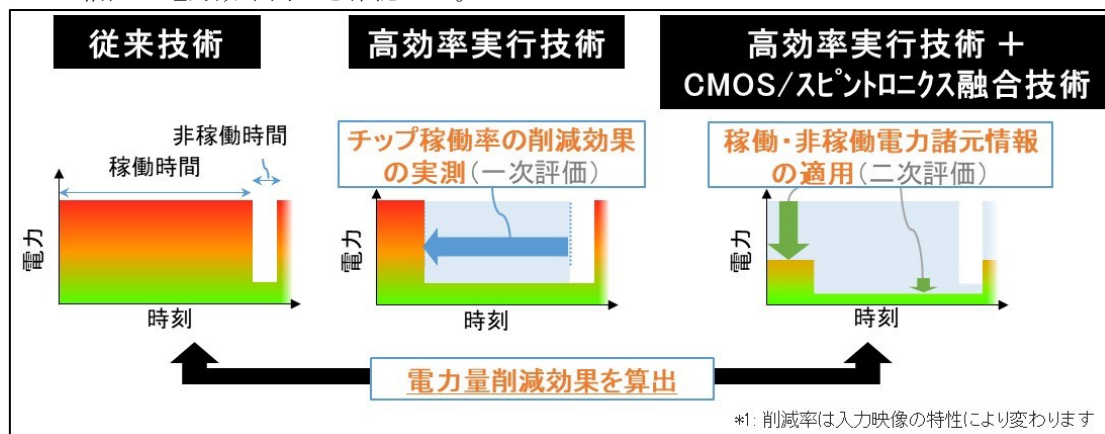


図3 CMOS/スピントロニクス融合 AI チップの電力量削減効果

・優位性と意義

提案する高効率実行技術は、稼働時間を短くし、非稼働時間を延ばすという特性のため、定期的に映像が入力されるようなアプリケーションにおいて特に、CMOS/スピントロニクス融合技術に基づくチップとの相性が良い。また、ニューラル NW モデルの構造や適用タスクの種類によらず高効率化する汎用的な手法

であり、学会発表の実績もあり新規性のある技術として認められている。高効率実行技術を実現することで、映像解析処理自体のエネルギー削減はもとより、例えば、施設内サーベイランスをカメラそば（エッジ）で物体検知・追跡まで完結させることによる、クラウドやオンプレサーバーへの通信トラフィック削減やエネルギー削減ができ、社会のグリーン化に貢献するなど意義深い。

実施項目 4 車載への応用技術の研究開発

・実施内容

本実施項目においては、CMOS/スピントロニクス融合技術の車載への応用技術の研究開発を行う。車載システムの課題でもある起動時間短縮に関する研究、システムでの実証に必要な実証システム及びソフトウェア（OS 含む）の研究開発を実施する。本実施項目では、以下の 3 つの研究開発を実施する。

実施項目 4-1 車載システム応用へ向けた適用範囲および効率的な仕様に関する研究開発

実施項目 4-2 CMOS/スピントロニクス融合 AI チップの車載適用に向けた検証に関する研究開発

実施項目 4-3 車載システム応用に向けたシステム及びソフトウェアの研究開発

・成果

実施項目 2 において実証チップに大容量の MRAM が搭載可能、また本実施項目においてコンパクトな OS を開発したことにより、実証チップの内部メモリに OS+アプリを格納することが実現でき、起動時の処理を大幅に削減することが可能となった。またワークメモリ（DRAM）を不要とする技術により DRAM 初期化の処理を不要とすることが実現、加えてニア・メモリ・コンピューティング技術により、OS 起動時間の処理を大幅な削減が実現できた。今回システムでの実証を行うため実証システムを合わせて開発、実証システムにて OS 起動時間の効果実証を行い、従来比で 1/38 以下の OS 起動時間短縮効果を確認、最終目標である OS 起動時間が同等（従来）技術と比較し 1/10 以下を実現した。

・優位性と意義

車載システムはエンジンを OFF/ON するたびに起動が必要となるため、起動時間の長さが課題となっている。今回今まではない高速起動の技術を開発したことは車載システムとしては非常にインパクトが大きく優位性は高い。また今回の研究においてシステムと合わせて、実用化では必要になるであろう OS を、チップに内蔵可能なコンパクト OS として同時に開発できたことは、本技術を搭載した製品の実用化において意義は高い。

●実用化・事業化への道筋と課題

□東北大学

我が国の多くの企業が自身の独創的アイデアを活用し、AI インフラビジネスに関する新事業の創出支援を通じ、開発される革新的技術を拡散させ、世界のデファクトスタンダード化を目指す。そのため、第 1 ステップとして、今回の成果を共同提案企業により本開発技術による製品を世界に先駆けて社会実装（エッジサーベイランス及びビークルインフォテイメントシステム市場）を狙う。さらに、開発する使い勝手のいい設計支援ツール（回路 IP・設計ツール・PDK 等）を METI「地域の中核大学の産学融合拠点の整備」で整備されるスピントロニクスロジック設計室（仮）に整備し、企業の開発環境を整備し、第 2 ステップとして、高度な IT スキルを持たない国内中小企業・ベンチャー企業に設計支援ツール提供することにより、自動車・交通、ヘルスケア、シティ、インダストリー、ホーム市場へのユーザーの拡大を目指す。

・課題と対処法

今回の事業のサーベイランスやモビリティ分野に止まらず、多くの事業分野へのユーザー拡大が重要であり、そのため、参加企業群と一体となって AI チップから出口までを包含するエコシステムを構築することが課題である。

中立的機関である東北大学がコア IP を管理する等キーストーンとなりトータルエコシステムを構築し、エコシステムへ参画する、ヘルスケア分野、インダストリー分野、ホーム分野などの事業分野にもライセンスして、ユーザーの拡大を狙う。さらに、設計サーバー・設計ツールを設置し、スピントロニクス省電力半導体等のオープンな設計環境・ソフト開発環境とそれを運用する人員体制の整備し、モバイル機器や自動運転から AI データセンタ等に必須のプロセッサ、メモリ等やその設計技術、材料・製造技術・評価技術、それを活用したシステム技術について一貫した研究開発と設計サービス・試作サービスを企業に提供する事業を展開する。

□NEC

NEC の提案する高効率実行技術（漸進的物体検知技術）は、CMOS スピントロニクス融合チップとの相性が非常に良いという特性がある。また、特定のニューラルネットワークの構造や認識タスクによらない汎用的な手法でもあり、その意味でも優位性の高い技術である。

AI チップの高い電力効率特性と、その特性を生かす使いこなしの技術の相乗効果により、映像解析シ

システムとして、他社との大きな差異化が可能になるため、NEC の注力領域である、エッジにおける映像解析を用いた見守りシステムへの適用、及び、見守りシステムを構築するためのプラットフォームへ適用する計画である。具体的には、家庭での見守りサービス、鉄道、空港、店舗、工場、ビルなどにおける見守りシステムへの適用を想定している。

・目標時期

本プロジェクト期間終了後に、高性能な CMOS/スピントロニクス融合 AI チップが搭載されたボード（モジュール）及びソフトウェア開発環境（SDK）が市販化されることを想定し、サンプルチップ出荷の 1 年前までに仕様提供を受けて製品検討を開始し、サンプルチップを入手次第、試作品を開発し、量産チップ出荷の半年以内をめどに製品化を行うことを目指す。

・課題と対処法

事業活用には COTS (commercial off-the-shelf) チップとしての調達が必要であり、チップのサプライチェーンが課題である。当該チップ搭載ボード及びソフトウェア開発環境（SDK）が市販化された時には、サンプル入手をいち早く行い、実用化・事業に適用する計画である。

□アイシン

実用化・事業化に向けては CEATEC にて NEDO ブースへ出展してのアピールや自社の新製品展示会などの取り組みを実施した。新製品展示会では日本のカーOEM を招いた展示会を実施しており、本展示会において開発技術をアピール、多くのカーOEM から本技術の実現、製品化への高い期待の声をもらうことができた。この声を受け今後は研究開発成果をカーOEM/半導体メーカー/ファウンドリメーカーへ提案、開発技術の採用とともに、本技術を搭載した製品の実用化・事業化を目指す。

・目標時期

現在チップについては半導体メーカーの ASSP チップを想定しており、カーOEM や半導体メーカーに提案し、半導体メーカーの本技術採用を目指す。しかし本技術の期待も高く、一早く本技術搭載製品の実用化が重要と考えることから、ASSP チップ以外の専用チップの実現可能性も含め活動を加速し、事業終了後 4 年目までの実用化・事業化を目指す。

・課題と対処法

実用化・事業化に向けた課題は量産チップの実現・調達であるため、カーOEM のニーズを抽出し、カーOEM と連携して半導体メーカー及びファウンドリメーカーにアプローチすることで量産チップ実現を推進していく。自動車で消費されるエネルギーは年々増加しており、バッテリーへの負荷は大きな課題となっている。従って車載システムのエネルギー低減は重要な取り組み事項であり、消費エネルギー低減を実現可能にする本技術へのカーOEM の期待は高い。

●期間・予算 (単位:百万円)	2023FY	2024FY			
	714	592			
●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
8 件	6 件	19 件	29 件	7 件	

4.7. 研究開発項目②：テーマ名「万能高位合成と新型汎用データフロー計算機構」

●目標及び達成状況の詳細

テーマ名	省エネ AI 半導体及びシステムに関する技術開発事業／AI エッジコンピューティングの産業応用加速のための設計技術開発／万能高位合成と新型汎用データフロー計算機構	達成状況	○
実施者名	日本電気株式会社（NEC プラットフォームズ株式会社、学校法人南山学園南山大学） 国立大学法人東京大学（国立大学法人東京農工大学） キヤノン株式会社		
達成状況の根拠	○：達成 万能高位合成、システム合成、高位合成ライブラリ、多並列 SRAM 搭載 FPGA デモ試作ボードを計画通り開発し、実証実験として自己位置推定アルゴリズムやグラフニューラルネットワークなど実装し、目標の成果を得たことから達成と判断		
●背景・目的・プロジェクトアウトカム目標との関係			
AI 処理には多大な計算量が必要とされる。先端 CPU のマルチコアや GPU、AI 専用チップや FPGA による高速化が各種研究され、実用・製品化されている。現在の AI 学習や推論が、CNN 等をベースにしたものが多く、これらは行列演算を積和演算器のベクトル計算するため、GPU や、シストリックアレイタイプの AI チップが適している。FPGA も多数の積和演算器(DSP ブロック)を持っており、自由に配線できる利点があるが、周波数が GPU や AI チップに比べ低いという欠点があり、FPGA も AI 向けモジュールを持つ方向になっている。しかしながら、近年グラフニューラルネットワークのようなグラフ構造を利用したニューラルネット等様々なものが開発されてきており、積和演算のベクトル処理では処理できないものもでてきている。また、AI 推論処理では、AI 推論エンジンだけでなく、入力データの前処理や後処理の処理時間が問題になることが多い。FPGA は様々な処理を回路化することにより高速化できるので、この問題に対応できるが、FPGA は通常 RTL と呼ばれる専用の設計言語を使う必要があり、アルゴリズムを生み出す人にとってはハードルが高い。FPGA 設計に高位合成ツールを使う手法も広がりつつあるが、現状の高位合成ツールは制限が多く、アルゴリズム開発者が使うには課題がある。従来からの高位合成ツールの課題を解決して、GPU や従来のハードウェアアクセラレータが対象としてきた単純なベクトル演算以外の部分もすべてアルゴリズム設計者開発者が高位合成により自動的に回路化して高速化可能にすることが本研究の主目的である。複雑な制御構造を含んだプログラム、積和演算以外の演算を多用するプログラム、動的データ領域（ヒープ）やスタック領域を含んだプログラム等、GPU が加速対象としていない部分をすべて自動で回路化し、加速するのを目標とする。あらゆるプログラムを高位合成できるという意味を込めて、万能高位合成と命名した。 自動車の自動運転や、工場の自動化で使われる産業機械などは、リアルタイム性が求められる上に、セキュリティの課題もあり、エッジ側での処理が求められるが、AI の高度化により処理が複雑化しており、エッジ側に求められる計算機能力は飛躍的に高くなっている。FPGA を搭載した汎用コンピュータと万能高位合成により、これらの領域で使われる複雑なアルゴリズムを高性能、かつ、低消費電力に実現することを確認する。従来技術の CPU や GPU では実現できないことを実現できることにより、付加価値の高い装置を開発できることを確認する。			
●アウトプット目標			
【最終目標（2024 年度末）】			
万能高位合成ツールは、動的なリンクリストや再帰関数の実現に加え、一般的な動的なポインタも合成可能な手法を開発し、完成させる。これらはインテル社や AMD 社が提供する高位合成ツールをはじめ、現在存在する高位合成ツールがサポートできていない機能であり、世界初の成果である。これら万能高位合成ツールの機能を使った STL や高位合成ライブラリの改良も完了させる。この成果を実装するには、大容量、多並列の SRAM が求められるため、これを実装した計算機環境を整備し、グラフニューラルネットワークや、自己位置推定アルゴリズムなどを題材に実証実験を行い、高速、かつ、低消費電力の装置を短期間で実装できることを確認する。			
各事業項目の目標数値は以下。			
①万能高位合成は、CPU に比べ、100 倍の性能エネルギー比、実行速度は 10 倍			
②システム合成は、設計効率 5 倍			
③高位合成ライブラリは、設計効率 10 倍、性能 10 倍			

- ④多並列 SRAM FPGA ボードは、当初目標レイテンシを達成
- ⑤GNN(グラフニューラルネットワーク) 回路は、CNN 回路との比較において電力 10 分の 1
- ⑥AI 制御型ロボットは GPU 比電力効率を 10 倍。

●実施体制

委託先：日本電気株式会社、
再委託先：NEC プラットフォームズ株式会社、学校法人南山学園南山大学
国立大学法人東京大学
再委託先：国立大学法人東京農工大学
キャノン株式会社

●成果とその意義

全体概要

自己位置推定アルゴリズム (SLAM) の一部処理や、グラフニューラルネットワーク (GNN) など、GPU では高速化が難しいデータ構造を持つ処理について、今回のプロジェクトで開発した万能高位合成ツールによりプログラム記述の書き換えを最小にした上で、高速に設計できることを確認した。また、デモ用の多並列 SRAM 搭載 FPGA ボードに実装し、設計通りの性能が実現できていることを確認し、消費電力についても確認した。プログラム記述の書き換えや、処理速度、消費電力については、GPU 実装との定量比較も実施して、結果をまとめた。以下、それぞれの実施項目に分けて、得られた成果とその意義についてまとめる。

実施項目 1：万能高位合成

C++言語のヒープ領域（動的領域）に対応した万能高位合成を開発してユーザーが定義した様々なデータ構造に対応し、多分木グラフのデータ構造で記述された最短経路問題が合成できるのを確認した。また複数ヒープメモリに対応して並列処理を実現した。これにより CPU と比較して並列度に合わせて加速可能であり実験によりヒープ配列が 20 個を超えた時点から数百倍の高速性を示しており、CPU に比べ実行速度 10 倍、100 倍のエネルギー性能を達成したと考える

またパイプライン回路におけるハザードを動的に検知してハザードが起きないように自動でパイプラインを制御する機能を開発し SLAM に適用して書き換えなしで合成できることを確認して設計期間の大幅な短縮につなげた。その他に浮動小数点型の累積加算演算器に対応し、ソフトウェア開発者向けに通信インターフェースの特別な知識なしでもハードウェアと通信が可能となる汎用インターフェース機能を開発した。これら成果により、従来高位合成で必要であったプログラムの書き換えを不要とした。

実施項目 2：システム合成

プログラムを入力し、ループ間のデータ依存関係を抽出し、設計者に見やすいように、徐々に簡易化した図を表示し、並列プロセスの決定に有効な機能を実現した。このシステム解析ツールをシステム合成 GUI から呼び出して、プログラム最適化の設計プロセスの一部として使えるようにした。システム合成 GUI では、万能高位合成で最適化を試行して、得られた結果を履歴管理し、要求仕様に合った最適な回路を採用できる機能を開発した。システム解析ツールと関連する 5 ステップ以上の作業で使うツールをシステム合成 GUI で統合的に扱うことにより設計効率 5 倍を達成した。

実施項目 3：高位合成ライブラリ

STL 全コンテナクラス、アルゴリズムを万能高位合成可能とするライブラリを開発した。実験により、構造体のフィールド数が大きい場合に高速化されることを確認。333MHz 動作時には、ARM 比で 10 倍の高速化を確認した。

画像処理系では、特別なハードウェアの知識なしに、万能高位合成ツールによる AI 向け画像前処理 (ISP) 回路及びカメラ等周辺部品と接続する回路の生成ツールを実現した。また、ISP 構成を探索し、AI 性能を維持しながら ISP の消費電力を削減する設計支援ツールを実現した。

AI 処理系では、完全量子化技術に対応した画像認識用途特化型 Transformer 高位合成用ライブラリを開

発した。本ライブラリは、(1)Transformer エンコーダを構成する各ブロックが並列動作する完全パイプライン型アーキテクチャ、(2)DSP ブロック内倍速クロック動作技術、(3)低ビットパッキング技術により、高リソース効率を実現するものである。

ROS 系では、万能合成ツールにより生成したハードウェアを特別な知識なしに、ロボットや自動運転向けのデファクトスタンダードなエコシステムである ROS で扱えるようにするソフトウェアとハードウェアを生成するツールを実化した。このツールにより、万能合成ツールで生成したハードウェアの適用範囲が広がった。

実施項目 4：多並列 SRAM 搭載 FPGA ボード

万能高位合成ツールの評価向けに、多並列 SRAM を搭載したデモ試作システム（メインボード、サブボード 2 種、筐体）を開発した。多並列 SRAM へのアクセスレイテンシは目標となる 13ns を達成した。本システムを活用し、万能高位合成を用いた低遅延 SLAM による自律走行運転を実現した。ロジック搭載部においては、GPU 実装と比較し 3 倍の高速化を確認。消費電力についても 3 分の 1 になることを確認した。これらの結果、自律走行における SLAM の精度向上を確認した。

実施項目 5：グラフニューラルネットワーク回路

CNN ベースの NAFNet において最下層を GNN に置き換えて同等の画像処理性能が得られる回路を実装し、エミュレータ環境で電力見積もりを実施。GNN 置き換え前の最下層の CNN の電力 736.4mW に対し、GNN 回路の電力は 29.6mW と 24.8 分の 1 であり、目標の電力 10 分の 1 を達成。万能高位合成のサポートする STL コンテナ記述により、GNN 回路のスパースな行列アクセスを簡潔に記述できた。GNN 置き換えにより積和演算回数は対応する CNN の 10 分の 1 以下、パラメータ用メモリサイズは 100 分の 1 以下に抑えられている。また、同回路を実施項目 4 の FPGA ボードに実装し動作を確認した。

実施項目 6：AI 制御型ロボット

分散メモリ型布線論理型 AI プロセッサ技術を開発、234 倍の電力効率改善効果を実証。本 AI プロセッサを高位合成で設計するための Python-to-Verilog 変換ツール、テストベンチ生成、Python-Verilog 変換時差分自動検知機能を開発した。3 次元物体認識に適用可能な 3D-CNN への適用を可能にする、CNN の実装と GPU による定量評価、従来 FPGA アクセラレータの定量評価、3D や 1D に向けた CNN 回路構成、FPGA 実装を検証した。

●実用化・事業化への道筋と課題

日本電気株式会社

第一段階として、データ構造を持つアルゴリズム処理を万能高位合成ツールや高位合成ライブラリで設計し、CPU/GPU よりも高速化できることを確認する。高速化を確認したアルゴリズムは、多並列 SRAM 搭載 FPGA ボードに実装して、CPU や GPU では実現できない新しい製品を創出できることを確認する。自己位置推定アルゴリズムを取り上げた実証実験により、この第一段階は実現できつつある。

第二段階として、自動車メーカーなど、多並列 SRAM 搭載 FPGA が貢献できる領域のメーカーに対して万能高位合成ツールを活用して付加価値の高い設計サービスを事業化する。これら事業に自社開発者が万能高位合成ツールを適用することでツールを安定させ、また、新しい事業領域に適用できる高位合成ライブラリなどの整備を進める。

第三段階では、万能高位合成ツールと多並列 SRAM 搭載 FPGA ボードを自動車メーカーやロボットメーカー、FA 機器メーカーなどの装置事業者を提供することで、供給先の装置事業者自身が付加価値の高い製品を開発できるようにする。万能高位合成ツールは、多並列 SRAM 搭載 FPGA を事業化する FPGA メーカーに対してもライセンス供給するビジネスを進める。多並列 SRAM 搭載 FPGA ボードについては、万能高位合成の効果が確認しやすい大規模な FPGA を採用する場合、製品コストが課題で、製品化できる事業領域は限られる可能性があるが、万能高位合成ツールについては、広く適用できる技術と考えており、早期に実用化を目指した製品開発を進める予定。

キヤノン株式会社

本研究で開発した GNN アクセラレータについて、ステップ 1 として監視カメラ等の機器と連携して動作する FPGA をターゲットに搭載を検討する。
 ステップ 2 としては大容量 SRAM を備える半導体チップへ GNN アクセラレータを搭載し、産業機器等の B2B 製品への搭載を検討する。
 ステップ 3 としては大容量 SRAM を備える半導体チップへ GNN アクセラレータを搭載し、カメラ等のコンシューマ製品への搭載を検討する。
 各ステップにおける課題はターゲット製品に搭載可能なコストの実現であり、回路の小型化をさらに推し進めて実用化を図っていく。

●期間・予算 (単位：百万円)	2023FY	2024FY			
	500	581			
●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
5 件	2 件	4 件	0 件	0 件	

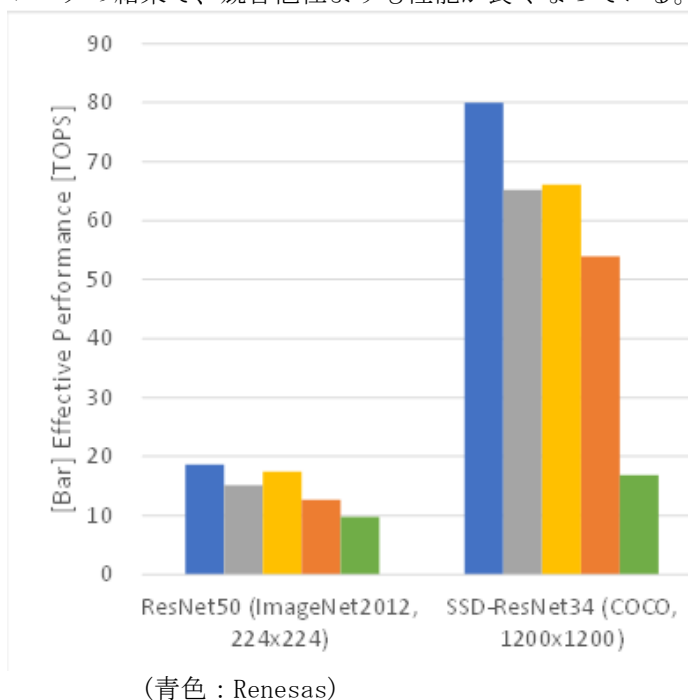
4.8. 研究開発項目②：テーマ名「省電力化に向けた次世代ヘテロジーニアス AI デバイスの SW-HW 協調設計ツール開発」

●目標及び達成状況の詳細

テーマ名	省電力化に向けた次世代ヘテロジーニアス AI デバイスの SW-HW 協調設計ツール開発	達成状況	○
実施者名	ルネサスエレクトロニクス株式会社		
達成状況の根拠	事業項目 1. 高速シミュレーション環境開発、事業項目 2. マシンラーニング(ML) コンパイラ開発、事業項目 3. SW-HW の協調設計手法開発の 3 つの事業項目において、全ての目標値を達成。		
●背景・目的・プロジェクトアウトカム目標との関係 組み込み向けハードウェアではサーバー用途のような CPU/GPU のようなプログラマブルコアではなく、消費電力を抑えるためにアクセラレータを開発し特定の演算を高速・低消費電力を実現している。将来有望となるニューラルネットワークモデルを研究し使われている演算子をアクセラレータ対応していく必要がある。本研究開発では、オープンソースソフトウェア (OSS) を再利用したソフトウェア-ハードウェア (SW-HW) 協調設計の手法を確立することで、最適なハードウェア構成を探索する技術を開発し、更にニューラルネットワークの最適化および量子化等のソフトウェア含めた演算量低減技術を取り入れた機械学習用(ML) コンパイラの開発を合わせて行うことで消費電力を従来比 1/10 に抑えたヘテロジーニアス AI デバイスを実現するツール開発を提案する。 ただし、ハードウェアを設計するためのサポートツールの一部となるだけで、本開発ツール単体では事業性は成り立たない。その為、消費電力を削減することで「AI エッジコンピューティングの産業応用加速のための設計技術開発」プロジェクトへの貢献を目指す。			
●アウトプット目標 【最終目標 (2024 年度末)】 - 事業目標 1. 高速シミュレーション環境開発 - 様々なニューラルネットワークが事業項目 3 で探索されたハードウェアアクセラレータ構造の精度を検証するためには、各ニューラルネットワークに対し大量のデータセットを高速かつ高精度で測定するシミュレータ環境が必要であり、それを次世代向けに準備する。 - ニューラルネットワークモデルの性能・精度評価を行うには、大量のデータを扱う必要があるため、画像 1 枚あたり平均 144msec 以内で処理が完了し、精度誤差は 1%以内のシミュレータが必要である。 - 事業目標 2. マシンラーニング(ML) コンパイラ開発 - ニューラルネットワークモデルをハードウェアで実行するためのコンパイラ開発。 - 事業目標 3. SW-HW の協調設計手法開発 - HWD-NAS：複数のニューラルネットワークの構造に応じ、演算回路の使用効率が最大になるハードウェアの設計をするために PPA を予測出来るエスティメータを開発し、もっとも効率のよいハードウェア構成を決定する。 - HW-NAS：ハードウェア構成に応じて、ニューラルネットワークモデルを変更出来るツールを開発し総演算数を削減し消費電力を下げる。 - 上記 2 つの施策により、従来比 1/10 に抑えたハードウェアの構成を決定する。			
●実施体制 NEDO → 助成 → ルネサスエレクトロニクス(株)			
●成果とその意義 - 全体概要 3 つの事業目標を達成することで弊社従来製品比で 1/10 の消費電力で対象のニューラルネットワークモデルを処理出来、車載向け AI 用 HW アクセラレータとしての市場競争力を示す。			

- 事業目標 1. 高速シミュレーション環境開発
 - 従来から多く使われている ISS は、ハードウェアを模擬するシミュレータで実デバイスと同様な動作する。そのため、ハードウェアを意識したソフトウェアの開発・最適化に利用出来るが、低速でかつハードウェアの設計完了前に完成していなければならないという制限があり SW-HW 協調設計を行うためには実用的でない。ハードウェアの依存度を下げて精度を犠牲にして高速でコンパイラのバックエンドを必要としないシミュレータを開発した。目標は 2 時間で 5 万枚を処理できる速度 144[msec/image]、実機と比較し 1%未満の誤差に対して、結果として速度は 124.7[msec/image]、精度誤差は 0.88% となり目標を達成した。
- 事業目標 2. マシンラーニング(ML) コンパイラ開発
 - SW として性能向上および消費電力削減に貢献出来る機能をコンパイラに実装した。実装した機能としては、量子化対応、Layer 最適化、マルチコア制御を含むハードウェア制御の実装を行った。
- 事業目標 3. SW-HW の協調設計手法開発
 - 市場で多く参照されている 129 個のニューラルネットワークモデルを選定し、演算回路の利用効率が最大になるように HW 構成を設計した。HW 構成として調整したのは、DDR メモリのバンド幅、L2 メモリサイズ、L1 メモリサイズ、NPU 数、NPU 内の MAC コア数、1 MAC コア当たりの MAC 数である。
各サイズを決定するためには、メモリ転送および演算器でボトルネックが発生していないか確認し最適値を導き出した。
上記、探索結果を反映させた HW 構成を基に消費電力確認を実施した。結果として目標としていた消費電力 1/10(90%以上)を超えて 91%の削減を達成した。

また、MLCommons(<https://mlcommons.org/>)が開示している車載向けに多く参照されているニューラルネットワークモデルの性能について競合他社との性能比較を実施した。青色が、本プロジェクトで確立した SW-HW 協調設計手法を用いて最適化された HW アクセレータの結果で、競合他社よりも性能が良くなっている。



●実用化・事業化への道筋と課題

本プロジェクトで開発したツール・手法単体での事業化は検討していないが、本プロジェクトで HW 構成を決定した HW アクセレータを弊社次世代 SoC の R-Car へ搭載した。世界中の車載関連の OEM/Tier1 と協議を開始しており、オープンソースのニューラルネットワークモデルではなく、OEM/Tier1 が研究開発しているニューラルネットワークモデルでの性能調査を開始している。

●期間・予算 (単位:百万円)	2023FY	2024FY			
	235	136			

●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
0 件	0 件	1 件	0 件	2 件	

添付資料

●プロジェクト基本計画

基本計画最新版については以下を参照：

<https://www.nedo.go.jp/content/100962216.pdf>

掲載 WEB ページ：

https://www.nedo.go.jp/activities/ZZJP_100254.html

●各種委員会開催リスト

研究開発項目①

採択審査委員会		
件名	内容	実施日
第 1 回	公募に対する提案について審議	2023 年 6 月 1 日
第 2 回	追加公募に対する提案について審議	2025 年 4 月 24 日

技術推進委員会		
件名	内容	実施日
第 1 回	加速提案の審議	2024 年 8 月 5 日
第 2 回	事業の進捗及び今後の計画等に対する評価	2024 年 12 月 6 日
第 3 回	事業の進捗及び今後の計画等に対する評価	2025 年 2 月 3 日

研究開発項目②

採択審査委員会		
件名	内容	実施日
第 1 回	公募に対する提案について審議	2022 年 7 月 15 日

技術推進委員会		
件名	内容	実施日
第 1 回	事業の進捗及び今後の計画等に対する評価	2023 年 3 月 27 日
第 2 回	加速提案の審議	2023 年 7 月 26 日
第 3 回	事業の進捗及び今後の計画等に対する評価	2024 年 3 月 7 日
第 4 回	事業化計画に対する評価	2024 年 9 月 12 日
第 5 回	最終目標の達成に対する評価	2025 年 3 月 10 日

●特許論文等リスト

@研究開発項目①：テーマ名「自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速」

【特許】

特許取得 2 件

【論文】

なし

【外部発表】

(a) 学会発表・講演 なし

(b) 新聞・雑誌等への掲載 なし

(c) その他 なし

@研究開発項目①：テーマ名「予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発」

【特許】

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	ルネサス	特願 2024-128818	国内	2024/8/5	出願	Invention of a progress bar that displays pseudo progress	熊谷他

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Yuki Ichikawa, Kazushi Kawamura, Masato Motomura, Thiem van Chu	東京科学大学	Efficient Stereo Visual Odometry on FPGA featuring On-Chip Map Management and Pipelined Descriptor-Based Block Matching	IEEE Access, vol. 12, pp. 171458-171471, 2024	有	2024 年 12 月

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Akihiro Shioda	東京科学大学	Exploiting N:M Sparsity in Quantized-Folded ResNets: Signed Multicoat Supermasks and Iterative Pruning-Quantization	CANDAR 2024	2024/11
2	Masato Motomura	東京科学大学	Algorithm-Architecture Centric Approach Towards Energy Efficient AI Hardware	MPSoC	2024/07
3	本村真人	東京科学大学	An Accurate FPGA-Based ORB Feature Extractor for SLAM with Row-Wise Keypoint Selection	International Conference on Consumer Electronics (ICCE)	2024/1
4	本村真人	東京科学大学	AI チップ開発の最先端	電子情報通信学会先端セミナー	2024/8
5	市川雄樹	東京科学大学	パイプライン処理と画像特徴の転用による SLAM アクセラレータの効率化	電子情報通信学会ソサイエティ大会	2024/9

(b)新聞・雑誌等への掲載 なし

(c)その他（同様の形式で表を作成する）なし

@研究開発項目①：テーマ名「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」

【特許】

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	ヌヴォトン テクノロジー ジャパン株式 会社	特願 2023-141360	国内	2023/8/31	出願	半導体集積回路およびデータ転送方法	福田 翔平 久方 和之
2	ヌヴォトン テクノロジー ジャパン株式 会社	特願 2023-203547	国内	2023/12/1	出願	半導体装置の駆動方法及び半導体装置	村岡 俊作 森本 雅大
3	ヌヴォトン テクノロジー ジャパン株式 会社	特願 2024-43840	国内	2024/3/19	出願	選択装置、および、選択方法	森口 元気 大倉 美紀
4	ヌヴォトン テクノロジー	特願 2024-051988	国内	2024/3/27	出願	DC-DCコンバータ用集積回路、DC-DCコ	上田 明志

	ジャパン株式会社					ンバータ及びその制御方法	
5	ヌヴォトンテクノロジー ジャパン株式会社	特願 2024-175660	国内	2024/10/7	出願	半導体装置の駆動方法及び半導体装置	村岡 俊作 藤井 覚 大原 猛史 森本 雅大
6	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-49701	国内	2025/3/25	出願	画像出力装置、画像取得装置、画像出力方法、及び、画像取得方法	高橋 晃 他
7	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-53952	国内	2025/3/27	出願	選択装置、および、選択方法	森口 元気 他
8	ヌヴォトンテクノロジー ジャパン株式会社	特願 63/779386	国内	2025/03/28	出願	LDO 回路及びそのVREF 電圧の制御方法	中村恒博
9	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-58847	国内	2025/3/31	出願	映像処理装置、XRデバイスおよび映像処理方法	岩橋 直大 他
10	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-59508	国内	2025/3/31	出願	制御装置および制御方法	岩橋 直大 他
11	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-059679	国内	2025/3/31	出願	アナログ・デジタル変換器及びアナログ・デジタル変換方法	上ノ原 誠二 森重 雅和 西川 香

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Naoko Misawa, Ryuhei Yamaguchi, Ayumu Yamada, Tao Wang, Chihiro Matsui and Ken Takeuchi	東京大学	Design methodology of compact edge vision transformer CiM considering non-volatile memory bit precision and memory error tolerance	Japanese Journal of Applied Physics (JJAP), vol. 63, pp. 03SP05	有	2024/2

2	Adil Padiyal, Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	Assessment of inference accuracy and memory capacity of computation-in-memory enabled neural network due to quantized weights, gradients, input and output signals, and memory non-idealities	Japanese Journal of Applied Physics (JJAP), vol. 63, pp. 04SP15	有	2024/3
3	Ayumu Yamada, Zhiyuan Huang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	Comprehensive Analysis of Read Fluctuations in ReRAM CiM by Using Fluctuation Pattern Classifier	IEICE Transactions on Electronics	有	2024/4
4	Yuya Ichikawa, Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	REM-CiM: Attentional RGB-Event Fusion Multi-modal Analog CiM for Area/Energy-efficient Edge Object Detection during both Day and Night	IEICE Transactions on Electronics	有	2024/4
5	Ayumu Nagai, Yuya Ichikawa, Chihiro Matsui and Ken Takeuchi	東京大学	Quantization Tolerant Network Design and Performance Estimation of Computation-in-Memory for Energy-Efficient 3D Object Detection Inference	Japanese Journal of Applied Physics (JJAP), vol. 64, pp. 02SP09	有	2025/2
6	Yuya Ichikawa, Naoko Misawa, Chihiro Matsui and Ken Takeuch	東京大学	RGB-Event Multi-modal NV-CiM to Detect Object by Mapping-Oriented Enhanced-Feature Pyramid Network with Mapping-Aware Group Convolution	IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	有	2024/9
7	Daqi Lin, Tao Wang, Adil Padiyal, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	Signed Approximate Adder Tree and Quantization- and Bit-Pruning-Aware Training for Digital Computation-in-Memory	IEICE Transactions on Electronics	有	2025/4

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Adil Padiyal, Ayumu Yamada, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	Analysis of Low-Bit Precision ReRAM CiM-based Convolutional Neural Networks during Training and Inference	第 71 回応用物理学会春季学術講演会	2024/3

2	Zhiyuan Huang, Ayumu Yamada, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	Analysis of Read Current Fluctuation in Low Resistance State ReRAM by using Fluctuation Pattern Classifier	第 71 回応用物理学 会春季学術講演会	2024/3
3	Hanxi Xue, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	Application of GNN and CNN to CiM-based Accelerators	第 71 回応用物理学 会春季学術講演会	2024/3
4	山田歩, 三澤奈央子, 松井千尋, 竹内健	東京大学	CNN による ReRAM 電流値ゆらぎパターン分類手法とゆらぎの物理モデル	第 71 回応用物理学 会春季学術講演会	2024/3
5	三澤奈央子, 山口竜平, 山田歩, 松井千尋, 竹内健	東京大学	Vision Transformer の小型化に向けた Computation-in-Memory への量子化手法および量子化認識トレーニング	第 71 回応用物理学 会春季学術講演会	2024/3
6	佐藤龍吾, 山内堅心, 松井千尋, 竹内健	東京大学	不揮発性メモリの量子化・書き込みばらつきを考慮した学習による Computation-in-Memory における深層強化学習の性能向上	第 71 回応用物理学 会春季学術講演会	2024/3
7	山田歩, 三澤奈央子, 松井千尋, 竹内健	東京大学	省面積・低エネルギー・高精度な CiM に向けて 1: 入出力レンジ学習手法	第 71 回応用物理学 会春季学術講演会	2024/3
8	山田歩, 三澤奈央子, 松井千尋, 竹内健	東京大学	省面積・低エネルギー・高精度な CiM に向けて 2: エラー補償	第 71 回応用物理学 会春季学術講演会	2024/3
9	Tao Wang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	Compact Edge Vision Transformer Design for Non-volatile Computation-in-Memory	IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 27) Poster	2024/4
10	Naoko Misawa, Tao Wang, Chihiro Matsui and Ken Takeuchi	東京大学	Embedded Transformer Hetero-CiM: SRAM CiM for 4b Read/Write-MAC Self-attention and MLC ReRAM CiM for 6b Read-MAC Linear&FC Layers	IEEE International Memory Workshop Poster	2024/5
11	Ken Takeuchi	東京大学	Non-volatile Memory-based Analog Computation-in-Memory (CiM) for Edge AI Applications	IEEE International Memory Workshop Tutorial 【招待講演】	2024/5
12	竹内健	東京大学	IoT 時代のエッジ AI アクセラレータ	第 6 回 使えるセンサ・シンポジウム 2024 【招待講演】	2024/7
13	Ken Takeuchi	東京大学	Ferroelectric FET-based Computation-in-Memory (CiM) for Edge AI	14th Japan-Korea Conference on Ferroelectricity (JKC-FE14) 【招待講演】	2024/8
14	竹内健	東京大学	エッジ向け低電力 AI アクセラレータ	第 88 回半導体・集積回路技術シンポジウム 【招待講演】	2024/8
15	Ayumu Nagai, Yuya	東京大学	Domain-Specific CiM Design for 3D Object Detection	International Conference on	2024/9

	Ichikawa, Chihiro Matsui and Ken Takeuchi		Network with Augmented Point Cloud, Multi-Stage Quantization Aware Training, and U- Quantization	Solid State Devices and Materials (SSDM)	
16	秋永広幸	国立研究 開発法人 産業技術 総合研究 所	Emerging Material Integration for Advanced Functionality of Semiconductor Devices and Systems	ESSERC 2024 SiNANO-ICOS-INPACE Workshop	2024/9
17	森本雅大、村 岡俊作、栗村 聡資、河合 賢、服部規 男、伊藤理、 米田慎一	ヌヴォト ン テクノ ロジー ジャパン 株式会社	Resistive Switching Element scaling toward 22nm embedded ReRAM and beyond	International Conference on Solid State Devices and Materials	2024/9
18	竹内健	東京大学	機械学習アルゴリズム・AI チップ統合開発システム	第 85 回応用物理学 会秋季学術講演会 【招待講演】	2024/9
19	Adil Padiyal, Tao Wang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	Investigation of Effects of Non-Volatile Memory-based Computation-in-Memory Non- Idealities and Model Size on Performance and Robustness of Small Language Model During Inference Phase	IEEE Electron Devices Technology and Manufacturing Conference (EDTM)	2025/3
20	Kenshin Yamauchi, Naoko Misawa, Satoshi Awamura, Masahiro Morimoto, Chihiro Matsui and Ken Takeuchi	東京大学	Conductance Variation- Assisted Adversarial Attack Robustness on 40nm TaOX- based ReRAM CiM	IEEE International Reliability Physics Symposium (IRPS)	2025/4
21	Kenshin Yamauchi, Naoko Misawa, Hisashi Shima, Yasuhisa Naitoh, Hiroyuki Akinaga, Chihiro Matsui and Ken Takeuchi	東京大学	Read Voltage Dependency of Random Telegraph Noise in the Intermediate State of TaOX-based ReRAM	IEEE International Reliability Physics Symposium (IRPS)	2025/4
22	Tao Wang, Daqi Lin, Kenshin Yamauchi, Naoko Misawa, Chihiro Matsui, and Ken Takeuchi	東京大学	Hybrid ReRAM-NMC & SRAM-CiM Matrix Multiplication for Large Language Model	IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 28)	2025/4

23	Tao Wang, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	VaLI: Variability-Aware Fine-Tuning with Low-Rank Adapter and Iterative Training for ReRAM Computation-in-Memory	IEEE International Symposium on Circuits and Systems (ISCAS)	2025/5
----	---	------	--	---	--------

(b)新聞・雑誌等への掲載 なし

(c)展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	ヌヴォトン テクノロ ジージャパン株式会社	2D/3D 画像・音のマルチモーダル処 理を実現するセンサ IF 統合 LSI	EdgeTech+ 2024	2024/11
2	ヌヴォトン テクノロ ジージャパン株式会社	AIoT MCU ソリューション ファン 振動データによる AI 異常検知、及 びセキュア無線通信による遠隔監視 デモ	EdgeTech+ 2024	2024/11
3	ヌヴォトン テクノロ ジージャパン株式会社	AIoT MCU ソリューション AI 異常検 知(オンデバイス AI 学習機能)、及 びセキュア遠隔監視デモ	NexTech Week 2025 春 第 9 回 AI・人工知能 EXPO 春	2025/4

@研究開発項目②：テーマ名「RISC-Vシステム設計プラットフォームの研究開発」

【特許】

番 号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	国立大学法人 東京工業大学	特願 2023-123827	国内	2023/7/28	出願	デバッグ装置、デ バッグ装置の制御 方法、及びデバッ グ装置の制御プロ グラム	一色剛、他

【論文】

番 号	発表者	所属	タイトル	発表誌名、ページ番 号	査読	発表年月
1	一色剛	東京工 業大学	C2RTL 高位システム設計検証 技術を活用した RISC-V シス テム設計プラットフォームの 研究開発	J. システム/制御/情 報 67(9) 391-396	有	2023/9/15
2	H. Wang, D. Li, T. Isshiki	東京工 業大学	Energy-Efficient Implementation of YOLOv8, Instance Segmentation, and Pose Detection on RISC-V SoC	IEEE Access 64050- 64068	有	2024/5/6
3	N. Chauhan, T. Isshiki, D. Li	東京工 業大学	Enhancing Speaker Recognition Models with Noise-Resilient Feature Optimization Strategies	MDPI Acoustics	有	2024/5/7

4	H. Wang, D. Li, T. Isshiki	東京工 業大学	A Low-Power Reconfigurable DNN Accelerator for Instruction-Extended RISC- V	IPSJ Transactions on System and LSI Design Methodology (17) 55 - 66	有	2024/6
---	----------------------------------	------------	--	--	---	--------

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	H. Wang. D. Li, T. Isshiki	東京工業 大学	A power-efficient end-to- end implementation of YOLOv8 based on RISC-V	CAIT 2023	2023/12
2	Y. Yamada, N. Berjab, T. Yoneda, K. Kise	東京工業 大学	A remote partial- reconfigurable SoC with a RISC-V soft processor targeting low-end FPGAs	MCSoc 2023	2023/12
3	P. Srisinsuphya, K. Takamatsu, H. Tazaki, Y. Yokoshiki, T. Tokuda	東京工業 大学	C2RTL-Enabled Sustainable Computing: Building a RISC- V CPU Microdevice Platform for a Greener Future	IDW 2023	2023/12
4	H. Wang. D. Li, T. Isshiki	東京工業 大学	Reconfigurable CNN Accelerator Embedded in Instruction Extended RISC-V Core	ICET 2023	2023/5
5	J. Xin, M. Ikeda	東京大学	Design of RISC-V SoC with Post-quantum Encryption Algorithm Acceleration	IEICE ICD 研究会	2024/2
6	F. Lin, Z. Wang, H. Sasaki	東京科学 大学	Teapot: Efficiently Uncovering Spectre Gadgets in COTS Binaries	CGO 2025	2025/3

(b) 新聞・雑誌等への掲載 なし

(c) その他

番号				
1	国立大学法人東京工業 大学、セイコーエプソ ン株式会社、株式会社 エヌエスアイテックス、 京都マイクロコン ピュータ株式会社、株 式会社O T S L、国立 大学法人東京大学	RISC-V システム設計プラット フォーム	CEATEC 2023 (NEDO ブース)	2023/10
2	京都マイクロコン ピュータ株式会社	RISC-V 対応デバッガの紹介	RISC-V Day Tokyo 2024 ブース展示	2024/8
3	京都マイクロコン ピュータ株式会社	リアルタイム OS 開発プラット フォーム SOLID の RISC-V 対応予告 を発表	単独発表 (NEDO PJ の成果利用)	2024/11
4	京都マイクロコン ピュータ株式会社	リアルタイム OS 開発プラット フォーム SOLID の RISC-V 対応試作 品を出展	Edge Tech + ブース 展示	2024/11
5	京都マイクロコン ピュータ株式会社	リアルタイム OS 開発プラット フォーム SOLID の RISC-V 対応版の 正式リリース発表	NEDO との連名による プレスリリース	2025/2

6	京都マイクロコンピュータ株式会社	リアルタイム OS 開発プラットフォーム SOLID の RISC-V 対応版を出展	RISC-V Day Tokyo 2025 ブース展示	2025/2
7	国立大学法人東京工業大学、セイコーエプソン株式会社、株式会社デンソー、京都マイクロコンピュータ株式会社、株式会社 OTS L、国立大学法人東京大学	RISC-V システム設計プラットフォーム	CEATEC 2024 (NEDO ブース)	2024/10

@研究開発項目②：テーマ名「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」

【特許】

番号	出願者	出願番号	国内外 PCT	出願日	状態	名 称	発明者
1	シャープ株式会社	PCT/JP2024/003456	PCT	2024/2/2	出願中	量子化方法、量子化プログラム、量子化ニューラルネットワークコード生成方法及び機械モデル学習装置	田中勇司

(Patent Cooperation Treaty: 特許協力条約)

【論文】

なし

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	鎌倉生昇	大阪工業大学	エッジ AI における AI アクセラレータを用いた MNIST の評価	電子情報通信学会 リコンフィギャラブルシステム研究会 2025 年 6 月研究会 (HotSPA2025)	2025/6
2	岩永大翔	大阪工業大学	エッジ AI アクセラレータを活用した量子化における YOLOX_Nano の精度評価	電子情報通信学会 リコンフィギャラブルシステム研究会 2025 年 6 月研究会 (HotSPA2025)	2025/6

(b) 新聞・雑誌等への掲載 なし

(c) その他 なし

@研究開発項目②：テーマ名「CMOS／スピントロニクス融合技術によるAI処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」

【特許】

特許取得 8 件

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Tao Li, Yitao Ma, and Tetsuo Endoh	東北 大学	From Algorithm to Module: Adaptive and Energy-efficient Quantization Method for Edge Artificial Intelligence in IoT Society	IEEE Transactions on Industrial Informatics, Volume: 19 Issue:8, Pages:8953 - 8964, 2023	有	2022.11.18
2	Tao Li, Yitao Ma, Ko Yoshikawa, and Tetsuo Endoh	東北 大学	Hybrid Signed Convolution Module With Unsigned Divide- and-Conquer Multiplier for Energy-Efficient STT- MRAM-Based AI Accelerator	IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Volume: 31, Issue:7, Pages:1078 - 1082, 2023	有	2023.2.22
3	Tao Li, Li Zhang, Yitao Ma, and Tetsuo Endoh	東北 大学	Bridging Artificial Intelligence and Devices: Power Reduction Method of Non-volatile Devices with Error-resilient Deep Neural Networks	IEEE Transactions on Magnetics, Volume: 61, Issue: 3, Article Sequence Number: 3400308, March 2025, DOI: 10.1109/TMAG.2023.3321878	有	2023.10.4
4	Li Zhang, Tao Li, and Tetsuo Endoh	東北 大学	Small Area and High Throughput Error Correction Module of STT MRAM for Object Recognition Systems	IEEE Transactions on Industrial Informatics, Volume: 20, Issue: 5, 7777 - 7786, May 2024, DOI: 10.1109/TII.2024.3362373	有	2024. 2.26
5	K. Asano, M. Natsui, and T. Hanyu	東北 大学	Error-Tolerance-Aware Write-Energy Reduction of MTJ- Based Quantized Neural Network Hardware	IEICE (The Institute of Electronics, Information and Communication Engineers) Trans. on Electronics, vol. E107-D, no. 8, pp. 958-965, DOI: 10.1587/transinf.2023L0P0007	有	2024.4.22
6	Tao Li, Ko Yoshikawa, and Tetsuo Endoh	東北 大学	Hardware-Efficient Activation Circuit for Edge Computing: Shifter-Polynomial Approximation of Leaky ReLU	IEEE Transactions on Circuits and Systems for Artificial Intelligence, Volume: 2, Issue: 1, 3 - 13, March 2025, DOI: 10.1109/TCASAI.2025.3527977	有	2025.1.10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	羽生 貴弘	東北大学	NEDO 高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業 CMOS/スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発	8 th CIES Technology forum Day	2023. 3
2	K. Sakai, M. Natsui, and T. Hanyu	東北大学	Design of an Error-Tolerant Nonvolatile Register for Energy-Aware Intermittent Computing	Proc. of the 66th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2023), pp. 269-273	2023. 8
3	羽生貴弘	東北大学	不揮発性ロジックで拓くエッジ AI ハードウェアへの挑戦 (招待講演)	DA シンポジウム	2023. 9. 1
4	渡邊颯音, 夏井雅典, 羽生貴弘	東北大学	高位合成を用いた不揮発 AI アクセラレータの高効率設計に関する基礎的研究	2023 年度電気関係 学会東北支部連合 講演論文集, 2B04	2023. 9. 6
5	T. Hanyu, Naoya Onizawa, Daisuke Suzuki, and Masanori Natsui	東北大学	Impact of Spintronics-Based Nonvolatile Hardware for Edge AI Applications (invited)	Extended abstract of International Conference on Solid-State Materials and Devices (SSDM 2023), pp. 423-424	2023. 9
6	M. Natsui, Y. Takako, A. Tamakoshi, and T. Hanyu	東北大学	Challenge of Energy-Efficient Edge-AI Accelerator Architecture Using Nonvolatile Logic	Proc. of the 2023 International Symposium on Nonlinear Theory and Its Applications (NOLTA 2023), pp. 263-264	2023. 9
7	K. Asano, M. Natsui, and T. Hanyu	東北大学	Error-Sensitivity-Aware Write-Energy Optimization for an MTJ-Based Binarized Neural Network	Proc. of 30th IEEE International Conference on Electronics Circuits and Systems (ICECS2023)	2023. 12
8	T. Hanyu	東北大学	Challenge of MTJ-Based Nonvolatile Hardware for Edge AI Applications (keynote speech)	16th IEEE International Symposium on Embedded Multicore/Many- core Systems-on- Chip (MCSoc-2023)	2023. 12

9	T. Hanyu	東北大学	Impact of Spintronics-Based Nonvolatile Hardware for Edge AI Applications	NTU-Tohoku U. 7th Symposium on AI and Human Studies	2024. 3
10	羽生 貴弘	東北大学	NEDO 省エネ A I 半導体及びシステムに関する技術開発事業プロジェクト/AI エッジコンピューティングの産業応用加速のための設計技術開発「CMOS/スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」	9 th CIES Technology forum Day2	2024. 3
11	池田正二、 本庄弘明、 斉藤好昭、 遠藤哲郎	東北大学	MRAM の高性能化プロセス技術	2024 年第 71 回応用物理学会春季学術講演会	2024. 3
12	吉田 知生、 夏井 雅典、 羽生 貴弘	東北大学	間欠的コンピューティングの実現に向けた MTJ ベース省エネルギー・コンパクト不揮発レジスタの構成	電子情報通信学会集積回路研究会「LSI とシステムのワークショップ 2024」	2024. 5
13	M. Natsui, K. Asano, and T. Hanyu	東北大学	Error-Tolerant Quantized Neural Network Based on Non-Weighted Arithmetic	proc. of International Symposium on Multiple-Valued Logic	2024. 5
14	F. Zhong, M. Natsui, and T. Hanyu	東北大学	Design of a High-Speed and Low-Power Threshold Adjustment Unit for Battery-Free Edge Devices	Proc. of The IEEE World Congress on Computational Intelligence (IEEE WCCI)	2024. 7
15	夏井雅典、 羽生貴弘	東北大学	ユニタリ重み表現ベース不揮発ニューラルネットワークのエラー耐性評価	2024 年電子情報通信学会ソサイエティ大会, AS-1-02	2024. 9
16	成瀬 峰信	アイシン	Arm Flexible Access で始める革新的半導体技術の実現	Design Solution Forum 2024	2024. 10
17	吉田知生、夏井雅典、羽生貴弘	東北大学	差分情報記憶に基づく低エネルギー不揮発レジスタの構成	信学技報, vol. 124, no. 248, ICD2024-51, pp. 37-42	2024. 11
18	羽生貴弘	東北大学	不揮発ロジックが拓くエッジ AI コンピューティングの展望（基調講演）	会津大学学際研究フォーラム 2024	2024. 11. 25
19	羽生 貴弘	東北大学	不揮発記憶ベース低消費電力・高性能 VLSI プロセッサの自動設計環境の研究開発	10 th CIES Technology forum Day 1	2025. 3

(b)新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	PR Times https://prtimes.jp/main/html/rd/p/000000122.000135644.html	2024. 10. 10

2	東北大	今年の CEATEC AWARD が決定！ - 来場者 10 万人超予想の展示会は 15 日開幕	マイナビニュース https://news.mynavi.jp/techplus/article/20241010-3042622/	2024. 1 0. 10
3	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	biglobe ニュース https://news.biglobe.ne.jp/economy/1010/prt_2410_1402933027.html	2024. 1 0. 10
4	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	産経新聞 https://www.sankei.com/pressrelease/prtimes/IQXFU4PG45KIDP5MHKDZZFWEE4/	2024. 1 0. 10
5	東北大	「CEATEC 2024」15 日に開幕	EE Times Japan https://eetimes.itmedia.co.jp/ee/articles/2410/11/news087_2.html	2024. 1 0. 11
6	東北大	CEATEC 2024 は 808 社が参加、「JAPAN MOBILITY SHOW BIZWEEK」併催で、過去に類のない規模の共創イベントに	Internet Watch https://internet.watch.impress.co.jp/docs/news/1630501.html	2024. 1 0. 11
7	NEDO 東北大 NEC アイシン	A I 半導体、電力効率 1 0 倍に／N E D O など開発、シーテックで受賞	電気新聞デジタル https://www.denkishimbun.com/archives/376593	2024. 1 0. 11
8	NEDO 東北大 NEC アイシン	東北大とアイシン、大容量 MRAM 搭載の「CMOS/スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率を確認	日本経済新聞 https://www.nikkei.com/article/DGXZRSP679991_R11C24A0000000/	2024. 1 0. 11
9	NEDO 東北大 アイシン	大容量 MRAM を搭載したエッジ領域向け「CMOS／スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率をシステム動作シミュレーションで確認	テック・アイ https://tiisys.com/blog/2024/10/11/post-145834/	2024. 1 0. 11
10	NEDO 東北大 NEC アイシン	大容量 MRAM を搭載したエッジ領域向け「CMOS／スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率をシステム動作シミュレーションで確認	PR Timas https://prtimes.jp/main/html/rd/p/000000118.000135644.html	2024. 1 0. 11
11	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	excite ニュース https://www.excite.co.jp/news/article/Prtimes_2024-10-13-135644-122/	2024. 1 0. 13
12	NEDO 東北大 アイシン	NEDO が CMOS/スピントロニクス融合 AI 半導体を開発、従来比 10 倍以上の電力効率を実現	xexeq https://xexeq.jp/blogs/media/topics14853	2024. 1 0. 13
13	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	時事ドットコム https://www.jiji.com/jc/article?k=000000122.000135644&g=prt	2024. 1 0. 14
14	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	Mapion ニュース https://www.mapion.co.jp/news/release/000000122.000135644/	2024. 1 0. 14
15	NEDO 東北大 NEC アイシン	アイシン、エッジ AI 向け新半導体を共同開発…電力効率 10 倍以上を実現	Yahoo ニュース https://news.yahoo.co.jp/articles/4a031e1532ffbf	2024. 1 0. 14

			e1646c75b95520b48814bf5501	
16	NEDO 東北大 NEC アイシン	アイシン、エッジ AI 向け新半導体を共同開発 …電力効率 10 倍以上を実現	Response https://response.jp/article/2024/10/14/387310.html	2024. 1 0. 14
17	NEDO 東北大 NEC アイシン	アイシン、エッジ AI 向け新半導体を共同開発 …電力効率 10 倍以上を実現	CARCARE PLUS https://carcareplus.jp/article/2024/10/14/10200.html	2024. 1 0. 14
18	NEDO 東北大 アイシン	MRAM 活用で従来比電力効率 10 倍/起動時間 1/10 以下を実現するエッジ AI 半導体技術、 NEDO などが開発	マイナビニュース https://news.mynavi.jp/techplus/article/20241015-3045236/	2024. 1 0. 15
19	NEDO 東北大 NEC アイシン	アイシン、エッジ AI 向け新半導体を共同開発 …電力効率 10 倍以上を実現	Carview https://carview.yahoo.co.jp/news/detail/494018e6c4f2eed4f862a83f5cc2c3a7c01b5a3c/	2024. 1 0. 15
20	NEDO 東北大 NEC アイシン	MRAM 活用で従来比電力効率 10 倍/起動時間 1/10 以下を実現するエッジ AI 半導体技術、 NEDO などが開発	Infoseek https://news.infoseek.co.jp/article/mynavi_2825043/#goog_rewarded	2024. 1 0. 15
21	東北大	MRAM 内蔵 AI 演算回路で電力効率が GPU の 10 倍に、東北大が CEATEC 展示	日経 XTECH https://xtech.nikkei.com/atcl/nxt/column/18/02974/101200004/	2024. 1 0. 16
22	NEDO 東北大 NEC アイシン	「CMOS／スピントロニクス融合 AI 半導体」を 開発	EE Times Japan https://eetimes.itmedia.co.jp/ee/articles/2410/16/news055.html	2024. 1 0. 16
23	NEDO 東北大 NEC アイシン	「CMOS/スピントロニクス融合 AI 半導体」を 開発	TechEyesOnline https://www.techeyesonline.com/news/detail/eetimesjapan-202410160930-1/	2024. 1 0. 16
24	NEDO 東北大 アイシン	NEDO の省エネ AI 半導体プロジェクト：革新的 な「CMOS／スピントロニクス融合 AI 半導体」 が従来比 10 倍以上の電力効率を実現：注目 ニュース	note https://note.com/semicon/times/n/neb3c9fa392f2	2024. 1 0. 16
25	NEDO 東北大	東北大学、MRAM 活用で AI 処理の消費電力を 1/10 以下に、TSMC での量産も視野	Yahoo ニュース https://news.yahoo.co.jp/articles/260d0c2720fdb4df529cfdd255b151aa77781ef	2024. 1 0. 17
26	NEDO 東北大	東北大学、MRAM 活用で AI 処理の消費電力を 1/10 以下に、TSMC での量産も視野	Internet.watch https://internet.watch.impress.co.jp/docs/event/1632190.html	2024. 1 0. 17
27	NEDO 東北大	東北大学、MRAM 活用で AI 処理の消費電力を 1/10 以下に、TSMC での量産も視野	Goo ニュース https://news.goo.ne.jp/picture/trend/internet_watch-1632190.html	2024. 1 0. 17
28	NEDO 東北大 アイシン	東北大学・アイシン、省電力のエッジ向け AI 半導体 起動時間も短縮	日刊工業新聞（ウェブ）	2024. 1 1. 29

			https://www.nikkan.co.jp/articles/view/00732779?gnr_footer=0079273	
29	東北大 NEC アイシン	混載 STT-MRAM に TSMC が本腰 SOT-MRAM は技術基盤整う	日経エレクトロニクス 2025 年 4 月号	2025. 3 . 20

(c) その他

番号	発表者	タイトル	形態	日付
1	東北大学 (吉田知生、夏井雅典、羽生貴弘)	IEEE SSCS Japan Chapter Academic Research Award 受賞 「間欠的コンピューティングの実現に向けた MTJ ベース省エネルギー・コンパクト不揮発レジスタの構成」	受賞	2024. 5. 10
2	東北大学 (Ken Asano, Masanori Natsui, and Takahiro Hanyu)	IEEE Computer Society Technical Committee of MVL (Multiple-Valued Logic) "Outstanding Contributed Paper Award"	受賞	2024. 5. 28
3	NEDO	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	ニュースリリース	2024. 10. 10
4	NEDO 東北大学 (株)アイシン	大容量 MRAM を搭載したエッジ領域向け「CMOS/スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率をシステム動作シミュレーションで確認	ニュースリリース	2024. 10. 11
5	東北大学 日本電気(株) (株)アイシン	CEATEC 2024 CMOS/スピントロニクス融合 AI 半導体	展示会	2024. 10. 15- 10. 18
6	(株)アイシン	株式会社アイシン 新製品展示会	自社開催展示会	2024. 11. 1- 12. 10
7	東北大学 (夏井雅典、羽生貴弘)	VLSI 設計技術研究会・優秀大会講演論文賞	受賞	2024. 11. 14

@研究開発項目②：テーマ名「万能高位合成と新型汎用データフロー計算機構」

【特許】

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	日本電気 (株)	特願 2023-187935	国内	2023/11/1	出願	高位合成装置	高橋 渡

2	キヤノン株式会社	特願 2024-061719	国内	2024/04/05	出願	情報処理装置およびその制御方法	山本 あゆ美
3	キヤノン株式会社	特願 2024-171514	国内	2024/09/30	出願	情報処理装置、情報処理方法	兒玉 成緒
4	キヤノン株式会社	特願 2024-171515	国内	2024/09/30	出願	情報処理装置、情報処理方法	兒玉 成緒
5	日本電気(株)	特願 2025-056300	国内	2025/03/28	出願	疎行列乗算装置、疎行列乗算処理回路、疎行列処理装置および疎行列乗算方法	酒井 完

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Haopeng Meng, Kazutoshi Wakabayashi, Tadahiro Kuroda	The University of Tokyo	A Scalable Linear Equation Solver FPGA using High-Level Synthesis	The 24th Workshop on Synthesis And System Integration of Mixed Information technologies(SASIMI 2022 proceedings)	査読有	2022/10
2	CHEN TSEWEI	Canon Inc.	Dedicated Inference Engine and Binary-Weight Neural Networks for Lightweight Instance Segmentation	IEEE/CVF Conference on Computer Vision and Pattern Recognition Workshops (CVPRW)	査読有	2024/6
-	Haopeng MENG, Kazutoshi WAKABAYASHI, and Makoto IKEDA	The University of Tokyo	Nested-Pipeline Delta-Stepping Scalable FPGA Accelerator for Parallel Single-Source Shortest Path with High-Level Synthesis	IEICE TRANS, Special-VL	投稿済	

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Atsushi Hatabu Toshihiko Nakamura, Kazutoshi Wakabayashi	NEC u. of Tokyo	High level synthesis for sequential nested loops:~ Fully hardwired SLAM local bundle adjustment ~	60th Design Automation Conference	2023/06

2	酒井完	日本電気 (株)	Sliding Window 実現方式の 自動選択機構による CNN 推論処理の高効率化	情報処理学会 組 込み技術とネット ワークに関する ワークショップ ETNET2024	2024/03
3	Kento Mishima	東京農工 大学	ISP Parameter Optimization and FPGA Implementation for Object Detection in Low-Light Conditions	2024 IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS)	2024/04
4	Haopeng MENG, Kazutoshi WAKABAYASHI, and Makoto IKEDA	The University of Tokyo	Single-Source Shortest Path FPGA Accelerator Using Multiple Parallel Searches with High-Level Synthesis and Linked List Implementation	VLD 研究会	2025/3

(b) 新聞・雑誌等への掲載 なし

(c) その他 なし

@研究開発項目②：テーマ名「省電力化に向けた次世代ヘテロジニアス AI デバイスの SW-HW協調設計ツール開発」

【特許】

なし

【論文】

なし

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Wenqin Xu/ Hiromu Yokokura	Renesas Electronics Corp./Fixstars Corp.	Renesas Hardware accelerators with Apache TVM	TVMCon 2023	2023/03/15

(b) 新聞・雑誌等への掲載 なし

(c) その他

番号	所属	タイトル	掲載場所	発表年月
1	ルネサスエレクトロニクス株式会社/株式会社フィックスターズ	ルネサスとフィックスターズ、AD/ADAS 向け AI ソフトウェアを R-	Renesas Web サイト	2022/12/15

		Car SoC に最適化するツール群を共同開発		
2	ルネサスエレクトロニクス株式会社	省電力化に向けた次世代ヘテロジニアス A I デバイスの SW-HW 協調設計ツール開発	CEATEC2024	2024/10