「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業」
中間評価報告書

２０２５年３月

国立研究開発法人新エネルギー・産業技術総合開発機構

研究評価委員会

2025 年 3 月

国立研究開発法人新エネルギー･産業技術総合開発機構
　理事長　　斎藤　保　殿

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会 委員長　　木野　邦器

NEDO技術委員・技術委員会等規程第34条の規定に基づき、別添のとおり評価結果について報告します。

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業」
中間評価報告書

２０２５年３月

国立研究開発法人新エネルギー・産業技術総合開発機構

研究評価委員会

目　次

はじめに　1
審議経過　2
分科会委員名簿　3
研究評価委員会委員名簿　4

第１章　評価
１．　評価コメント　1-1
１．１　意義・アウトカム（社会実装）達成までの道筋
１．２　目標及び達成状況
１．３　マネジメント
（参考）分科会委員の評価コメント　1-3
２．評点結果　1-14

第２章　評価対象事業に係る資料
１．事業原簿　2-1
２．分科会公開資料　2-2

参考資料１　分科会議事録　参考資料 1-1
参考資料２　評価の実施方法　参考資料 2-1
参考資料３　評価結果の反映について　参考資料 3-1

はじめに

国立研究開発法人新エネルギー・産業技術総合開発機構においては、被評価プロジェクトごとに当該技術の外部専門家、有識者等によって構成される分科会を研究評価委員会によって設置し、同分科会にて被評価対象プロジェクトの研究評価を行い、評価報告書案を策定の上、研究評価委員会において確定している。

本書は、「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業」の中間評価報告書であり、NEDO 技術委員・技術委員会等規程第 32 条に基づき、研究評価委員会において設置された「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業」（中間評価）分科会において評価報告書案を策定し、第 79 回研究評価委員会（2025 年 3 月 17 日）に諮り、確定されたものである。

2025 年 3 月
国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会

審議経過

● 分科会（2024 年 12 月 20 日）

公開セッション

１．開会

２．分科会の設置について

３．分科会の公開について

４．評価の実施方法について

５．プロジェクトの説明

非公開セッション

６．プロジェクトの補足説明

７．全体を通しての質疑

公開セッション

８．まとめ・講評

９．今後の予定

１０．閉会

● 第 79 回研究評価委員会（2025 年 3 月 17 日）

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業」（中間評価）

分科会委員名簿

（2024年12月現在）

	氏名	所属、役職
分科会長	張山（はりやま）　昌論（まさのり）	東北大学　大学院情報科学研究科* 教授
分科会長 代理	井上（いのうえ）　弘士（こうじ）	九州大学　副学長 大学院システム情報科学研究院*　教授
委員	岡島（おかじま）　博司（ひろし）	トヨタ自動車株式会社　先進技術統括部 主査 / 担当部長
	富高（とみたか）　忠房（ただふさ）	ソニーベンチャーズ株式会社　役員室 シニアベンチャーキャピタリスト
	松岡（まつおか）　智代（ともよ）	株式会社 QunaSys COO
	向林（むかいばやし）　隆（たかし）	株式会社アイティーファーム　事業開発担当 執行役員
	山下（やました）　太郎（たろう）	東北大学　大学院工学研究科　応用物理学専攻* 教授

敬称略、五十音順

注*：実施者の一部と同一大学（or研究機関）であるが、所属部署・学科が異なるため「NEDO技術委員・技術委員会等規程(平成３０年１１月１５日改正)」第３５条（評価における利害関係者の排除）により、利害関係はないとする。

研究評価委員会委員名簿

（2025 年 3 月現在）

	氏　名	所属、役職
委員長	木野（きの）　邦器（くにき）	早稲田大学　理工学術院　教授
委員	浅野（あさの）　浩志（ひろし）	岐阜大学　特任教授 一般財団法人電力中央研究所　研究アドバイザー
	稲葉（いなば）　稔（みのる）	同志社大学　理工学部　教授
	五内川（ごないかわ）　拡史（ひろし）	株式会社ユニファイ・リサーチ　代表取締役社長
	鈴木（すずき）　潤（じゅん）	政策研究大学院大学　政策研究科　教授
	原田（はらだ）　文代（ふみよ）	株式会社日本政策投資銀行　常務執行役員
	松井（まつい）　俊浩（としひろ）	東京情報デザイン専門職大学　情報デザイン学部 学部長・教授
	松本（まつもと）　真由美（まゆみ）	東京大学　教育学部附属教養教育高度化機構 環境エネルギー科学特別部門　客員准教授
	吉本（よしもと）　陽子（ようこ）	三菱 UFJ リサーチ&コンサルティング株式会社 産業創発部　事業戦略グループ　主席研究員

敬称略、五十音順

第１章　評価

１．評価コメント

１．１　意義・アウトカム（社会実装）達成までの道筋

生成系 AI の登場と次世代コンピュータ等の情報処理の異次元の飛躍が相まってデータセンターにおける計算処理も圧倒的に拡大/用途別化が進んでいる。また、エッジ領域における分散情報処理の拡大が見込まれていることに伴い、さらなる消費電力の削減が求められている。本事業が目指す将来像は、現在の半導体・デジタル産業政策におけるこの課題にダイレクトに対応するものであり、経済的価値が高く、国として戦略的に取り組む意義の高いものと考える。また、この分野では欧米、中国との競争が激化し、日本は劣勢に置かれている中で、国策として NEDO プロジェクトで推進することには、大変大きな意義がある。アウトカム達成への道筋については、コンピューティングによるエネルギー消費の削減を目指し、クラウド（データセンター）とエッジの双方で新技術開発を行うというアプローチはアウトカム達成に向けた順当な方向性である。

一方、量子技術イノベーション戦略が掲げる量子技術の普及という目的に対して本事業の開発技術がどのように貢献するかは、もう少し掘り下げて具体化が必要ではないかと思われる。アウトカム達成に向けては、個別市場における具体的ニーズ・特殊ニーズを捉えるための事業化アクションについても具体化することを期待する。また、知財戦略に関わる調査を行い、事業者にフォローしていることは、評価に値するが、さらに、知財を攻めのツールとして徹底的に強化する方針が望ましい。AI、量子コンピュータ、次世代コンピュータとも、知財、ノウハウのオープン、クローズ戦略に関しては、世界でもいろいろな形で議論されており、企業ごとでも、戦略が全く異なる。これらをベンチマークして、NEDO プロジェクトとしてどのような戦略を立てるべきかの議論を望む。加えて国際標準化に関しては、やや活動が見えにくい。現状では、分野的に標準化の着眼点を定めることが難しい分野でもあるので、今後に期待する。

１．２　目標及び達成状況

アウトカム目標については、技術動向調査等を元に市場規模やエネルギー消費量の推移を把握した上で設定されており、妥当な設定である。Preferred Networks 社の AI チップ、フィックスターズ社のソフトウェアが、現状、世界競争力を持つ可能性があり、アウトカム目標の達成見込みがあると言える。実際に製品採用が進んでいるということは大きなポジティブ要素と捉えている。アウトプット目標は、基本的にほぼ全てのテーマにおいて中間目標は達成していると判断できる。現状の性能比較、ユーザー数など、世界的に優位な立場にいることは、すばらしい成果である。

一方、グローバルな事業展開に向けての道筋が見えていない。世界レベルでの競争では、他国のプロジェクトも日進月歩で進捗している。したがって、ベンチマークを適時行い、その競合と真っ向勝負するか、違う土俵で勝負するかの明確なストーリーを構築し、議論できる機会が必要だと考える。アウトプット目標の、データセンターの低消費電力化に資するというのはとても重要であり、エッジ AI でのアーキテクチャの設計指針とはやや異なる性能指針が必要となる場合がある。また、超低消費電力のメモリー素子、サーバーリソース間の高速・低消費電力な通信など、システム全般にわたる技術開発が急がれる。

１．３　マネジメント

本事業の NEDO による執行は適切であると考える。また、実施者もそれぞれの専門性を活かした体制となっている。有識者会議や技術委員会により、プロジェクトの方向性やその妥当性が判断されており適切である。受益者負担については、事業性の予測が難しく、民間企業での事業化判断が難しいため、NEDO で委託という考え方は妥当である。研究開発については、時代の流れが早いこの分野で、外部環境の変化に応じ、成果を大きくするためのテーマ融合やプロジェクト間連携や選抜と、早期事業化の後押しができている。また、探索フェーズを導入するなど、NEDO にとっても新しいスキームだと考えられ、今回の事業が一つのロールモデルとなることを期待する。

一方、研究開発項目①については、ビッグプレイヤーが存在する中、個別ニーズを捉え、リードユーザーとなり得る企業に開発技術を使ってもらいフィードバックを得るというループを密に高速に回す体制構築の支援が望まれた。また、研究開発項目②については、次世代コンピューティングのニーズを創り出す活動、市場を立ち上げる活動、事業化を支援する体制を構築することが望まれる。今後に向けては、成果や開発中の技術に関してユーザーに触れる機会をさらに増やしていくことが、様々なアプリケーションの開発が同時に進み、社会実装を促進する鍵となる。例えば、すでに実施されている、ユーザーとなるポテンシャルのある企業等を招いたワークショップ開催は意義があると考える。また、一つの企業だけでは完結することが難しい昨今においては、海外企業との連携も視野に入れた事業へと拡大することも一つの検討事項だと思われる。さらに、AI 関連産業は本事業発足当時の予想をはるかに超えた速度で進展している。この速度に対応した計画の見直しを継続していただきたい。

（参考）分科会委員の評価コメント

１．１　意義・アウトカム（社会実装）達成までの道筋

＜肯定的意見＞

- エッジ AI に対する技術的・社会的な急激な変化が生じている状況ではあるが、最大限に柔軟に目標値をアップデートしている。
- （AI、量子を含む）次世代コンピューティング技術の開拓は極めて重要なチャレンジであり、未だ世界的にも決定的な解にたどり着いていない状況にある。このように世界中で研究開発競争が激化するなか、本事業は我が国のコンピューティング力の向上に向けた取組みであり、目指す将来像は明確に示されている。持続可能な情報社会の発展を実現するには、スケーラブルな情報処理基盤の構築が必須であり、まさに「コンピューティング力」は「国力」といっても過言ではない。このような中、コンピューティング産業が強力であるとは言いがたい我が国において、国費を投じて本事業を推進することは極めて重要である。
- 文部科学省との連携（特に量子コンピュータ関連）は重要な取組みであり高く評価できる。
- エッジ型 AI 半導体に日本の強みを活かした目標設定を行なっている。この技術はサーバー用途にも適用可能であり、時代の要請にマッチしている。
- この分野では欧米、中国との競争が激化し、日本はどちらかというと劣勢に置かれている中で、NEDO のプロジェクトとして、国策で推進することには、たいへん大きな意義があると思う。
- 本事業が目指す将来像は、現在の半導体・デジタル産業政策における課題【※】（今後は、生成系 AI の登場と量子コンピュータや AI コンピュータ等の情報処理の異次元の飛躍が相まってデータセンターにおける計算処理も更に圧倒的に拡大/用途別化が進み、また、エッジ領域における分散情報処理の拡大が見込まれ、さらに、消費電力の削減も求められる）にダイレクトに対応するものであり、世界的に見ても喫緊の課題に対する解決策を提供するものという観点で、経済的価値が高く、国として戦略的に取り組む意義の高いものと考える。
- AI 技術に根ざしたサービスが日常生活の一部として急速に浸透しつつある状況を目の当たりにすると、本事業が如何に先見性に溢れたビジョン基づくものであるかが理解できる。AI 技術が産業の発展に与える影響は加速度的に増しており、本事業は日本国の将来のためにもっとも重要な物の一つと言っても過言ではない。
- AI エッジコンピューティング及び次世代コンピューティング技術の開発に関し、特に量子技術について、量子コンピュータに必須となる周辺半導体・超伝導回路技術やソフトウェア層まで包含的に開発する事業であり、我が国で推進する意義は極めて大きい。また外部環境の変化に柔軟に対応しつつ進めており、継続して実施する意義がある。
- 社会課題を解決するうえで、エッジ AI の重要性はますます高まっている。また、量子コンピュータの産業化においては、ハードウェアの進展に加えてソフトウェア

や応用分野の開拓を進めることが求められる。これらはリスクが高い取り組みであるからこそ、国策として実施する必要がある。以上のことから、本事業を国が実施する意義は極めて大きい。

- 将来のコンピューティングによるエネルギー消費の削減を目指し、クラウド（データセンター）とエッジの双方で新技術開発を行うアプローチはアウトカム達成に向けた順当な方向性である。
- 特に AI エッジ系事業、ならびに、アニーリング普及事業に関しては事業主が明確化されており、すでに一部の成果は事業化に向かっていることを考えると高く評価できる。
- 量子・光系事業に関しては残りの事業期間を通してプレイヤーがより明確化されることを期待する。
- 近年の生成 AI を含む大きな変革にも対応し、プログラムの戦略、方向性を適切に修正している。
- プロジェクト開始から 7 年が経過し、その間、AI では、NVIDIA、生成 AI の台頭、量子コンピュータでは、アニーリングからゲート型、超電導から中性原子と、大きく流れが変わってきた。いずれも、消費電力が最大の問題であり、これに対して、10 倍､100 倍の性能向上を目標に、各プロジェクトの枠組みを修正しながら、アウトカム達成までの道筋を進んでいると認識している。
- 研究開発項目①、②ともに、実用化までの道筋や時間軸は実現性・納得性があり、違和感はありません。
- AI エッジプロセッサーならびに､量子コンピューティングを含む次世代コンピューティングのテーマ設定は的確である。
- 量子技術に関する研究について､事業開始後に､ゲート型量子計算機の発展や NISQ から FTQC へのターゲット移行等、大きな外部環境の変化が生じているが、都度現状を調査することで、より意義のある研究開発の方向性への調整や、それらを見据えた道筋となっており、外的変化や社会的影響を十分に考慮している。
- 知的財産の戦力に関しては、NEDO により該当する分野の知財を分析し、知財化の可能性の高い着眼点を提供するなど、優れた取り組みをしている。
- 知財関連については NEDO にて適切な管理・運営がなされていると判断できる。
- 当該分野における知財動向調査を行い、事業者のフォローがしっかりできている。
- 知財戦略に関わる調査を行い、事業者にフォローしていることは、評価に値する。
- 各研究開発テーマにおいて、知財戦略に係る調査を実施されており、中で検討されている内容についても、技術戦略という観点では十分な解像度を持ったものと評価しています。
- 技術開発だけではなく、当初から知的財産・標準化を戦略的に位置付けている点は素晴らしい。また大規模な実態調査を実施している点は、初期的なアクションとして的確である。

・ 2022 年度からの知財調査の積極的な推進も行っており、今後の知財管理や標準化施策の方針について、適切に設定されている。

＜問題点・改善点・今後への提言＞

・ 我が国のコンピューティング産業を強化するという観点からは「どのようにマネタイズするのか？」という観点が極めて重要になる。例えば、AI チップ等を開発し従来の半導体ビジネスモデルに基づきチップビジネスを展開するのか､Apple や AWS 等のように自社チップを開発し自社サービスへの展開にてマネタイズするのか、など。その観点から、真の目標は「10 倍」や「100 倍」のアウトプットではなく､「市場競争力のある（そしてビジネスとしてスケールする）製品やサービスの実現」のアウトカムのはずである。すなわち、競争力のある成果であれば 10 倍や 100 倍の達成は必須ではないと捉えることができる。｢数値目標の設定と､それに基づく評価」は分かりやすい一方、本来の目標を見失わないよう（この目標を達成することが目的とならないよう）注意が必要である。すなわち、アウトプット目標がアウトカムの達成に本当に繋がっているか、必要十分となっているか、の継続的な見直しが必要と考える（アウトカムを定め、それを実現するアウトプットを設定する)。
・ 生成 AI の処理にも強みを活かすよう、方向性の修正はできているが、より大きな体制、新規プロジェクトの企画推進が望まれる。
・ 12 年間という長い期間の中で、世界での状況変化に合わせて、アジャイルに方向転換していく仕組みを、プロジェクトの構造として、構築していく必要性を感じた。
・ 一方で、(P1-3 にある【※】印の）課題に対して、現時点で量子技術がそれにダイレクトに貢献する確証はなく、その意味で、量子技術政策との関連付けやその文脈における意義は、少し説得力に欠けるという感覚を持つ。量子技術イノベーション戦略は量子技術の普及に目的が置かれており、もちろんデータセンターやエッジコンピューティングは一つの潜在アプリケーションではあるが、量子技術の普及という目的に対して本事業の開発技術がどのように貢献するかは、もう少し掘り下げて具体化が必要ではないかと思われる（現時点の打ち出し方だと、量子を知っている層に対して、ちぐはぐな議論をしている印象を与えてしまうことを懸念しています)
・ AI 応用サービスが当初の予想をはるかに上回る勢いで普及しつつあることから､本事業およびこれに続く次の事業は、質、量両面においてさらに強化しなければならない。
・ アウトカム達成には、国内データセンター設置施策と合わせた（何らかの形で連携した）仕掛けが必要に思われる。NEDO 内で実施されているデータセンター事業の実施者との（将来を見据えた）議論・意見交換も一つの方法だと考える。
・ 量子コンピューティングの強化や光コンピューティングの強化にあたり、周辺プロジェクトや企業との連携を一層強化されたし。
・ 最終的には、このプロジェクトから、世界で利用される AI チップや AI システム、量子コンピュータ、次世代コンピュータのビジネスが生まれることが期待されてい

る。実際は、そのビジネスに貢献する会社自体の時価総額で評価される世界だと思う。その時価総額と今のプロジェクトとのキャップが埋まるようなストーリーが必要だと思う。

- 実用化から事業化までの道筋については解像度が荒く、計画実現性が少し弱いことが気になりました。
- 目標とするアウトカムが非常に大きなマクロ指標から設定されており、この規模感の経済価値を実現するためには、相当な事業開発投資、戦略的アクションが必要となろうかと思いますが、そこが事業者まかせになっているため、ここで苦戦し、アウトカム達成に至らないケースが多発することを懸念しています。
- 開発技術そのもの、及び技術動向調査結果を踏まえても、本事業のアウトプットは、産業全体に広く影響を与えるものというよりは、いくつかの個別市場において発生する具体的ニーズ・特殊ニーズを捉えにいくものと理解しておりますので、アウトカムへの貢献についてもう少し柔軟に捉えられるような道筋を示しつつ、さらに事業化アクションについても一段具体化する工夫が必要なのではないかと思いました。
- クラウドサービス発展のボトルネックが演算性能からデータセンターに対する電力供給に移りつつある。マルチモーダルの LLM 処理が主な用途であり、量子コンピュータは必ずしもその最適解ではない。脳型、光ロジックなど、データセンターと親和性のある次世代コンピューティング技術の開発の優先度を上げるべきである。また、演算処理だけなではなく、超低消費電力のメモリー素子、サーバーリソース間の高速・低消費電力な通信など、システム全般にわたる技術開発が急務である。
- 国際標準化に関しては、やや活動が見えにくい。現状では、分野的に標準化の着眼点を定めることが難しい分野でもあるので、今後に期待する。
- 今回の説明ではあまり触れられていなかったが、オープン化により大きな流れを作る（ユーザーの獲得を広める）戦略は重要になる。量子・光系事業ではまだ判断が難しいところだと思われるが、AI 系事業についてはオープン化している成果もあると思われるので、社会に対する普及活動をさらに展開できると良い。
- AI、量子コンピュータ、次世代コンピュータとも、知財、ノウハウのオープン、クローズ戦略に関しては、世界でもいろいろな形で議論されており、企業ごとでも、戦略が全く異なる。これらをベンチマークして、この NEDO プロジェクトとしては、どのような戦略を立てるべきかを議論できる場が必要だと思う。
- 一方で、競合プレイヤーに対して「事業として勝つ」ための事業戦略、及び、実行施策についての検討は少し弱いように思いました。
- 標準化一つとっても、実際にデファクトスタンダードを取っていくためには、グローバルのトッププレイヤーとの連携もしくはそこに対抗できるようなアクロバティックな施策が不可欠であり、一朝一夕で実現できるものではないという理解ですので、その点については継続検討いただいてもよいのではないかと思いました。

・ 競合国における特許を質的に分析し、日本が優位な分野において徹底的に知財を強化する方針が望ましい。面で防御するため特許の件数は重要な指標であるが、攻撃および標準化、つまり攻めのツールとしては特定分野を徹底的に強化するほうが良い、たとえば日本に優位性があるマテリアル、実装技術などが強化候補となる。

１．２　目標及び達成状況

＜肯定的意見＞

・ 電力性能等において当初の目的を達成できる見込みである、また、費用対効果において、今後の市場規模の拡大を考慮し、高い効果を上げると見込まれる。
・ アウトカム達成の見込みに関しては、多くの要因が関係するため、その達成見込みを判断できない（ネガティブな意味ではなく、そもそも情報処理システムに関連する CO_2 削減量の妥当な算出が難しいため）。
・ 事業を推進する上で設定された 10～100 倍の電力効率向上は極めて挑戦的であるが、すでに終了した AI チップ事業では殆どの場合で数値目標を達成しており高く評価できる。量子・光系事業においては我が国の国際競争力を維持するという観点から十分に見込みがある。
・ 生成 AI を含めた、サーバーの電力重要は想定よりも遥に大きくなりつつある。エッジ型デバイスの低消費電力のニーズと共に、サーバー用途へも展開可能であり、当初目標は適切であり、より社会の需要も広く高まってきている。
・ 具体的な事例として、PFN の AI チップ、フィックスターズのソフトウェアが、現状、世界競争力を持つ可能性があることは、アウトカム目標の達成見込みとしては、妥当だと思う。
・ 実際に電力効率の向上は達成されているということですので、その意味で CO_2 削減等のアウトカム達成見込みはあると考えてもよいようには思いました。
  また、経済価値の達成についても、ここからの事業拡大に一つ課題はあるものの、一定の見込みがあると言ってもよいかと思っております。多くの研究開発は実際の導入事例を作れずに終わることがほとんどという中で、PFN の開発事例等でご紹介があったように、実際に製品採用が進んでいるということは大きなポジティブ要素と捉えています。
・ 本事業発足当時の業界予想に基づく目標設定は的確であり、おおむね計画通り達成されている。
・ アウトカム目標については、技術動向調査等を元に市場規模やエネルギー消費量の推移を把握した上で設定されており、妥当な設定である。
・ エッジ AI の技術的・社会的な急激な変化が生じている状況ではあるが、最大限に柔軟に目標値をアップデートしている。
・ 基本的にほぼ全てのテーマにおいて中間目標は達成していると判断できる。
・ アニーリングを対象としたプラットフォームは多くの利用者にリーチするという観点から特筆すべき成果だと考える（副次的効果）。

・ 新規アーキテクチャの AI 半導体を活かすには、より効率的に動作させるためのソフトウェアの開発が重要であり、コンペの開催も含め積極的に取り組んでいる。
・ 現状の性能比較、ユーザー数など、世界的に優位な立場にいることは、すばらしい成果だと思う。）
・ 中間目標については、どのテーマも達成しており、また、特許出願や論文発表も十分になされていることから研究開発としては順調に進捗しているものと理解。
・ 目標の達成状況は良好である。
・ 量子コンピューティング技術に関して、ソフトウェアや周辺技術、実装技術において、今後見込まれるアニーリングからゲート型へのシフトの可能性も見据え対応可能な開発を進め成果を創出している。特に Fixstars Amplify は複数の量子アニーラを横断的に統合した優れた成果物であり、今後 IBM-Q をはじめとするゲート型量子コンピュータにも拡張することで、日本発の量子開発プラットフォームへの発展が期待される。特許出願や論文発表も多数行われている。

＜問題点・改善点・今後への提言＞
・ 複数事業者のそれぞれの事業拡大を考えた場合、アウトカムを 1 つに絞ることは難しいと思われる。情報処理におけるエネルギー削減（CO_2 削減）という大きなアウトカムを設定し、その上で、ある種の「サブアウトカム（各事業者のビジネス展開を見据えた上で設定したアウトカム）」という二段構成にするのも一つの方法だと考える。
・ 多くのプロジェクトが関わっている中で、複数個のプロジェクトが世界で使われるサービス、商品として、成長することが望まれる。そして、それを担当しているそれぞれの事業会社の時価総額向上に貢献し、世界規模の時価総額になれるかというストーリーを構築できることが望ましい。アウトカム目標の設定根拠の因数分解をより緻密におこなってほしい。
・ アウトカム指標や、費用対効果は見直すべきではないかと思いました。
いずれも、マクロ指標に対して 1%、というようなざっくり試算がされていますが、中身の研究開発の目指すものは、もう少し個別のニーズに対応するものと理解しております。
決して開発技術のインパクトを過大評価しているということを申し上げたいわけではなく、各開発技術の価値を正しく理解し、その価値に潜在的に Appreciate してくれるマーケットはどこか、という視点で、解像度をあげた試算を行うべきではないかと思います。
・ 本事業は、2030 年にインターネットトラフィックが 2 倍になるという予想に基づいたものであるが、マルチモーダル LLM の消費者向け応用が爆発的に普及しつつあることから、AI データセンターのデータ処理量は 2028 年には現在の 10 倍、2030 年台の前半に 100 倍に達することが予想されている。つまり、個別プロジェクトは目標性能を達成しているが、現在の事業環境は、遥か前方に進んでしまっている。

- エッジ AI に関して、出口を意識した応用分野の設定にもう少し注力すべきと感じた。また、データセンターの低消費電力化に資するというのはとても重要なシナリオだと感じた。ただしその場合、エッジ AI でのアーキテクチャでの設計指針とはやや異なる性能指針が必要となる場合があるので、それを考慮した目標の設定が必要と感じた。
- 各事業者のビジネス戦略を鑑みた場合、必ずしも統一的なアウトプット目標設定が適切であるとは限らない。当然ながら公募においてアウトプット目標を設定する必要はあるが、採択後に改めて（もしくは応募時でも良いかもしれないが）企業に関しては「実用化を見据えた上で達成すべきアウトプット」を自ら設定するやり方もあると考える。
- 成果や開発中のチップをユーザーに触れる機会をさらに増やしていくことが、いち早く様々なアプリケーションの開発が同時に進み、より社会実装を促進する鍵となる。
- 世界レベルでの競争では、他国のプロジェクトも日進月歩で進捗している。したがって、ベンチマークを適時行い、その競合と真っ向勝負するか、違う土俵で勝負するかの明確なストーリーを構築し、議論できる機会が必要だと感じる。
- 中間目標の設定が、「電力効率」で定められており達成しているという判断になっているが、実際には、電力効率をフェアな形で比較するためにはそれなりの方法論が必要と理解。現時点では、そのフェアネスよりもまずは独自基準で効率を算出するところに目標を置いたということであればその点に異存はないが、最終的には、どのようなアプリケーションを対象とし、どのレイヤーでどういう比較をした場合の数値である、という点を明確に示す必要はあるように思う。「どんなアプリケーションでも勝てる」となっている必要はなく、Specific なケースで目標が達成されていることが示されているということで問題ないように思っており、むしろその点をクリアにすることで、このプロジェクト成果への信頼性・納得性が増すように考えています。
- グローバルな事業展開に向けての道筋が見えておらず、またその成功を予感させる兆候もない。
- 超伝導量子アニーリングマシンの開発に関しては、社会的情勢の変化の観点から、必ずしも当初の数値目標（量子ビット数など）の達成に固執せず、方式変更も含め、柔軟な方針転換も重要と考える。
- 量子コンピュータの方式に応じ、クライオ制御集積回路の開発方向性も影響されるため、量子コンピューティング方式に関する方針決定が重要である。
- クライオ制御集積回路については、（目処を立てやすい）従来比としての消費電力目標よりも、真の最終目標を見据えたスケーラビリティの議論に基づいた目標設定がより重要と考える。たとえ現時点でアイデアが存在しなくとも、最終目標を達成可能な方式を模索する研究開発自体が、国としても重要な時期である。

１．３　マネジメント

＜肯定的意見＞

・ エッジ AI について成果を実用化するためにユーザーへの説明会を設定するなど、実用化に対して着実に進めている。また、量子コンピュータについてハードウェア開発とソフトウェア開発が連携し、ソフトウェア部分を先にユーザーに公開し体験してもらうなど事業化を目材している点は高く評価できる。
・ 本事業の NEDO による執行は適切であると考える。また、実施者もそれぞれの専門性を活かした体制となっており、指揮命令系統も行き届いていると、高く評価できる。
・ 遠藤 PM の強力なリーダーシップのもとに適切な推進ができている。事業実施者においてもプロジェクト遂行能力が高く社会実装に向けた事業化の体力も十分である。
・ 執行機関は、現状で適切だと思う。これだけの利害関係者が関わる長期間のプロジェクトをうまくマネジメントできていると思う。国のプロジェクトとして、情報も適格に公開されており、進捗の理解が容易である。
・ 本技術は、ある程度長期を見据えた開発ではあるものの、その内容は基礎的な研究というよりは、経済安全保障の観点から国として戦略的に取り組む必要性の高い技術領域であるため、NEDO は執行機関として最も適切であると考えます。また、指揮命令系統、個別事業の採択プロセス、データの利活用・提供方針についても大きな問題を認めませんでした。
・ 執行機関側の体制およぶ運営は技術開発の推進という視点で適切である。
・ 極めて多くの研究開発項目及び参画機関を有する中、適切かつ効率的にマネジメントがなされている。
・ 実施体制としても有識者会議や技術委員会により、プロジェクトの方向性やその妥当性が判断されている。
・ また、ハード・ソフト・制御技術に分かれていた量子技術の統合や、当初 5 つ採択した探索型テーマを評価・選抜の上、研究開発テーマへとステージアップするなど、適切かつ柔軟に運営されている。
・ また、Q-LEAP 等の他プロジェクトとの装置共用利用も可能とするなど、我が国の効率的な研究開発体制の構築にも大きく貢献している。
・ 先進的な量子技術に関する研究にも取り組んでおり、実用化が要求されるエッジ AI チップなど事業に応じて、適切かつ柔軟に設定されている。
・ 現在の受益者負担で問題ないと考える。
・ 時代の要請が高くハイリスク研究でもあり、支援割合も適切である。
事業者の経営状態に問題はなく、事業性の見込みも高い。現状の運用は適切である。
・ いずれも、100%NEDO 負担の委託事業である。事業性の予測が難しく、民間企業での事業化判断が難しい限りにおいては、適切だと思う。
・ 研究開発リスクが高いため、NEDO で全額負担という考え方は妥当と思いました。

・ 委託事業、助成事業とも、大学、事業会社において本件テーマのような長期的視野に基づく研究開発を促進するモチベーション作りに大きく貢献している。また、共通した戦略ビジョンの下で各プロジェクトが互いのシナジーを認識しながら進行する体制は、国家レベルでの産業育成の観点から効率的なものである。
・ 量子技術をはじめとする次世代コンピューティング技術、特にハードウェアに関する部分は、民間企業が投資しづらい分野であるため、本事業により 100%NEDO 負担で継続することは極めて重要かつ適切である。
・ ステージゲートにおいて、適切に研究開発グループが統廃合されており、状況が目まぐるしく変化する AI および量子コンピュータの分野において有効に機能している。
・ 全体的に柔軟かつ適応的に見直しが行われていると評価できる。
・ 特に、量子・光系事業においては、探索フェーズを導入するなど、NEDO にとっても新しいスキームだと考えられ、今回の事業が一つのロールモデルとなることを期待したい。
・ 時代の流れが早いこの分野で、より早く成果を大きくするためのテーマ融合や早期実業化の後押しができている。先回の評価において、ユーザー意見、要望をより早く取り込むようにとの評価コメントを受け、展示会、セミナーなど積極的にアピールし、ユーザー接点を増やしている。
・ ステージゲート方式により、適切に研究計画をアップデートしていると理解する。
・ 研究開発項目②におけるマネジメント、特に初期には可能性をある程度広めに取りながら、開発進捗を見て絞り込んでいくという方針は、開発プロセスの後半で多大な投資が必要である一方で、現時点で技術的な確実性が見えない本事業のような研究開発では大変有効であると考えます。
・ プロジェクト単位、各案件の進捗管理、ステージゲートの設定による Go・No Go 判断、各プロジェクト間のコーディネーションなど、仕組みとしては合理的に設計され、運営されている。
・ 外部環境の変化に応じ、プロジェクト統合や選抜、プロジェクト間連携を適切に見直している。また各種調査を通じ、今後の方向性も改めて見直している上、ステージゲートによる継続可否、追加公募も柔軟に実施しており、研究開発管理も適切に行われている。

＜問題点・改善点・今後への提言＞
・ AI 系事業において、ユーザーとなるポテンシャルのある方を招いたワークショップ開催は意義があると考える。このような活動は、事業終了後よりも開始時の方がより効果があるかもしれない（ただし、成果そのものがまだ無い段階であり、知財、集客、等の面で難しさがあるかもしれないが・・・）
・ 国のプロジェクトとして、情報の厳密性が要求されることは重要である。しかし、必要以上の情報提供、情報の膨大さに繋がっていて、結果として、理解することが

困難なプロジェクトになっている。分かりやすいプレゼン、シンプルな説明が期待されていると思う。

- 一方で、実施者の事業化能力、及び、事業化を目指した実施体制については、少し弱いように思えました。
  研究開発項目①については、巨大ビッグプレイヤーが存在する中、その中の個別ニーズを捉え、リードユーザーとなり得る企業に開発技術をあててフィードバックを得るというループを密に高速に回す必要があるという認識ですが、そのような体制が明確に構築されているようには見えませんでした。技術としてはいいものができているのだと思いますので、ぜひ今後そういった体制構築を NEDO としても支援いただけるとよいのではないかと思いました。
  研究開発項目②については、「市場が立ち上がっているか」に目配せをしているというコメントがありましたが、むしろ市場を立ち上げることが当該領域の事業開発であり、対象となる次世代コンピューティングのニーズを創り出す活動が不可欠と認識しています。このような活動は、技術開発が終わって一年や二年でできるものではありませんので、ぜひ今の段階からそういった活動を推奨するようなマネジメントを実施いただけるとよいのではないかと思いました。
- 金銭面も含め、もう一歩踏み込んで事業化を支援する体制を構築するべきである。
- 特に日本におけるコンピューティング産業の強化を鑑みた場合、当面は受益者負担をできるだけ軽減することが必要だと考える。例えば、「実用化にて利益があがったらある程度の額を国に戻す」といった仕組みがあると良いのかもしれない（ただし、税制など色々な面で難しさはあると思うが・・・）
- AI チップ、フィックスターズソフトウエアなどは、事業性が見えてきていることもあり、委託事業から民間の事業への移転のプロセスをクリアにわかりやすく解説が必要だと感じる。
- 昨今の AI 関連産業においては、基本技術の開発、応用サービスの開発、その結果としての市場展開が爆発的に加速していることから、基本技術が実用化されてから事業として安定するまでに膨大な投資が必要となる。たとえば、シリコンバレーの有力 VC の間では、12 月 23 日に発表のあった三菱商事による PFN に対する 190 億円の増資を好意的にとらえる一方、MN-Core の事業化にはその 10 倍の資金が必要であるとの意見がもっぱらである。NEDO による開発加速に加えて、公共的な機関からのベンチャー投資をシームレスに提供する必要がある。
- 一つの企業だけでは完結することが難しい昨今においては、海外企業との連携も視野に入れた事業へと拡大することも必要になるかもしれない。国費であるため種々の問題が生じるとは思うが、研究開発がグローバル化する時代においては一つの検討事項だと思われる。
- 成果や開発中のチップをユーザーに触れる機会をさらに増やしていくことが、いち早く様々なアプリケーションの開発が同時に進み、より社会実装を促進する鍵となる。

- 研究開発計画を数名のリーダーの顔が見える形での発表会があると、より理解が深まるし、志、思い、ストーリーが伝わると思う。
- 各研究開発テーマやその中間目標と、アウトカム目標達成との繋がりが曖昧なように思いました。
- 個別の研究開発の価値を改めて捉え直し、適切なアウトカム目標を設定した上で、それを実現するための具体的な事業戦略・施策を拡充いただくことで、プロジェクト全体の目標達成実現性及び納得感が高まるのではないかと考えます。
- AI 関連産業は本事業発足当時の予想をはるかに超えた速度で進展している。この速度に対応した計画の見直しが求められる。具体的には、量子コンピュータの実用化に期待するだけでなく、3～5 年程度で商業展開可能な技術開発が求められる。たとえばデバイスおよびサーバーのアーキテクチャ革新による低消費電力システムの実現、光と電気を融合する実装技術に着目してみてはどうか。

２．評点結果

評価項目・評価結果		各委員の評価							評点
1. 意義・アウトカム（社会実装）達成までの道筋									
	(1)本事業の位置付け・意義	A	A	A	A	A	A	A	3.0
	(2)アウトカム達成までの道筋	A	A	A	B	B	B	A	2.6
	(3)知的財産・標準化戦略	A	B	A	C	A	B	A	2.4
2. 目標及び達成状況									
	(1)アウトカム目標及び達成見込み	A	B	A	B	B	B	A	2.4
	(2)アウトプット目標及び達成状況	B	A	A	B	A	C	B	2.3
3. マネジメント									
	(1)実施体制	A	A	A	B	B	B	A	2.6
	(2)受益者負担の考え方	A	A	A	B	A	B	A	2.7
	(3)研究開発計画	A	A	A	B	A	C	A	2.6

≪判定基準≫
A：評価基準に適合し、非常に優れている。 B：評価基準に適合しているが、より望ましくするための改善点もある。 C：評価基準に一部適合しておらず、改善が必要である。 D：評価基準に適合しておらず、抜本的な改善が必要である。

（注）評点は A=3、B=2、C=1、D=0 として事務局が数値に換算・平均して算出。

第２章　評価対象事業に係る資料

１．事業原簿

次ページより、当該事業の事業原簿を示す。

資料７－１

「高効率・高速処理を可能とするAIチップ・次世代コンピューティング技術の開発」

研究開発項目① 革新的ＡＩエッジコンピューティング技術の開発

事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 AI・ロボット部

更新履歴

更新日	更新内容
2024 年 11 月 28 日	初版発行

目次

概　要（事業全体） **1**

プロジェクト用語集 **1**

1.　意義・アウトカム（社会実装）達成までの道筋 **1-1**

1.1.　事業の位置づけ・意義 1-1

1.1.1.　事業実施の背景 1-1

1.1.2.　政策的位置づけ 1-1

1.1.3.　NEDO が関与する意義 1-2

1.1.4.　本事業の位置づけ 1-3

1.2.　アウトカム達成までの道筋 1-4

1.3.　知的財産・標準化戦略 1-4

2.　目標及び達成状況 **2-1**

2.1.　アウトカム目標及び達成見込み 2-1

2.2.　アウトプット目標及び達成状況 2-1

3.　マネジメント **3-1**

3.1.　実施体制 3-1

3.2.　受益者負担の考え方 3-7

3.3.　研究開発計画 3-8

4.　目標及び達成状況の詳細 **4-1**

4.1.　研究開発テーマ「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」 4-1

4.1.1.　テーマ概要 4-1

4.1.2.　最終目標と根拠 4-1

4.1.3.　目標の達成度 4-13

4.1.4.　成果の普及 4-14

4.2.　研究開発テーマ「動的再構成技術を活用した組み込み AI システムの研究開発」 4-15

4.2.1.　テーマ概要 4-15

4.2.2.　最終目標と根拠 4-15

4.2.3.　目標の達成度 4-16

4.2.4.　成果と意義 4-17

4.2.5.　成果の普及 4-19

4.3.　研究開発テーマ「FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」 4-23

4.3.1.　テーマ概要 4-23

4.3.2.　最終目標と根拠 4-28

4.3.3.　成果と意義 4-31

4.4. 研究開発テーマ「5G 時代を見据えた高度自律的学習機能搭載のための AI エッジコンピューティング技術の研究開発」 4-36
4.4.1. テーマ概要 4-36
4.4.2. 最終目標と根拠 4-37
4.4.3. 目標の達成度 4-37
4.4.4. 成果と意義 4-38
4.4.5. 成果の普及 4-39
4.5. 研究開発テーマ「エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発」 4-41
4.5.1. テーマ概要 4-41
4.5.2. 最終目標と根拠 4-41
4.5.3. 目標の達成度 4-43
4.5.4. 成果と意義 4-43
4.5.5. 成果の普及 4-45
4.6. 研究開発テーマ「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」 4-46
4.6.1. テーマ概要 4-46
4.6.2. 最終目標と根拠 4-47
4.6.3. 目標の達成度 4-48
4.6.4. 成果と意義 4-48
4.6.5. 成果の普及 4-53
4.7. 研究開発テーマ「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」 4-54
4.7.1. テーマ概要 4-54
4.7.2. 最終目標と根拠 4-54
4.7.3. 目標の達成度 4-57
4.7.4. 成果の意義 4-60
4.7.5. 成果の普及 4-60
4.8. 研究開発テーマ「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」 .. 4-61
4.8.1. テーマ概要 4-61
4.8.2. 最終目標と根拠 4-62
4.8.3. 目標の達成度 4-62
4.8.4. 成果と意義 4-62
4.8.5. 成果の普及 4-64
4.9. 研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」 4-65
4.9.1. テーマ概要 4-65
4.9.2. 最終目標と根拠 4-65
4.9.3. 目標の達成度 4-65
4.9.4. 成果と意義 4-66
4.9.5. 成果の普及 4-76

4.10. 研究開発テーマ「セキュアオープンアーキテクチャ向けコンパイラバックエンドおよび対応ランタイム環境の設計・開発」 4-78
4.10.1. テーマ概要 4-78
4.10.2. 最終目標と根拠 4-79
4.10.3. 目標の達成度 4-79
4.10.4. 成果と意義 4-80
4.10.5. 成果と普及 4-81
●特許論文等リスト 1
◎研究開発テーマ「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」 1
◎研究開発テーマ「動的再構成技術を活用した組み込み AI システムの研究開発」 2
◎研究開発テーマ「5G 時代を見据えた高度自律的学習機能搭載のための AI エッジコンピューティング技術の研究開発」 7
◎研究開発テーマ「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」 9
◎研究開発テーマ「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」 13
◎研究開発テーマ「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」 17
◎研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」 24
◎研究開発テーマ「セキュアオープンアーキテクチャ向けコンパイラバックエンドおよび対応ランタイム環境の設計・開発」 27

概　要（事業全体）

プロジェクト名	高効率・高速処理を可能とする AI チップ・次世代コンピューティングの 技術開発 （旧：IoT 推進のための横断技術開発プロジェクト） METI 予算要求名称	プロジェクト番号	P16007
担当推進部/ プロジェクトマネージャーまたは担当者及び METI 担当課	AI・ロボット部　ＰＭｇｒ 遠藤勇徳（2024 年 11 月現在） AI・ロボット部　ＰＭｇｒ 岩佐匡浩（2024 年 11 月現在） IoT 推進部　PM：伊藤隆夫　（2020 年 7 月～2022 年 3 月） IoT 推進部　PM：大杉伸也　（2018 年 7 月～2020 年 4 月） IoT 推進部　PM：千田和也　（2016 年 4 月～2018 年 6 月）		
０．事業の概要	来るべきポストムーア時代の IoT 社会を築くため、大量データの効率的かつ高度な利活用を可能とする、基盤技術開発の開発が必要となる一方、IoT 社会の到来が近付くにつれ、データ量の爆発的な増加とその処理に伴う消費電力の増加という、新たな社会課題にも直面している。これらの社会課題解決と日本の情報産業の再興を目的として、本プロジェクトでは、データ量削減のため、ネットワークの末端で中心的な AI 処理を行う「AI エッジコンピューティング技術」、消費電力を劇的に低減するため、これまでの延長線上にない新原理の技術開発を推進する「次世代コンピューティング技術」の開発を実施している。		
１．意義・アウトカム（社会実装）達成までの道筋			
1.1　本事業の位置付け・意義	情報革命によるインターネットの普及から、すべてのモノがインターネットに繋がる IoT 社会の到来、AI の普及に生成 AI の登場など、世界では情報の蓄積と活用に係るハードウェア技術とソフトウェア技術の重要性が日に日に増している。政府も AI 戦略や半導体・デジタル産業戦略など各種戦略・政策を策定し、必要な支援も講じている。こうした中で、情報社会を支える技術として、先の時代のインフラ構造や想定される技術仕様など、情報処理を支える中核的な基盤技術を定め、早期に研究開発を開始することが、後の我が国の産業競争力の強化に資することは明白である。 本事業では、増加する一方である社会全体が扱う情報量の増加に伴い、端末(デバイス)から得られる大量データ(情報)の利活用により、高度な制御や新たなサービスを実現する「IoT 社会」を支える IoT 情報処理基盤の開発。（研究開発項目③：2016～2020） IoT 社会の到来により、急増するデータを即時的・効率的に処理するため、情報処理はサーバー(クラウド)集約型から、エッジ分散処理型へシフトする、エッジコンピューティングの実現にかかる技術の開発。（研究開発項目①革新的 AI エッジコンピューティング技術の開発：2018～2022fy） ムーア則の終焉が叫ばれ、半導体の性能向上が限界を迎えると予想される未来社会において、エッジやクラウド等において、既存技術の延長にない新原理の技術により、著しく増加するデータの処理に要する電力の劇的な低減に資する技術の開発。（研究開発項目②次世代コンピューティング技術の開発：2018～2027fy） それぞれの時間軸において、IoT 社会の高度化に資する、革新的な技術の実現に貢献する。		
1.2　アウトカム達成までの道筋	現代社会においてはクラウドコンピューティングが主流となっているが、一方でエッジ（端末）側におけるリアルタイム処理はもちろん、AI を用いた高度な情報処理、オフライン状態での処理などエッジコンピューティングの需要が高まっている。本事業では、研究開発項目①において、エッジコンピューティングに必要となる各種基盤技術を 11 のテーマを通じて開発、展示会やセミナーでの成果発表、コンテストの実施、報道発表などを通じて成果の普及段階にあり、今後エッジ領域での情報処理サービスが世の中に普及していく中で、本事業の成果の普及、アウトカムの達成も見込まれている。 一方で、こうしたコンピューティング技術の基礎ともいえるハードウェア、半導体の性能向上は限界が叫ばれている。製造、設計技術の向上や新たなトレンドの登場で年々高性能な半導体が誕生しているが、それでも限界は確実に訪れる。次の時代に向けて、既存の技術の延長になく、また既存の技術以上に高性能かつ省エネルギーな次世代のコンピューティング技術の開発を、本事業では研究開発項目②において実施している。次世代のトレンドとなりえ		

		る技術の“種“の育成を先導研究から探索型研究枠として着手し、そのうえで、量子コンピュータ、光分散コンピュータ、脳型コンピュータというクラウドからエッジまでの中核的な位置づけを成すことが期待される技術の開発を実施している。 高度な情報処理技術の保有は、ある種の国家競争、外交カードにもなりえる時代が到来している。2024 年時点では本項目は残り 3 年の開発期間を残す形となるが、今後は成果の普及を見据え、広報活動以外に、ユーザとして想定される企業と連携した実証実験やアドバイザリー会議の開催、国際標準取得などを行い、日本独自の技術による、産業競争力強化、国内外市場の獲得に資する、新たなサービスの創出を目指すことで、アウトカムを達成する。
1.3　知的財産・標準化戦略		情報産業は大きな変革期にあり、新たなトレンドがたびたび生まれるだけでなく、世界規模での競争が起こっている。成果最大化のためにはただ成果を知財化するだけでなく、世界的な技術動向を把握したうえで、戦略的な取り組みを進めることが重要と言える。本事業では、2022 年度から知財戦略に係る調査を研究開発項目①、②においてそれぞれ実施。具体的には AI エッジ、次世代（量子、光分散、脳型などの各種コンピューティング技術）において知財の出願動向や競合すると考えられる企業の知財保有状況、出願動向を調査するとともに、それらから考えられる各事業者に今後の知財戦略に関して提言を行い、成果のオープン・クローズ戦略含めて NEDO のマネジメントのもとで実施した。 また標準化施策についても、得られた研究開発成果について、必要に応じて標準化を図ることとし、評価手法の提案、データの提供、標準化活動等を事業内において実施した。 なお、本プロジェクトは、「NEDO プロジェクトにおける知財マネジメント基本方針」を適用している。
2．目標及び達成状況		
2.1　アウトカム目標及び達成見込み		想定する社会実装先（自動運転、産業機械、医療・福祉等）での AI 関連ハードウェア世界市場において、研究開発成果の一部が市場に出る 2032 年に約 7,500 億円、さらに成果の普及が加速する 2037 年に約 1.6 兆円の市場獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2037 年において約 2,729 万 t／年の CO_2 削減を目指す。 現在、開発状況、成果の達成状況は概ね順調であり、本アウトカムについては成果の普及とともに達成出来る見通し。
2.2　アウトプット目標及び達成状況		各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。（電力効率で 10 倍～100 倍以上を達成。） 研究開発項目① 事業期間：2018～2022 年度 目標：電力効率 10 倍以上を達成。 達成見込み：すべてのテーマで当初の目標を達成。 研究開発項目② 事業期間：2018～最長 2027 年度 目標：電力効率 100 倍以上を達成。 達成見込み：中間目標としては全てのテーマで達成見通し。
3．マネジメント		
3.1　実施体制	プロジェクトマネージャー	AI・ロボット部　ＰＭｇｒ 遠藤勇徳（2024 年 11 月現在） AI・ロボット部　ＰＭｇｒ 岩佐匡浩（2024 年 11 月現在）
	プロジェクトリーダー	**研究開発項目①　東京科学大学　教授　本村真人** **研究開発項目②　産業技術総合研究所　特別顧問　金山敏彦**
	委託先 ※2021～2024 年度	代表実施者：ルネサスエレクトロニクス㈱、東京大学、東京大学生産技術研究所、KDDI㈱、㈱ソシオネクスト、沖電気工業㈱、日本電気㈱、イーソル㈱、熊本大学、東京理科大学、㈱デバイス＆システム・プラットフォーム開発センター、㈱フィックスターズ、㈱エヌエスアイテクス、産業技術総合研究所、㈱Preferred Networks、㈱日立製作所、奈良先端科学技術大学院大学、日本電気㈱、技術研究組合光電子融合基盤技術研究所、早稲田大学、大阪大学、理化学研究所、中央大

		学、日本 IBM㈱、㈱東芝、技術研究組合 NMEMS 技術研究機構、東京工業大学、横浜国立大学、立命館大学、アラクサラネットワークス㈱、等

受益者負担の考え方：
本事業は委託事業であり、次世代の情報産業を担う基盤技術かつハイリスクハイリターンな技術の開発として国が支援するものであり、100%NEDO 負担で実施する。

3.2 受益者負担の考え方

主な実施事項	2021fy	2022fy	2023fy	2024fy	2025fy
研究開発項目① 革新的 AI エッジコンピューティング技術の研究開発	委託	委託	-	-	-
研究開発項目② 次世代コンピューティング技術の研究開発	委託	委託	委託	委託	委託
その他調査など	委託	委託	委託	委託	-

3.3 研究開発計画

事業費推移
［単位:百万円］

主な実施事項	2021fy	2022fy	2023fy	2024fy	総額
研究開発項目① 革新的 AI エッジコンピューティング技術の研究開発	3,669	2,495	-	-	6,164
研究開発項目② 次世代コンピューティング技術の研究開発	5,729	6,739	4,924	5,598	22,990
その他 技術動向調査など	290	222	20	53	585

事業費	2021fy	2022fy	2023fy	2024fy	総額
会計（特別）	9,980	10,046	4,900	4,800	29,726
追加予算・繰り越しなど	1,648	1,916	725	798	5,087
総 NEDO 負担額	11,628	11,962	5625	5,598	34,813

情勢変化への対応

研究開発項目①革新的 AI エッジコンピューティング技術の開発
昨今の AI を用いたコンピューティング技術に関する情勢は日々変化していると言っても過言ではない。中でも大きな情勢変化としては、半導体開発・生産に伴う世界的な動向の変化があげられる。政府は 2021 年 3 月から半導体・デジタル産業総合戦略に係る検討会を開催、当該戦略を発表するとともに、半導体の製造を始めとしたデジタルインフラの整備等に係る大規模な政策を実行している。これにより、将来的にはエッジコンピューティングを支える高性能な半導体の普及や、日本としての開発力、生産力の強化が期待できる状況となった。
NEDO としても 2021 年度から「高効率・高速処理を可能とするＡＩチップ・次世代コンピューティングの技術開発に係る技術動向調査」及び「ＡＩエッジコンピューティング技術領域に係る知財戦略調査」を実施。国内外の技術動向や今後の開発目標、事業化戦略にかかる情報取集を実施するなどし、政策の動向と合わせてマネジメントに活用することで情勢変化に対応している。

研究開発項目②次世代コンピューティング技術の開発
10 年以上先の社会における、既存の技術の延長にないコンピューティング技術の開発を推進する本項目では、どのような技術に可能性、勝ち筋が生じるかの見極めが重要と考えられ

		る。そこで当該項目においても開発項目①と同様に技術動向調査、知財動向調査を実施している。また、学術的には有効性が証明されているが、産業応用に向けてはまだ情報収集や検証が必要となる技術に関するフォローとして探索型研究枠（2018～2022 年度）を実施。 調査と探索研究の成果から今後必要性が高いと考えられる技術として ・量子コンピューティング技術 ・光分散コンピューティング技術 ・脳型コンピューティング技術 の 3 領域を定め、2023 年度から集中的な開発を実施している。 また、2023 年度以降も、それぞれの領域においても継続して調査を実施し、刻々と変化する技術情勢の中で本事業の成果が勝ち筋を見いだせるよう、リソースの選択と集中、あるいは開発項目の新規追加などを実施している。
	中間評価結果への対応	2020 年度に実施された第 1 回中間評価では、 事業の位置づけ・必要性：評価Ａ（非常に重要） 研究開発マネジメント：評価Ｂ（良い） 研究開発成果：評価Ｂ（良い） 成果実用化に向けた取り組み：評価Ｃ（概ね妥当） とする評価を受けた。 評価コメントとしては、事業の位置づけやＮＥＤＯのマネジメント、開発成果については評価を得たものの、全体を通してＮＥＤＯとして世界的な技術潮流に関する情報収集や、市場獲得に向けた方策を検討、拡充する必要があることが求められた。また、次世代のコンピューティング技術の開発に関しては、人材育成やユーザーとなりうる事業主体とのコミュニケーションの場を形成する必用についても求められた。 評価結果への対応： 世界的な技術潮流に関する情報収集としては、2021 年度から技術動向調査、及び知財戦略調査を研究開発項目①、②ともに実施。得られた情報を事業者にフィードバックするとともに、NEDO としてもマネジメントを実施した。加えて、研究開発項目①については、産業応用を推進する方策として、調査結果と中間評価の結果に基づき「省エネ AI 半導体及びシステムに関する技術開発」を新政策として立ち上げ、2022 年度からの助成事業で研究成果の実用化・事業化を推進している。 また、研究開発項目②については、人材育成としては開発した量子コンピュータ共通ソフトウェアをクラウド環境で無償公開するだけでなく、コンテストを開催するなどして先端技術に触れることでの人材の育成に貢献した。さらに、脳型コンピューティングでは開発した脳型チップ、アルゴリズムを活用することが想定される、まさにユーザーとなりうる事業者を集めたアドバイザリーボードを形成し、開発者から成果の共有、意見交換を行うことで事業化にかかる橋渡しを実施している。なお、光分散コンピューティングにおいては 2025 年度から 100 ㎞圏内のデータセンタによる分散情報処理の実証実験を実施し、成果を公開することで早期の事業化に繋げる。
	評価に関する事項	事前評価：**2015 年度実施　担当部　電子・材料・ナノテクノロジー部** **2017 年度実施　担当部　IoT 推進部** 中間評価：2020 年度　中間評価実施 終了時評価：2028 年度　終了時評価実施予定

別添

投稿論文	515 件
特　　許	349 件　※全事業期間
その他の外部発表（プレス発表等）	以下、NEDO としてニュースリリースを実施。 ・動的再構成技術を活用した組み込み AI システムの研究開発（ルネサスエレクトロニクス(株)） ニュースリリース実施日：2022/12/8 ・動的多分岐・結合トレース型 AI プロセッサのエコシステム開発（(株)エヌエスアイテクス） ニュースリリース実施日：2023/6/8 ・５Ｇ時代を見据えた高度自律的学習機能搭載のためのＡＩエッジコンピューティング技術の研究開（KDDI(株)） ニュースリリース実施日：2023/3/22

	・セキュアオープンアーキテクチャ向けコンパイラバックエンドおよび対応ランタイム環境の設計・開発（イーソル(株)） ニュースリリース実施日：2023/4/27 ・実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発（ノーチラステクノロジーズ(株)） ニュースリリース実施日：2023/7/11 他、CEATEC 展等各種展示会に毎年度出展し、各事業者の成果を発表。CEATEC2024 では量子コンピューティング及び脳型コンピューティングの成果展示を実施。	
基本計画に関する事項	作成時期	2016 年 3 月　作成
	変更履歴	（１）2016 年 3 月、制定。 （２）2018 年 3 月、事業名称の変更、研究開発項目①及び②の追加による大幅改訂。 なお、従来からの「IoT 推進のための横断技術開発プロジェクト」は研究開発項目③として実施する。 （３）2019 年 3 月、研究開発項目③の助成事業の追加等による改訂。 （４）2020 年 1 月、研究開発項目②の分割、ステージゲートに関する整理の記載。並びに西暦、和暦の修正等による改訂。 （５）2020 年 12 月、研究開発項目②の分割、指名した PL・最新政策等情報の反映。ステージゲート審査に関する整理の追記。研究開発項目③の事業期間延期等による改訂。 （６）2021 年 12 月、研究開発項目④の追加による改訂。ステージゲート審査に関する整理の追記。 （７）2022 年 5 月、プロジェクトマネージャーの体制変更に伴う改訂。 （８）2023 年 2 月、研究開発項目④の移管、研究開発項目①の事業期間延期等による改訂。 （９）2024 年 7 月、NEDO 組織再編に伴う担当部署名変更に伴う改訂。

プロジェクト用語集

用語	説明
AI エッジコンピューティング	AI を用いたエッジコンピューティング。エッジ領域において、AI 処理を行う。
AI エッジ統合制御システム	本事業において研究開発する、AI モジュールを組み込むシステム(通信・センサー・CPU 等)の呼称。
ARM	組込み向けプロセッサの種類。
ASIC	Application Specific Integrated Circuit：特定用途向け集積回路。
AS-SIMT アーキテクチャ	Application Specific SIMT のアーキテクチャ。GPGPU に代表される、同一命令を、多スレッドで同時実行する計算機アーキテクチャを、あるアルゴリズムに対して専用化する設計方法。並列計算による高速化が可能なアルゴリズムは多く存在するが、設計を共通化できることにメリットがある。
Autoware	ROS（Robot Operating System）をベースとした自動運転プラットフォームの名称。
C/C++	高級汎用プログラミング言語のひとつ。
CNN アクセラレータ	畳み込み演算を駆使する DNN（CNN：Convolutional Neural Network）の高性能化をねらったアクセラレータ。畳み込みは GPGPU との親和性が高いが、専用化によってさらに低レイテンシ、低消費電力を実現できる可能性がある。
DDS	Data Distribution Service：リアルタイム pub/sub programming を実現する API を、プログラマへ提供。
DNN	Deep Neural Network：ニューラルネットワークのうち、隠れ層を 2 層以上積み重ねたネットワークのこと。DNN を利用した機械学習を総称して、Deep Learning と呼称することが多い。
DSP	Digital Signal Processor：積和演算の高速な処理に特化したマイクロプロセッサ。
ECU	各種電子制御をするユニット。
FPGA	Field Programable Gate Array：アプリケーションを論理回路上にマッピング・プログラミングでき、信号が論理回路上を伝達することにより演算処理が実行可能な集積回路。プログラマブルで電力効率が高いなどがメリット。
GENESIS DevEnv	本事業で研究開発した技術を実用化した、エッジビジョン AI システムのプロトタイプ開発サービスの名称。
Github	GitHub 社によって管理されているソフトウェア開発のプラットフォーム。ここにソースコードをホスティングすることで、複数人のソフトウェア開発者と協働してコードをレビューしたり、プロジェクトを管理しつつ開発を行ったりすることができる。
GPU	Graphics Processing Unit：数値計算(乗算・加算)を非常い高い並列度で処理する集積回路。グラフィック処理が主だが、近年、AI 学習に用いられている。特徴の一つとして、電力消費は大きい。
IntelHLS	Intel 社が提供している、Intel 製 FPGA 向けの高位合成ツールの名称。
IP	Intellectual Property：知的財産。特に、SoC 関連の場合は、LSI や IC などの回路コンポーネントを纏めた設計情報を表す。

用語	説明
libc++	標準 C++ライブラリ。
LiDAR	Light Detection and Randing：レーザー光を発射することによって距離情報を測定するセンシング技術や、それを用いたセンサーの総称。
LSI	大規模集積回路。
Mcube	東京大学により独自開発された、マイクロカーネル OS。Mcube OS ともいう。
Mcube kernel	Mcube OS の中核となるプログラム。
MEC	Mobile Edge Computing：計算リソースやストレージを移動体通信網のエッジに相当する基地局などに配備することで、サービスやアプリケーションにおいて応答の低遅延化などを実現する技術。
MPPA256	256 コアのメニーコアプロセッサの名称であり、本事業では試作で利用。
NoC	Network on chip：メニーコアもしくはクラスタ間の通信の名前。
ODD	Operational Design Domain：運行設計領域。安全な自動運転が可能な条件。天候や走行、歩行者の存在を認めるか否かなどで、様々な種類の ODD が存在する。Level-N とは直交概念。
ONNX	Open Neural Network Exchange：DNN モデルを表現するための中間表現フォーマットのひとつ。
OpenCL	Open Computing Language：マルチコア CPU や GPU、Cell プロセッサ、DSP などによる異種混在の計算資源（ヘテロジニアス環境など）を利用した並列コンピューティングのためのクロスプラットフォームな API。
OpenCV	OSS で公開されている、コンピュータビジョン処理のためのライブラリのひとつ。
OS	オペレーティングシステム。
OSS	Open Source Software：ソースコードが一般に公開され、かつソースコードの利用・修正・再配布などが可能なソフトウェアの総称。
PredictiveCoding	脳が環境のモデルを用いて感覚入力を予測し、予測と実際の感覚入力との誤差を最小化するように情報処理を行なっているとする、脳の情報処理様式に関する仮説。
Publisher/Subscriber プログラム	メッセージを使用する、プログラミングモデル。送信者、購読者を特に指定しない特徴がある。ROS が提供されているプログラミングモデル。
RCLC	C 言語のアプリ実装に共通機能を提供する ROS2 の API。
RCLCPP	C++のアプリ実装に共通機能を提供する ROS2 の API。
RISC-V	UC Berkeley を中心に開発されたオープンな RISC プロセッサ仕様（命令セットアーキテクチャ）。Rocket コアを中心とするフリーの実装も存在。
RMW	ROS Middleware：DDS の通信機能をアプリに抽象化する API。
ROS	Robot Operating System：ロボット用のソフトウェアプラットフォーム。
ROS 2	機能安全対応など製品化の対応を目指した次世代 ROS。
ROSBAG	ROS の通信で交わされるメッセージを記録するツール。
RTL	Register Transfer Level：レジスタからレジスタへの転送の振る舞いを記述するような、ハードウェアを記述する際に利用される抽象度のひとつ。

用語	説明
RTOS	Real Time Operating System 資源管理において、時間資源の優先度に基づく配分と実行時間の予測可能性を提供することに特化しているような OS。
SIMD 演算器	Single Instruction, Multiple Data 演算器： 1 命令で複数のデータを処理可能な、プロセッサ内の高速演算器の総称。
SLAM	Simultaneous Localization and Mapping：環境地図作成と自己位置推定を同時に行うアルゴリズムの名称。自動運転やロボットなどといった、マシンビジョンのアプリケーションに多く利用されている。
SoC	System-on-Chip：CPU および特定のアプリケーションが実行できる専用回路(FPGA を含む)、メモリ、インターフェース回路を備えた集積回路。システムチップともいう。
Society 5.0	日本が目指すべき未来社会の姿として提唱される、サイバー空間（仮想空間）とフィジカル空間（現実空間）を高度に融合させたシステムにより、経済発展と社会的課題の解決を両立する、人間中心の社会（Society）。
Soft-NMS 方式	ディープラーニングを利用した物体検出では、一つの物体に対して複数の検出結果が得られる。NMS とは、それらの複数の検出結果に対して、信頼度をもとに検出結果の出力を抑制し、一つの物体に対し一つの検出結果が得られるようにする処理。 NMS の中でも、単純な閾値処理ではなく連続的な関数を利用することにより精度向上を実現する方式。
SRAM	Static Random Access Memory：6 個以上のトランジスタから構成された揮発性メモリ。情報の保持には電圧印加が必要。
SSS-Net	本事業により研究開発された、軽量化 DNN モデルの名称。
Subnetwork 方式	ディープラーニングのモデルのひとつであり、より詳細な特徴を抽出するためのモデルを組み込む方式。詳細な特徴を抽出することで、Subnetwork を組み込んだ部分に対して、精度向上が可能。
TensorFlow、PyTorch	DNN モデルを実装、学習、実行するための開発フレームワークの 1 つ。
ToF	Time of Flight：赤外線を照射し、被写体からの反射光が戻ってくるまでの時間を測定することによって、被写体までの距離情報を測定する技術の総称。
UGV	Unmanned Ground Vehicle：運転手が乗車することなく、無人状態で地上を走行できる車両。
Unix Domain Socket	単一マシン上の高効率なプロセス間通信に用いられる、機能・インターフェースの一種。
Upsampling 方式	ディープラーニングで畳み込み演算を繰り返すと、通常、特徴マップの大きさが小さくなる(Downsampling)が、畳み込み演算とは異なる演算を行うことにより、小さくなった特徴マップを大きくする処理。 Upsampling を行うことにより、小さな物体を検出するための大きな特徴マップにおいて詳細な特徴が得られ、精度向上が可能。
Verilog HDL	ハードウェア記述言語のひとつ。
Veriloggen	東京大学が中心となって開発し、OSS で公開されている、マルチパラダイム型ハードウェア開発フレームワークの名称。

用語	説明
VivadoHLS	Xilinx 社が提供している、Xilinx 製 FPGA 向けの高位合成ツールの名称。
WorldModel	エージェントが自分の経験を元に学習した外界の環境のダイナミクスのモデルであり、現在の環境の状態とエージェント自身のアクションを元に、アクションの結果として環境がどのように変化するかを予測する。予測を元にアクションを選択することでエージェントが効率的にタスクを遂行できるようになる。 また、一般に WorldModel は、環境の情報を低次元のコンパクトな表現に変換した上で時間変化をモデル化しており、コンパクトな表現にすることで計算量・計算時間を削減している。
アクセラレータ	コンピュータの処理能力を加速するもの。
アテンション	主に画像認識や自然言語認識などで、認識に重要な情報に着目するための手法として開発されてきたニューラルネットワーク技術。
枝刈り	DNN における、学習パラメータの一部を除去する技法。
エッジコンピューティング	ネットワークの末端（エッジ領域）におけるデバイス(センサーやコントローラなどが搭載される端末)上で行う計算の総称。
エッジビジョン AI	エッジデバイス上で実行される、イメージセンサーなどに代表される可視光データを入力とした変換や認識、機械学習処理の総称。
演算量削減技術	深層ニューラルネットワークにより構成されるモデルを、よりコンパクトなものに置き換えることで、モデルの学習・推論の演算量を削減する技術。
学習	機械学習において、訓練データなどを用いて、機械学習モデル内のパラメータを決定するフェーズ。
環境シミュレータ	現実の物理環境を模擬したコンピュータ内の仮想環境で、深層学習・深層強化学習・人工意識の学習や評価のために用いるシミュレータ。 現実の物理環境では、データ取得やエージェントの行動に大きな時間・労力・費用などのコストが発生し、また予期しない要因による周囲の環境への悪影響のリスクも無視できない。環境シミュレータを用いることにより、これらのコストやリスクを大幅に削減することができる。 特に、エージェントの環境とのインタラクションにかかる時間を削減して、学習を高速化できることが大きな利点。
機械学習	主に、人間が計算機に対し明示的にルールを与えるのではなく、計算機に多くの例をデータとして与えて、そのデータの中に潜む有用な規則、ルール、知識表現、判断基準などを自動的に抽出する手法などの総称。
キャッシュメモリ	プロセッサ上に搭載されている高速小容量なメモリ。直近に使用されたデータや頻繁に使用されるデータをキャッシュメモリ上に自動的に格納することによって、メモリアクセスの遅延を隠蔽することが可能。
クラスタ	複数のコアをまとめた単位。
原子スイッチ	金属イオンが伝導可能な固体電解質を、銅およびルテニウム電極で挟んだ２端子構造を備えたスイッチ。印加電圧の極性によりその抵抗が変化し、信号のルーティングを行うクロスバスイッチや情報を不揮発に保持するメモリに利用。

用語	説明
高位合成	C/C++などのような高級プログラミング言語を入力として、ハードウェア記述言語に変換し出力する技術。
コンパイラ	高級言語で記述されたソースコードから、より低級なコードに変換するためのソフトウェア。変換と同時に、プログラムの等価性を保ったまま高速なプログラムに変換する場合も多く存在する。
自律	「作業の目的」を元に状況に応じて、適切に判断・行動してタスクを遂行する行動スタイル。一方、「作業の手順」を元に適切な行動を行う行動スタイルは「自動」と呼ぶことができる。「自律」は「自動」をより高度化させた概念。
人工意識	既存の知識を内部モデルとして持つことで、新しい問題を少ない入力情報で解く機能が、意識の重要な機能のひとつと考えられる。この機能をロボット・ドローン・仮想環境内のエージェントなどの人工的なシステムに搭載したもの。
深層強化学習	強化学習とは、逐次的な意思決定ルールを学習する機械学習の一分野であり、毎時刻ごとにエージェントは環境の状態を元に適切なアクションを選択し、得られる報酬の合計を最大にすることを目的としている。そのためには、環境の状態やアクションを評価することが必要となり、この評価に深層ニューラルネットワークを用いるもの。
推論	機械学習において、学習済みの機械学習モデルを利用して、未知のデータを入力して出力を得るフェーズ。
スーパースカラ	プロセッサにおいて、複数の命令を、複数の実行ユニット上で並列に動作させるアーキテクチャの総称。
スクラッチパッドメモリ	プロセッサ上に搭載されている高速小容量なメモリ。キャッシュメモリと比較して、スクラッチパッドではデータの格納やメインメモリとの転送を、プログラム上で明示的に記述する必要がある場合に呼称されることが多い。
畳み込み層	CNN の構成要素。一つの畳み込み層には複数のチャネルが含まれる。入力データ上に分布する空間的な特徴を保持した演算が可能。特に画像認識のタスクを行う DNN で頻用される。
チャネル	フィルターとの畳み込み演算の結果を保持するニューロンの集まり。
電力対性能	一般的に、消費電力を上げれば、よりニューラルネットワークを速くさせることができる。性能評価のためには、同じ電力でどれだけ速くニューラルネットワークを動作させることができるかを考える必要があるため、評価指標として用いることが可能。
ドメイン固有言語	Domain Specific Language, DSL：特定の用途向けに特化して設計されたプログラミング言語の総称。
ニューラルネットワーク	生物の脳の認知機能と構造に基礎を置いている機械学習モデル。神経細胞を数理的にモデル化した人工ニューロン素子のネットワークによって構成。
パイプラインスケジューリング	プロセッサ内の演算器パイプラインにおいて、プログラム中のどの演算を、どの演算器上で、どのような順番で実行するかを決定すること。

用語	説明
複数深層学習	複数のタスクを共通の入力データを用いて深層ニューラルネットワークで学習させること。 例えば、物体検知と意味的領域分割は異なるタスクであるが、共通の入力画像データで学習させることが可能だが、もし入力データだけでなく深層ニューラルネットワークの途中の層の出力についても複数のタスクで共通に用いることができれば、ニューラルネットワークの一部を複数のタスクで共通のものにすることが可能になり、演算量を削減できる。
ペイロード	通信における通信したい内容本体。
ヘテロジニアスコンピューティング	非同一の複数プロセッサでコンピュータを構築すること。CPU と GPU の組み合わせもこの発想のひとつ。
ミドルウェア	アプリケーションプログラムを特定のハードウェアで動作させる際に、その仲立ちとなって動作するソフトウェアならびにその集合。
モデルベース並列化	MBP：システムモデルや MATLAB/Simulink モデルのようなモデルのレベルにおいて、モデル内のブロック単位でプロセッサコアに割り当て、並列化するツール。C 言語プログラムなどのコードレベルと比較し、システム全体の視点から並列化できるので、特にヘテロジニアスアーキテクチャに向いている。
有限状態機械	Finite State Machine, FSM：有限個の状態と、各状態における動作の組み合わせによって構築される、数学的な計算モデル。
量子化	DNN におけるアクティベーションや学習パラメータのビット精度を低減し、等価あるいは近似的な演算に変換する技法。
ループ変形	プログラム中におけるループの形や実行順序を変形するような、プログラム変換手法のひとつ。

1.　意義・アウトカム（社会実装）達成までの道筋

1.1.　事業の位置づけ・意義

1.1.1. 事業実施の背景

ＩｏＴ端末（デバイス）により、コンピュータが処理可能なデジタルデータに変換されることにより、大量のデータを活用することができ、新たなサービスモデルの創出や、産業や社会システムの構造を大きく変える可能性がある。
特に、少子高齢化・労働力不足、地球環境・エネルギー問題、社会インフラの維持・メンテナンス、地域経済の維持等の課題解決に向け、IoT、ＡＩの利活用に期待が大きい。
他方で、IoT 技術が社会のあらゆる分野に実装されることで、インターネットに繋がる機器は大幅に増大し、これまでデジタル化されていなかったデータがネットワークに加速度的に流入することで、情報の収集・蓄積、流通、解析、制御等のあらゆるプロセスにおいて機器が消費する電力が大幅に増大することが見込まれている。
民間の試算では、全世界で IoT 機器の台数が 2025 年には 416 億台（2020 年との比較で約 1.5 倍）に達し、流通するデータ量も年間 79.4 兆 G バイト（2020 年との比較で約 4 倍）になると予測され、これに伴い機器の消費電力は増大される。また、その市場規模は産業用 IoT の世界市場においてだけでも 2025 年段階で 1106 億ドル（2020 年との比較で約 1.5 倍）に達するとの民間予測があり、経済効果においては IoT 技術の適用先と効果が非常に多岐の分野にわたるため、全体で 2025 年に 3.9～11.1 兆ドルに及ぶと試算されている。
このようななか、ムーア則の終焉が叫ばれ、半導体微細化による情報処理性能の向上は限界を迎えつつある。エッジやクラウド等において、既存技術の延長にない新原理の技術により、著しく増加するデータ処理に要する電力の劇的な低減が必要とされる。
また、民間の試算では、ＩoT 機器の台数が 2025 年には 416 億台（2020 年との比較で約 1.5 倍）に達し、流通するデータ量も年間 79.4 兆 G バイト（2020 年との比較で約 4 倍）になり、2025 年には世界で生成されるデータの約 30%がリアルタイムデータになるという予測があり、ＡＩエッジでの自律制御、機会学習を可能とする、新たなコンピューティング技術の実現も期待されている。

1.1.2. 政策的位置づけ

政府においては、「日本再興戦略」改定 2015（2015 年 6 月 30 日閣議決定）において、IoT・ビッグデータ・人工知能時代の到来により、ビジネスや社会の在り方そのものを根底から揺るがす「第四次産業革命」とも呼ぶべき大変革が進みつつあり、未来の幅広い分野における産業創造や社会変革に対応するため、新たな時代を支える共通基盤技術（IoT、ビッグデータ解析、人工知能、センサー等）に関して研究開発等を実施することが期待されるとしている。また、「日本再興戦略」改定 2015 を受けて、2015 年 10 月に IoT 推進コンソーシアムが設置され、官民共同で IoT を活用した未来への投資を促すべく、新たなビジネスモデルの創出、IoT 推進のための技術開発・実証に係る、規制改革等の提言等の取組が推進されている。

さらに、2015 年 6 月に閣議決定された「科学技術イノベーション総合戦略 2015」においても、「現在発展しつつある個別のシステムが更に高度化し分野や地域を超えて結び付き、あらゆるものがネットワーク化されることにより、必要なもの・こと（サービス）を、必要な人に、必要な時に、必要なだけ提供でき、社会の様々なニーズに対し、きめ細やかに、かつ、効率良く対応できる「超スマート社会」ともいうべき社会が向かう方向性と考えられる」とした上で、「超スマート社会（Society5.0）」の実現に向け、国際競争力強化や生産性の向上を図り、持続的な社会基盤づくりにつなげていくことの重要性が指摘されている。
総合科学技術・イノベーション会議が策定に向けて検討を行ってきた 2016～20 年度の第 5 期科学技術基本計画について 2016 年 1 月に閣議決定されたが、ここでも超スマート社会サービスプラットフォームの構築に必要な技術のうち、特に国として速やかな強化を図る技術として、デバイス技術、エッジコンピューティング、ビッグデータ解析技術、ＡＩ技術、 ネットワーク技術、サイバーセキュリティ技術、IoT システム構築技術等の IoT 関連の基盤技術が挙げられている。
本研究開発項目の開始後においても、内閣府が 2019 年 6 月に掲げた我が国の産業力強化に向けた統合的な政策パッケージである「AI 戦略 2019」では、2022 年までに、情報処理に係る消費電力性能を従来比 10 倍以上に向上させる革新的 AI チップ技術の研究開方針が示され、2020 年 5 月に経済産業省により掲げられた「産業技術ビジョン 2020」では、ポストムーア時代の次世代コンピューティング技術(エッジ)、Intelligence of Things を支えるキーテクノロジー群等の先端技術の研究開発に必要な措置が講ずることとされている。
さらに、内閣府が 2020 年 7 月に閣議決定した「統合イノベーション戦略 2020」では、コロナ渦、国内外の変化を踏まえた我が国の課題としてデジタル化等を挙げ、AI 等の基盤技術において、世界最先端の研究を推進することとされている。

1.1.3. NEDO が関与する意義

データトラフィックの爆発的な増加を支えてきたムーア則が終焉を迎えつつあるなか、従来の微細化の進展に依拠した CPU 中心のコンピューティングアーキテクチャでは、リアルタイムデータ処理、自律制御への対応が困難となってきており、集中処理と、エッジ処理との制御を伴う新たなコンピュータアーキテクチャの実装が必要とされる。
5G から 6G へ向かうモバイル技術の進展に伴い、クラウドに加えてエッジコンピューティングの重要性が増している。
コンピューティングとネットワークが融合したシステム全体で最適化する方向性が強まっており、従来のコンピューティングやデータ形式等の大規模な変革と産業のゲームチェンジを想定し、このゲームチェンジを日本として契機とするべきである。
このようなゲームチェンジに対して、ハイパースケール企業が不在の日本において、民間単独で対応することは困難なため、産官学の事業者が互いのノウハウなどを持ち寄り、協調して研究開発を行うことが必要であり、さらに実証推進においても国の関与が必要と考えられることから NEDO が実施すべきものである。

1.1.4. 本事業の位置づけ

本研究開発項目では、情報提供依頼（RFI）の結果や政策的観点から、以下、（A）から（F）の重点課題を設定し、公募を実施した。実施期間中においては、最終目標である、開発成果を組み込んだシステムレベルでのエネルギー消費効率あるいは電力効率 10 倍達成に向けて、適宜外部委員等による助言等を行った。

IoT のさらなる高度化を実現するために、従来に比べて格段に省エネルギーで高度なデータ利活用を可能とする次世代技術を産学官の連携体制で開発する。

(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術
フラッシュメモリとは異なる原理で ON/OFF 状態を保持する新構造の不揮発性素子を用いたスイッチング機構を、メモリ、通信回路、デジタル信号処理回路等に導入することで、低消費電力の AI 処理を可能とするコンピューティング技術を開発。

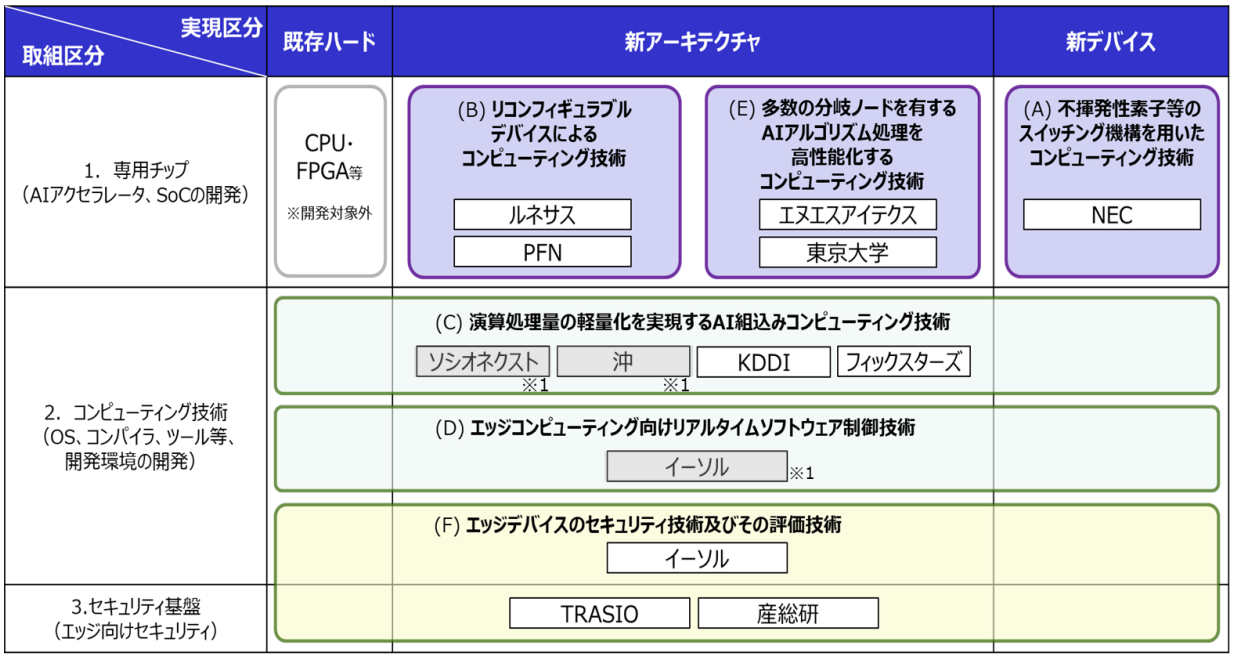
(B) リコンフィギャラブルデバイスによるコンピューティング技術
与えられたタスクや設置環境に合わせて、チップ内の回路構成を動的に変更することにより、常に高速かつ低消費電力での動作を実現する技術等を開発。

(C) 演算処理量の軽量化を実現する AI 組込みコンピューティング技術
チップがデータ処理する際に、データを軽量化してから処理するよう、チップに入力される計算プログラムを自動的に変更することにより、チップでの情報処理量を可能な限り軽減する技術等を開発。

(D) エッジコンピューティング向けリアルタイムソフトウェア制御技術
多数のプロセッサを高い実行効率で制御できるのみならず、エッジコンピューティングで要求されるリアルタイム性を満足し、かつ省エネ性能に優れた OS 技術等を開発。

(E) 多数の分岐ノードを有する AI アルゴリズム処理を高性能化するコンピューティング技術
与えられたタスクを小さな処理単位に分解・整列し、プロセッサの利用状況と処理単位の実行優先度を動的に判断して実行制御できる並列プロセッサ技術等を開発。

(F) エッジデバイスのセキュリティ技術及びその評価技術
オープンアーキテクチャの CPU 命令セットである RISC-V を用いて、産業用途で多用されているデータ格納方式に対応したプロセッサや、当該プロセッサ上でアプリケーションをセキュアに動作させる実行環境、当該プロセッサ上で AI 処理・並列処理などで多用されるライブラリを活用可能にする技術等の開発。
エッジデバイスへの攻撃に対するセキュリティ技術等を開発するとともに、既存の技術も含めて、その性能を横断的に評価するための評価技術等を開発。
また、RISC-V コアやそれをベースとしたセキュリティ基盤技術等に関するソフトウェアスタック群の開発。



※1：2020年度終了
※2：2021年度終了

「革新的ＡＩエッジコンピューティング技術の開発」の事業体制（2023 年 3 月時点）

1.2. アウトカム達成までの道筋

現代社会においてはクラウドコンピューティングが主流となっているが、一方でエッジ（端末）側におけるリアルタイム処理はもちろん、AI を用いた高度な情報処理、オフライン状態での処理などエッジコンピューティングの需要が高まっている。本事業では、研究開発項目①において、エッジコンピューティングに必要となる各種基盤技術を 13 のテーマを通じて開発、展示会やセミナーでの成果発表、コンテストの実施、報道発表などを通じて成果の普及段階にあり、今後エッジ領域での情報処理サービスが世の中に普及していく中で、本事業の成果の普及、アウトカムの達成も見込まれている。

1.3. 知的財産・標準化戦略

情報産業は大きな変革期にあり、新たなトレンドがたびたび生まれるだけでなく、世界規模での競争が起こっている。成果最大化のためにはただ成果を知財化するだけでなく、世界的な技術動向を把握したうえで、戦略的な取り組みを進めることが重要と言える。本事業では、2022 年度から知財戦略に係る調査を研究開発項目①、②においてそれぞれ実施。具体的には AI エッジ、次世代（量子、光分散、脳型）において知財の出願動向や競合すると考えられる企業の知財保有状況、出願動向を調査するとともに、それらから考えられる各事業者に今後の知財戦略に関して提言を行い、成果のオープン・クローズ戦略含めて NEDO のマネジメントのもとで実施した。

また標準化施策についても、得られた研究開発成果について、必要に応じて標準化を図ることとし、評価手法の提案、データの提供、標準化活動等を事業内において実施した。

なお、本プロジェクトは、「NEDO プロジェクトにおける知財マネジメント基本方針」を適用している。

2.　目標及び達成状況

2.1.　アウトカム目標及び達成見込み

各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。

想定する社会実装先（自動運転、産業機械、医療・福祉等）での AI 関連ハードウェア世界市場において、研究開発成果の一部が市場に出る 2032 年に約 7,500 億円、さらに成果の普及が加速する 2037 年に約 1.6 兆円の市場獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2037 年において約 2,729 万 t／年の CO2 削減を目指す。

現在、開発状況、成果の達成状況は概ね順調であり、本アウトカムについては成果の普及とともに達成出来る見通し。

2.2.　アウトプット目標及び達成状況

以下の通り、エッジコンピューティングにおける AI 処理を実現するための小型かつ省エネルギーながら高度な処理能力をもった専用チップと、それを用いたコンピューティング技術に関する研究開発を、社会課題を見据えた上で実施する。またエッジ側におけるセキュリティ基盤技術の研究開発も実施する。

<u>達成目標</u>

各研究開発テーマにおいては、以下を達成することを目標とする。なお、研究開発期間によっては、必要に応じて中間、最終目標を、以下に示す目標を基準としつつ変更して設定する。

＜中間目標（2020 年度）＞

開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10 倍以上となる見込みを示す。

＜最終目標（2022 年度）＞

開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10 倍以上となることを示す。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。研究開発対象が社会実装するために必要不可欠なセキュリティ技術等の場合については、対象技術自体のエネルギー効率等を加味して評価する。

達成状況

以下に各テーマの目標達成状況を示す。

開発課題		研究開発テーマ 代表事業者	達成度 （中間評価）	達成度 （終了評価）
(A)	不揮発性素子等のスイッチング機構を用いたコンピューティング技術	NEC	○	○
(B)	リコンフィギャラブルデバイスによるコンピューティング技術	ルネサス	○	○
		PFN	△ 一部実施項目で遅延が発生	○ 一部実施項目で遅延が発生したが目標を達成
(C)	演算処理量の軽量化を実現する AI 組込みコンピューティング技術	ソシオネクスト	◎ 一部実施項目を前倒しで完了	◎ 一部実施項目を前倒しで完了
		沖	○	○
		KDDI	○	○
		フィックスターズ	○	○
(D)	エッジコンピューティング向けリアルタイムソフトウェア制御技術	イーソル	○	○
(E)	多数の分岐ノードを有する AI アルゴリズム処理を高性能化するコンピューティング技術	エヌエスアイテクス	○	○
		東京大学	○	○
(F)	エッジデバイスのセキュリティ技術及びその評価技術	TRASIO	○	○
		産総研	○	○
		イーソル	○	○

3. マネジメント

3.1. 実施体制

本研究開発項目では、技術的成果及び政策的効果の最大化、産業社会への還元等を目指し、プロジェクト全体の企画・推進・管理を行うためにプロジェクトマネージャー（以下 PM という）およびサブ・プロジェクトマネージャー（以下 SPM という）を設置した。加えて、効率的な研究開発の推進を図る観点から各実施者の研究開発能力を最大限に引き出し、性格の異なる各研究機関のベクトルを束ねるため、当事業には NEDO が指名する研究開発責任者（プロジェクトリーダー、以下 PL という）を設置し、各実施者はプロジェクトリーダーの下で研究開発を実施する体制をとっている。

PL は、プロジェクトをより効率的かつ効果的に遂行するために、プロジェクトの技術目標等の達成に向けた取り組み、研究開発の進捗状況の把握、プロジェクトの実施体制の構築・改変及び事業者間等の予算配分に係る助言、プロジェクトの成果の評価等に係る業務の全部又は一部について、PM/SPM と緊密な連携を図っている。

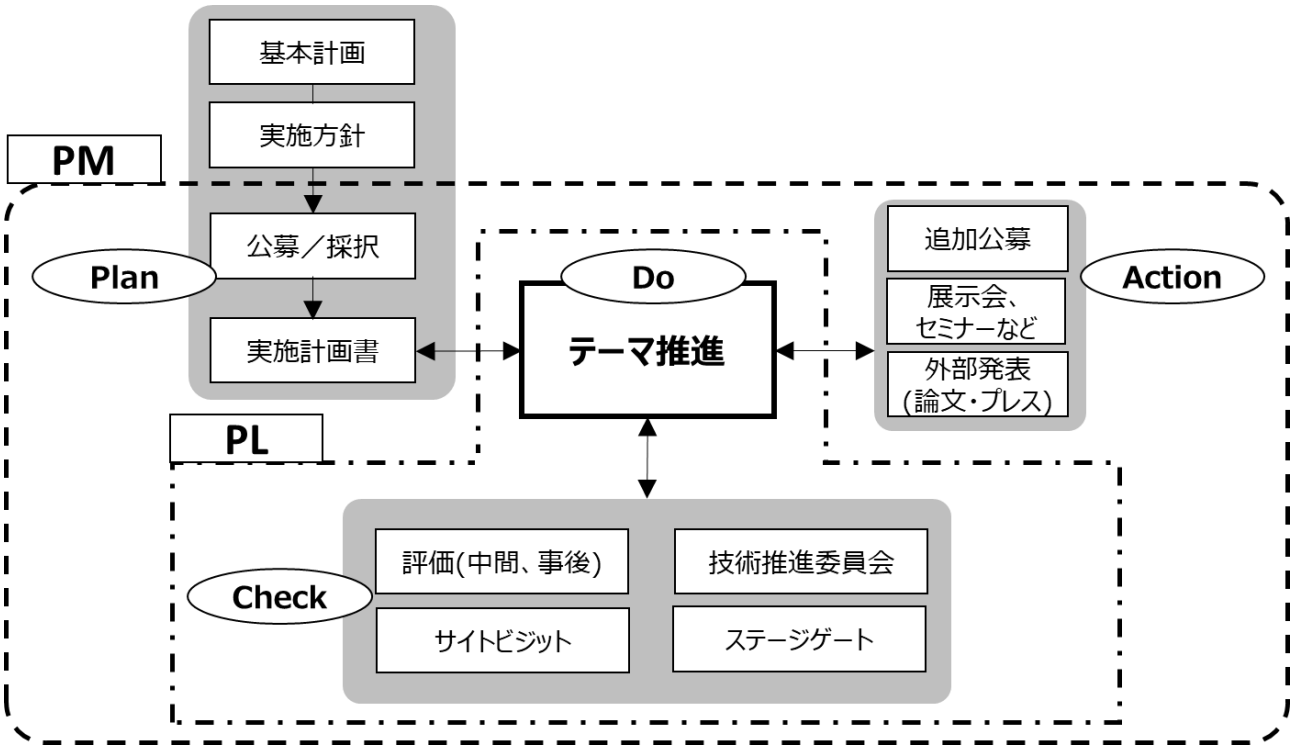
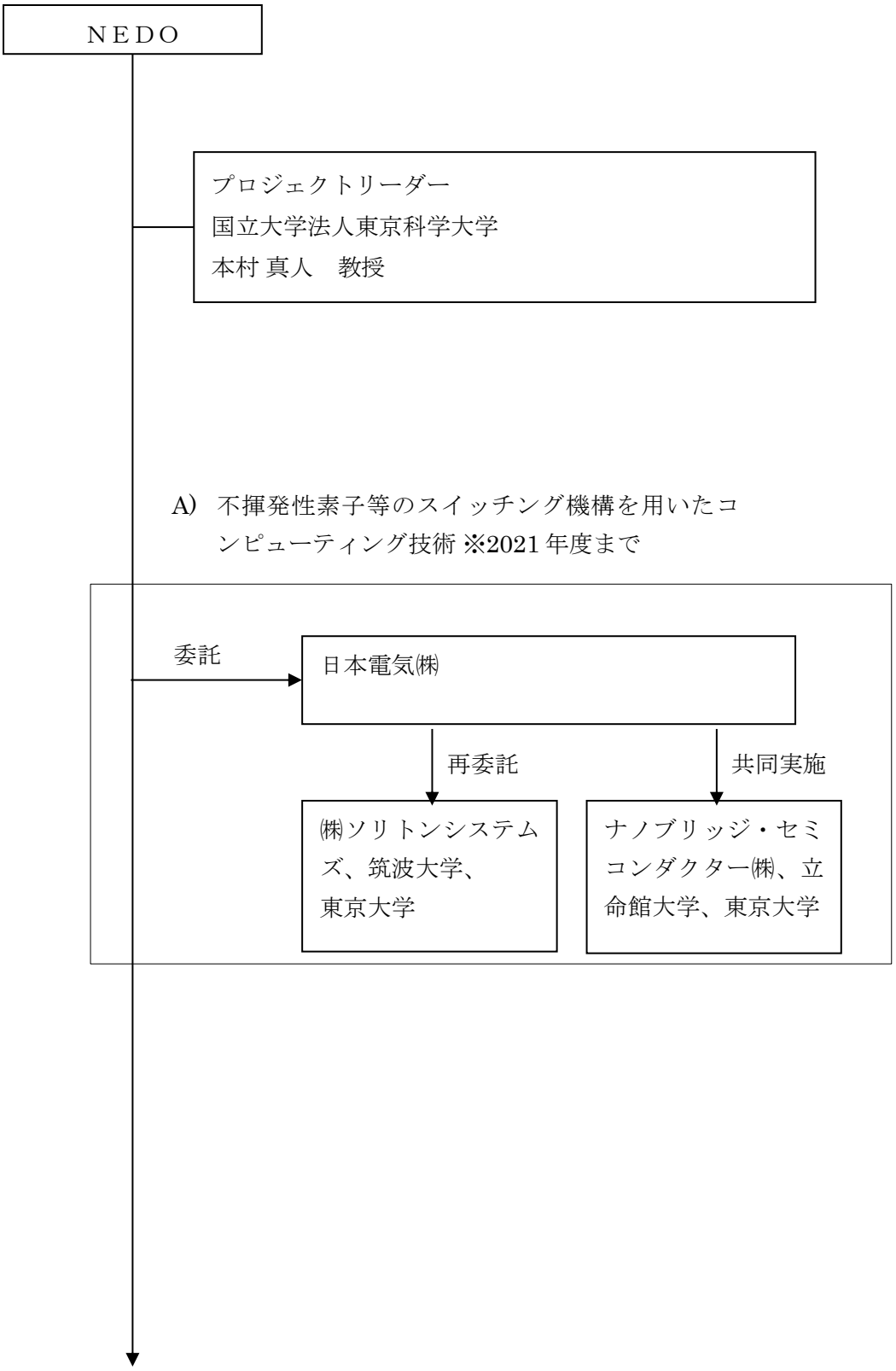
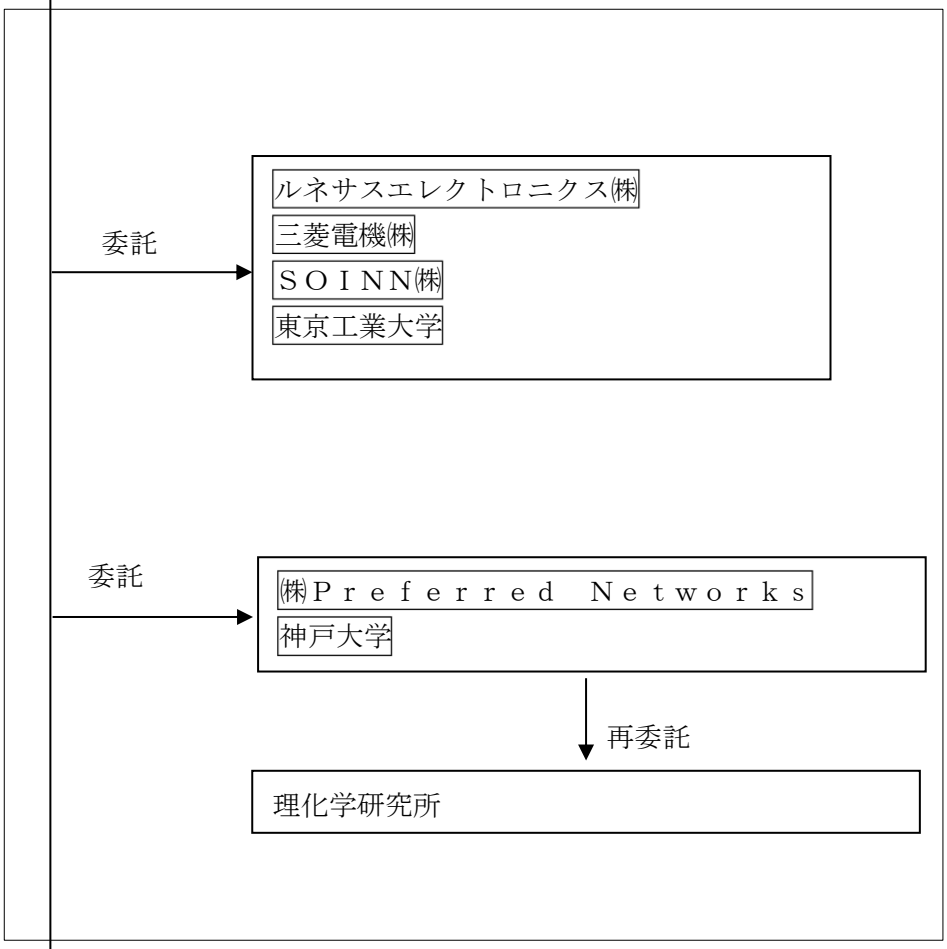


図 3.1.1 マネジメント体制

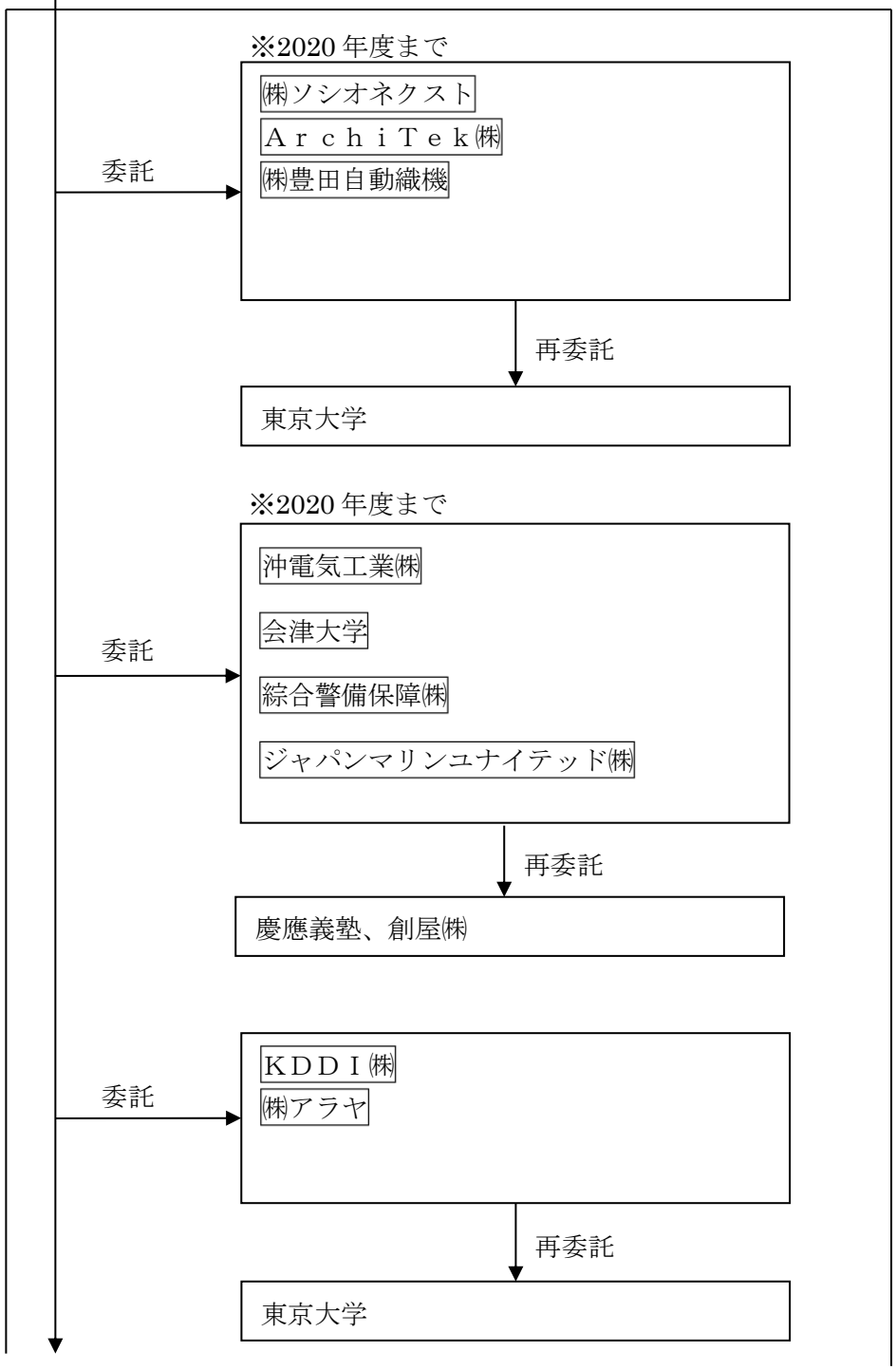
以下に各テーマの実施体制の詳細を示す。

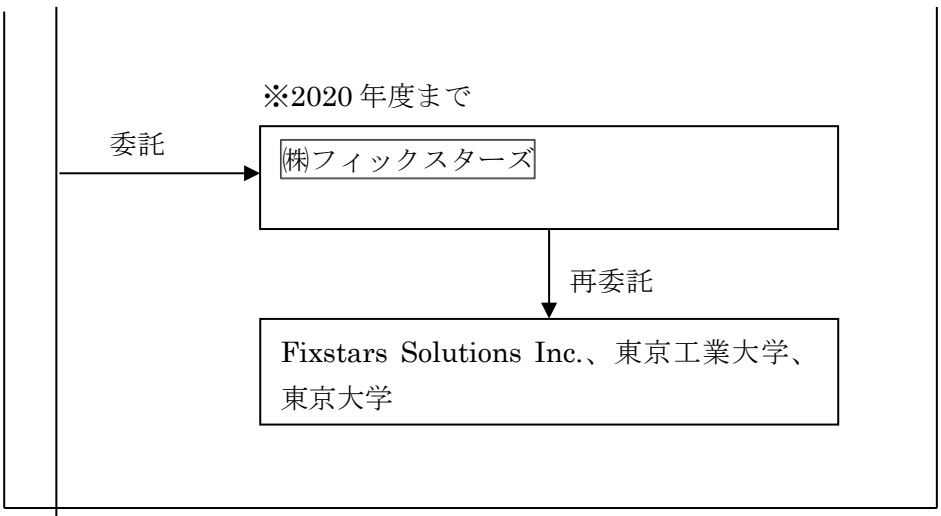

NEDO
プロジェクトリーダー
国立大学法人東京科学大学
本村 真人　教授
A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術 ※2021 年度まで
委託
日本電気㈱
再委託
共同実施
㈱ソリトンシステムズ、筑波大学、東京大学
ナノブリッジ・セミコンダクター㈱、立命館大学、東京大学

B)　リコンフィギャラブルデバイスによるコンピューティング技術

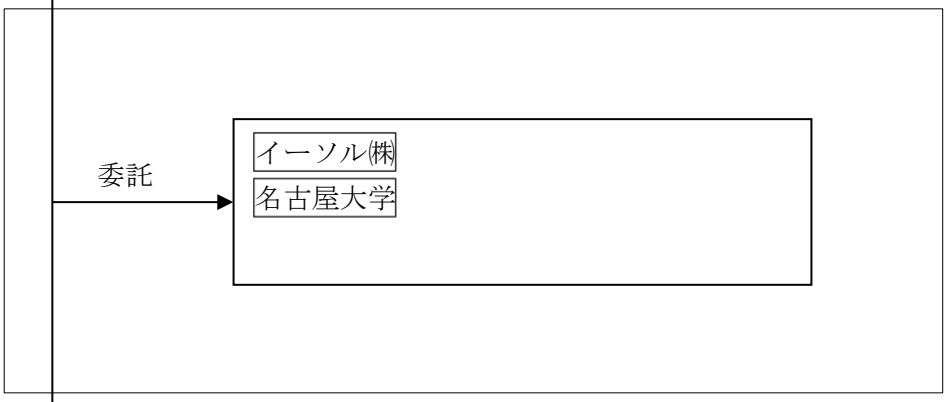


c) 演算処理量の軽量化を実現する AI 組込みコンピューティング技術

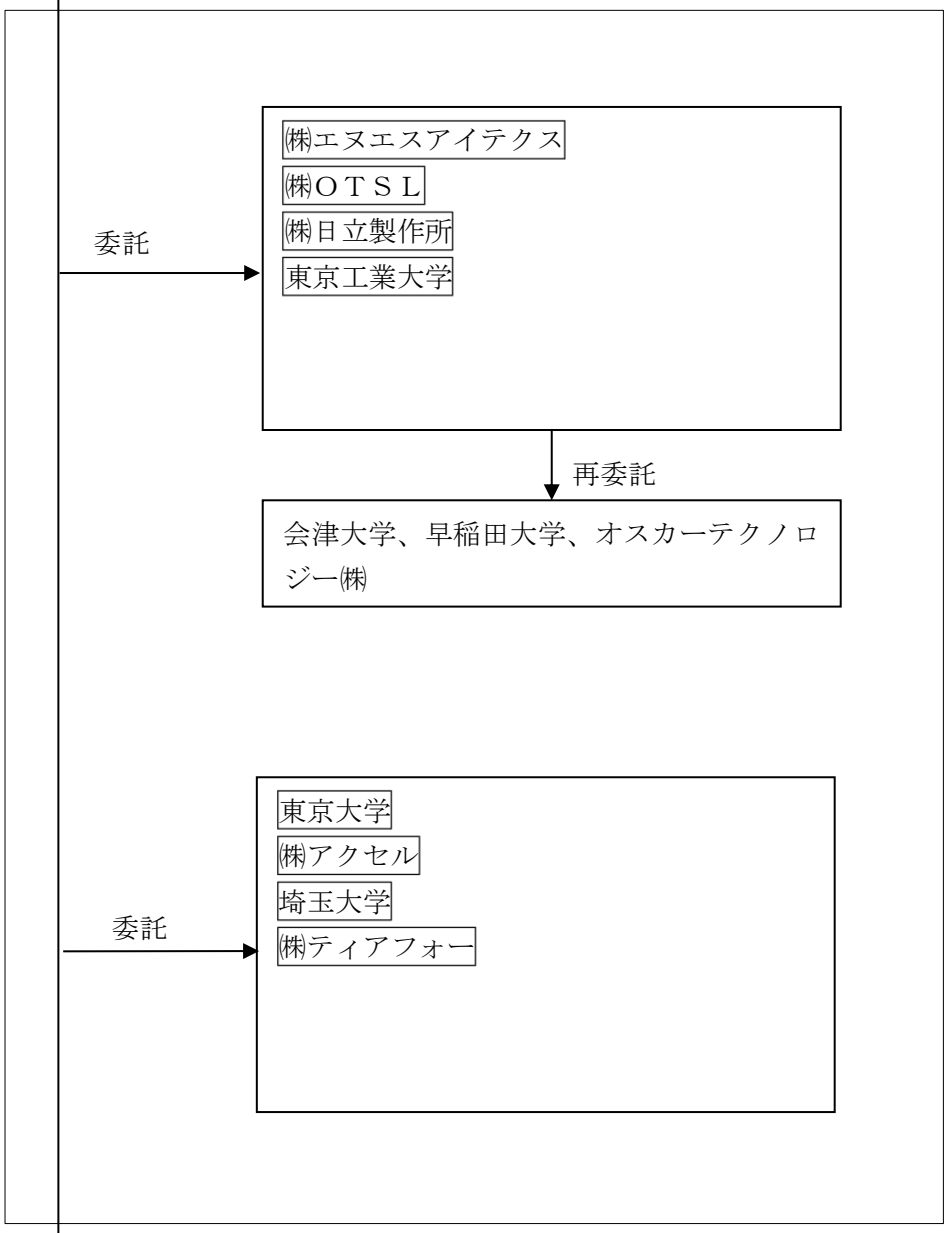




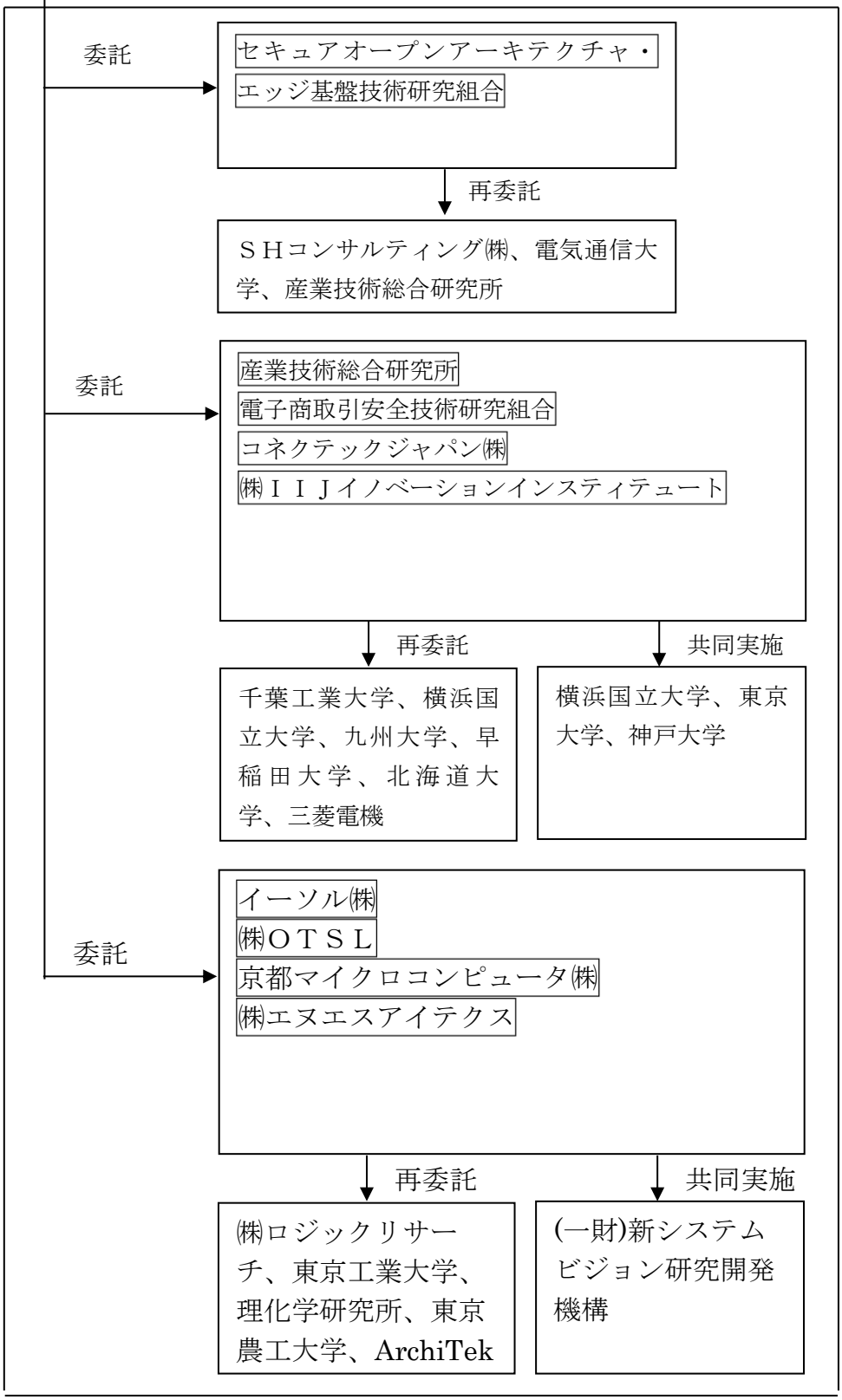
D） エッジコンピューティング向けリアルタイムソフトウェア制御技術　※2020 年度まで



E) 多数の分岐ノードを有するAIアルゴリズム処理
を高性能化するコンピューティング技術



F) エッジデバイスのセキュリティ技術及びその評価技術

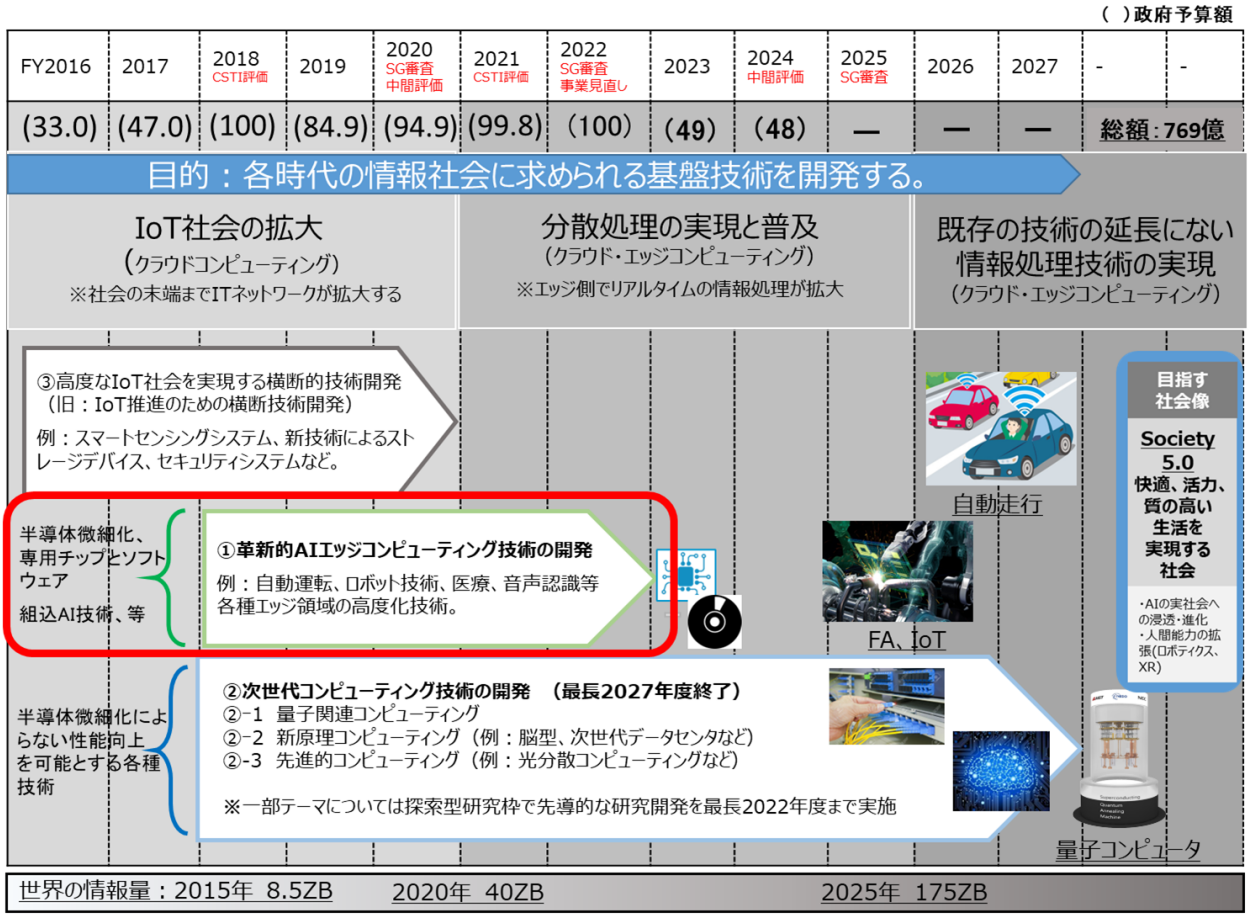


3.2. 受益者負担の考え方

本事業は、次世代の情報産業を担う基盤技術かつハイリスクハイリターンな技術の開発として国が支援するものであり、100%NEDO 負担の委託事業として実施する。

3.3. 研究開発計画

以下に研究開発スケジュールを記載する。



【2021 年度】

以下の 5 課題に関するテーマについて、各テーマのサイトビジットおよび技術推進委員会を通じて進捗状況を確認し、最終目標であるエネルギー消費効率あるいは電力効率 10 倍達成に向けて外部委員等による助言等を行った。

（課題）

A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術
B) リコンフィギャラブルデバイスによるコンピューティング技術
C) 演算処理量の軽量化を実現する AI 組込みコンピューティング技術
E) 多数の分岐ノードを有する AI アルゴリズム処理を高性能化するコンピューティング技術
F) エッジデバイスのセキュリティ技術及びその評価技術

【2022 年度】

研究開発項目① 革新的 AI エッジコンピューティング技術の開発

以下の 5 課題に関するテーマについて、最終年度となる研究開発を推進し、加速の検討、成果の取りまとめや情報発信等を実施した。

（課題）

A）不揮発性素子等のスイッチング機構を用いたコンピューティング技術

B）リコンフィギャラブルデバイスによるコンピューティング技術

C）演算処理量の軽量化を実現する AI 組込みコンピューティング技術

E）多数の分岐ノードを有する AI アルゴリズム処理を高性能化するコンピューティング技術

F）エッジデバイスのセキュリティ技術及びその評価技術

4. 目標及び達成状況の詳細

4.1. 研究開発テーマ「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」

4.1.1. テーマ概要

本研究開発では、学習はクラウド上で行い、推論をエッジで行う事を想定している。エッジで行う推論処理は、エッジサーバと IoT 端末の連携で行うものと、IoT 端末のみで行うものの 2 種類が存在する(図 4.1.1.1)。連携処理の場合は、IoT 端末に求められる AI 処理は前処理等であり、一般的に軽いものとなるが、一方で、収集すべきデータは端末に特化したものとなるため、端末へのプログラマビリティへの要求が高く、端末での AI 処理は FPGA でのみ行うことが想定される。このような連携処理の例としては映像や音声の配信端末への適用検討を行う。

本研究開発における ASSoC 開発は 2019 年度から 2021 年度の 3 カ年の間に 1 回の試作で完了する。2020 年度に ASSoC の設計を完了し、2021 年度にチップ製造・チップ評価を実施する。ASSoC の評価は日本電気株式会社およびナノブリッジ・セミコンダクター株式会社において実施する。筑波大学、東京大学稲葉研究室、ソリトンシステムズ株式会社においては、ASSoC チップに AI 処理を含むアプリケーションを実装し、各ユースケースにおいてその低電力性を評価する。ASSoC のパイロットユーザを開拓するための活動を 2021 年度に実施し、上市用チップの仕様検討や必要な CAD 製品の検討を行う。また、本プロジェクトにおける共同研究先として、東京大学塩谷研究室と連携して CPU コアとして RISC-V プロセッサの適用を検討する。同じく、立命館大学越智研究室と連携して、原子スイッチ FPGA に搭載する演算器の設計およびツールフローによる演算器利用について開発を行う。

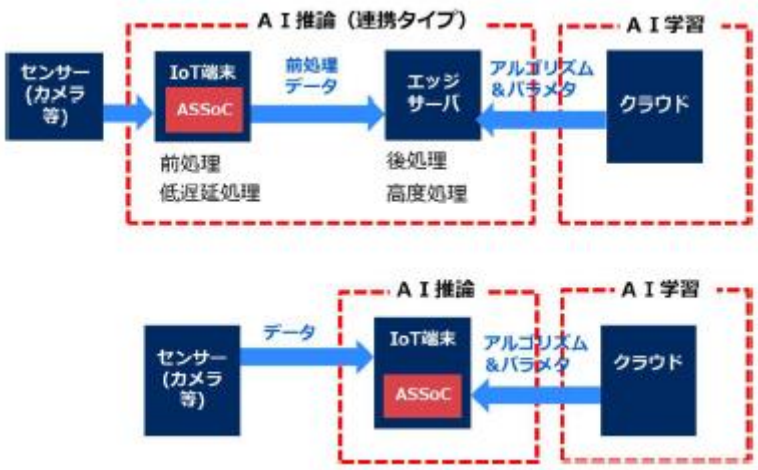


図 4.1.1.1 エッジ推論の 2 種類の形態、上、連携型、下、単独型

4.1.2. 最終目標と根拠

AI 処理用のコンピュータには、大量のデータの並列処理に向いている GPU が広く利用されている。CPU の場合、データ処理のスループットは上げられるが、逐次実行という基本的なコンピューティング技術は CPU と同じであるため、低遅延（ハードリアルタイム化）を満足することは専用設計の回路には及ばない。低遅延化の要求が強いアプリケー

ション領域（自動車、ロボット、介護介助、ドローンなど）への対応として、ハードウェア回路自体をプログラマブル化した FPGA に、AI 処理を行わせる試みが進んでいる。これは、比較的小規模な AI 処理の推論部のみであれば、逐次実行は導入せずに、細粒度並列処理を導入することで、低遅延で省電力な回路実装が可能だからである。

このような現状において、以下の課題がある。
・現状の最先端 FPGA は揮発性の SRAM を使った回路構成となっており、逐次実行のノイマン型プロセッサである CPU や GPU よりは低消費電力であるものの、数 W から数 10W 以上の消費電力を発生し、極めて消費電力制限の厳しい IoT 端末やエッジコンピュータには適用が難しい。
・比較的小規模・低電力な FPGA コア、メモリ、低電力 CPU、演算コア等を内蔵した SoC が近年製品化されており、処理中のデータは SoC 内で処理することにより、システムとしての省エネルギー化（一般的に 1/2 程度）が実現できているものの、電池駆動のデバイスでは十分ではない。
・半導体は世界情勢に依存した戦略的な部品でもあり、FPGA を含む SoC はキーデバイスとみなされているが、FPGA は米国の寡占状態であり、FPGA の利用技術は別として、チップの研究開発側における日本の存在感は薄かった。

FPGA の重要性は最近、認識されて始めており、2018 年度に打上げ予定の革新的衛星技術実証 1 号機では、日本発の革新的 FPGA として、原子スイッチ FPGA の軌道上評価が行われる。日本全体の競争力に資するためには、日本が競争力を持つ応用分野に適用するための FPGA 関連技術を開発することが必要である。この必要性に対して、本プロジェクトの研究開発では、原子スイッチ FPGA 技術を用いた SoC の開発・製造、チップ実証を実施するものである。

実施項目①においては、原子スイッチ素子を FPGA および CPU の動作に必要なコード ROM として混載可能な製造技術に関する開発を実施する。実施項目②－１では、SoC 開発に必要な要素回路ライブラリの開発、SoC の統合設計・評価、ツール開発、開発されたチップの適用先拡大についての各項目を実施し、試作されたチップにおいて、電力効率 10 倍を達成する見通しを得る。
実施項目②－２では、再委託先（株式会社ソリトンシステムズ）において、監視・見守り分野での利用を想定した映像音声識別 AI の実装評価を実施する。
実施項目②－３では、再委託先（筑波大学）において、農業向けドローンを想定した実装評価を実施する。
実施項目②－４では、再委託先（東京大学）において、ヒューマノイド型ロボットおよびロボット義足を想定した実装評価を実施する。

以下に、各項目の目標について説明する。
実施項目① 「AI 向け省エネ FPGA コア及び省エネメモリコア開発」
(a)省電力書換えが可能な原子スイッチの製造技術、(b)原子スイッチメモリコアの低電力回路技術、さらに(c)28nm 世代における FPGA コアおよびメモリコアの混載を可能とする製造技術の開発を行う。以下に最終目標および、根拠を説明する。

①－(a)「省エネルギー書換え原子スイッチ製造技術」(担当：日本電気株式会社)
電池駆動の IoT 端末上での書換えを考慮すると書込み電圧、および書込み時間を短縮して、書込みのエネルギーを低減する必要がある。現時点での FPGA 向けの原子スイッチの書き込みエネルギーは 14nJ であり、このエネルギーを 1/10 以下(0.5nJ 程度)に低減する素子技術を開発する。
原子スイッチの構成要素の中では、書込み特性への影響が最も大きい固体電解質の膜質の改良と加工プロセスを改良する。書込み特性値のばらつきの最悪値がチップの特性を決めてしまうため、ばらつきをいかに抑えるかも改良点である。2019 年に原子スイッチ単体の開発を完了、2020 年 9 月にアレイでの評価を完了し、書き込みエネルギー従来比 1/10 以下(0.5nJ 程度)を達成する。その結果製造技術について 2021 年 9 月に確定する。
①－(b)「28nm メモリコア回路技術」(担当：ナノブリッジ・セミコンダクター株式会社)
本実施項目では、ファウンダリで得られる標準的な CMOS を用いた原子スイッチメモリコアを開発する。動作時電力については、メモリコアでは読み出し時の電力が重要であり、ビット当たりの消費エネルギー0.1pJ/bit を実現することを目標とする。28nm 世代で最も低電力な NOR-FLASH をメモリマクロ(Cypress 社製)と比較すると 1/10 以下の電力にあたる。
2020 年にメモリコア回路の設計を完了、2021 年 9 月に評価を完了し、従来のメモリコアと比較して 1 ビットあたりの読み出し電力を従来比 1/10 以下(0.1pJ/bit 程度)とする。
① －(c)「 ON 抵抗混在安定化原子スイッチ製造技術」(担当：日本電気株式会社)
本実施項目では、28nm 世代においてメモリコアと FPGA コアの双方の混載を可能とする製造プロセスを開発する。メモリコアと FPGA コアでは要求される ON/OFF 比が異なるため、書込み条件も異なる。違った条件で書き込んだ素子でも、異なる ON/OFF 比が安定して確保できるような製造技術を開発する。
2021 年 9 月までに 28nm メモリコア向け原子スイッチの ON 抵抗安定性を確保し、下地 CMOS と多層配線の特性シフトがないことを確認する。2021 年度において、ASSoC のチップを製造し、原子スイッチの歩留まりが問題ないことを確認する(2022 年 2 月)。

実施項目② 「端末-エッジ連携 AI 処理用 AI チップ(ASSoC)の開発」（担当：ナノブリッジ・セミコンダクター株式会社、東京大学、立命館大学)
本実施項目②において、2021 年 1 月以降はナノブリッジ・セミコンダクター株式会社、東京大学および立命館大学が ASSoC の回路およびツールの開発を行う。さらに、筑波大学、ソリトンシステムズ株式会社および東京大学が ASSoC の低電力性能の実証を進める。
ASSoC のチップの製造は日本電気株式会社が実施項目①を通じて行い、本実施項目②の実証先に ASSoC チップを提供する。日本電気株式会社はまた、実施項目②の活動が円滑に進められるよう情報共有に努め、進捗を管理・取りまとめを行う。
実施項目②－1 「端末-エッジ連携 AI 処理用 AI チップ設計」
②－1(a) 「原子スイッチ AISoC チップの混載要素技術開発」(担当：ナノブリッジ・セミコンダクター株式会社、日本電気株式会社)
IoT 端末用に AI 処理可能な低消費電力プログラマブル SoC を実現するため、原子スイッチメモリコア、CPU さらに原子スイッチ FPGA を 1 つの SoC チップに混載するための設計技術を開発する。市販されているプログラマブルな SoC は、主に CPU と SRAM

ベースの FPGA のロジックセルを混載したチップであり、動作時電力が 5W 程度かつ待機時の電力も 0.1W 程度と大きい。このようなチップは電池駆動を想定した IoT 端末に導入することは難しい。IoT 端末や医療用ロボットで利用するためには、入出力データの処理をプログラマブルロジック部分で高効率に実行することに加え、データの入出力が生じない期間は SoC チップもしくはチップ内のプログラマブルロジック部分の電源を遮断し、待機電力を数 mW クラスまで低減することが必要である。しかしながら、市販チップではプログラマブルロジック部の SRAM へのデータ再書き込みのために電源復帰後の起動時間が数 10 ミリ秒から 100 ミリ秒程度必要であり、実質的には頻繁に電源を遮断するような間欠動作を行うことが難しいという技術的課題がある。本開発項目の ASSoC では、プログラマブルロジック部に原子スイッチ FPGA を適用することで動作時の消費電力を従来チップに比べ 1/10 とすることを目標とする。さらに、原子スイッチメモリコアに CPU のプログラムを保存することでチップ全体の待機時電力を従来品に比べ 1/10 とし、間欠動作に適用するためにプログラマブルロジック部の起動時間として 1 ミリ秒以下を実現する ASSoC を開発することを目標とする。

ASSoC に必要な回路 IP の調達を 2020 年度末までに完了する。また、原子スイッチ FPGA コアの電源を ON/OFF 可能なパワーゲーティング対応 FPGA セル設計を完了する。ASSoC の待機時電力を従来品に比べ 1/10 となること、さらに、間欠動作に適用するためにプログラマブルロジック部の起動時間を 1 ミリ秒以下となることをシミュレーションにより確認する。また、原子スイッチを用いたプログラマブルバス回路の設計においては、2020 年度末までに完了する。2021 年度においては、CPU 等の要素回路の動作確認を行う。

②－1(b) 「ファブリックコンパイラ技術開発および統合設計」(担当：ナノブリッジ・セミコンダクター株式会社、日本電気株式会社)

混載メモリにおいては、用途に応じた構成を得るためにビット長およびワード長、さらに ECC などのオプションが自由に選べ、自動的にレイアウトが生成される設計ツール(メモリコンパイラー)が一般的に用いられている。FPGA においても、AI チップの可変アクセラレータ用混載 IP コアとして広く使われるためには、用途やチップサイズに応じて構成を容易に変更できることが必要である。本開発項目では、原子スイッチ FPGA を構成する FPGA セル(ロジックセル、ブロック RAM および乗算器ユニット)と書き込みドライバー回路の IP 化を行う。IP 化されたそれぞれのブロックをライブラリとして、リソースのパラメータ指定により原子スイッチ FPGA コアを自動生成可能なファブリックコンパイラを開発する。

AI 推論処理の低電力には積和演算の効率が重要であり、立命館大学では、乗算ユニットの設計を行い、積和演算の計算効率化を高めたアーキテクチャを実現する（本乗算ユニットに関して、国内外で成果発表または情報収集を実施予定）。

また、原子スイッチ FPGA コアと開発項目②－1(a)により開発済みのプログラマブルバス回路、周辺回路 IP 等と組み合わせて ASSoC のチップ統合設計を完了する。チップ製造後に、半導体テスタでの評価環境を構築し、低電力性評価を実施する。さらに、フィールド評価用のプロトタイピング基板を作成完了し、共同研究先とのアプリケーション実装評価を完了する。

2020 年 2 月までに原子スイッチ FPGA を構成する FPGA セル(ロジックセル、ブロック RAM および乗算器ユニット)と書き込みドライバー回路についてそれぞれ IP 化を行う。

また、2021 年 3 月までに、原子スイッチ FPGA コアと実施項目②－1(a)により開発済みのプログラマブルバス回路、周辺回路 IP 等と組み合わせて ASSoC のチップ統合設計を完了する。
ASSoC を製造するためのマスクセット用データに関して、第 4 配線層までを 2021 年 4 月、原子スイッチ層から最上層までを 2021 年 6 月までに準備する。また、2021 年 12 月までに、半導体テスタでの ASSoC 評価環境を構築し低電力性評価を実施する。2021 年 9 月を目処にプロトタイピング基板を作成完了し、2022 年 2 月を目処に共同研究先とのアプリケーシ
ョン実装評価を完了する。
② －1(c) 「原子スイッチ AISoC チップのツール開発」(担当：ナノブリッジ・セミコンダクター株式会社・立命館大学)
既存の CPU の SDK(Software Design Kit:ソフトウェア開発キット)およびシステムレベル設計ツール(上位ツール)と連携して、ASSoC をプログラムするための設計ツール群を開発する。ASSoC のプログラミングフローでは、まず、上位ツールにより、ソフトウェア設計とハードウェア設計の切り分けを実施し、ハードウェア設計情報である
RTL(Register Transfer Level)回路記述およびプログラマブルバス構成情報を生成する。バス構成情報に基づいてプログラマブルバス回路をコンフィグレーションする。本開発ではこのバスマッピング技術を開発する。また、プログラマブルバス構成結果に応じて原子スイッチプログラマブルロジック部に効率的に RTL 回路記述をマッピングするバス接続フロアプランナを開発し、既存の原子スイッチ FPGA のマッピングツールと連携可能とする。演算器部分のツール関しては、立命館大学と共同で開発を行う。
2020 年 10 月までに、バス接続フロアプランナおよび開発項目②－1(b)において設計完了した ASSoC のファブリック構成に対応したプログラマブルロジック部のマッピングツールを開発完了し共同研究先へ提供する。また、プログラマブルロジック部と CPU や外部メモリ等との柔軟な接続を可能にするバスマッピング技術、及び、演算器の効率的な割り当て技術を 2021 年 10 月までに開発する。2021 年度においては、ASSoC チップの実証のために本ツールを利用するあたり、デバックの対応等のサポートを実施する。
②－1(d) 「適用領域拡大のための共通化仕様の策定」(担当：ナノブリッジ・セミコンダクター株式会社)
ASSoC チップを低遅延処理が必要な領域に広く適用できるようにして、広く普及させるためには、例えば自動車や医療機器向けチップ等で最低限必要な周辺回路や通信方式をあらかじめ備えている必要がある。このために 2019 年度中に再委託していないが協力関係にあるデンソー等の自動車部品メーカーとも協議し、自動車適用に必要な周辺回路やプログラマブルロジックの規模について明確化し、実証を行うロボットのニーズと仕様の共通化を実施する。2021 年度作製のチップは自動車向けで実証する際の要求仕様を満足するようにする。2019 年度中にデンソー等の自動車部品メーカーとも協議し、自動車適用に必要な周辺回路やプログラマブルロジックの規模について明確化し、実証を行うロボットのニーズと仕様の共通化を実施する。試作したチップについては、その他の用途においても低電力性の評価や耐放射線性の評価などによるユーザー評価を実施し、その結果を踏まえて適用領域の拡大を図る。

実施項目②－2「端末-エッジ連携 AI 処理用 AI チップを用いたリアルタイム映像・音声処理の検討」(担当：再委託先・株式会社ソリトンシステムズ)
2019 年度に、ASSoC と既存の SRAM ベースの FPGA を用いた SoC 型 FPGA の双方において同等の映像および音声伝送の評価が可能な評価基板の仕様を確定し、ベースとなる親基板と既存 FPGA のための評価小基板を設計する。並行して、作成された ASSoC チップを評価するための基板の基本設計を完了する。2020 年度には確定した ASSoC チップの仕様に基づいた評価基板を作成し、高位言語を用いて FPGA 向けのファームウェアと CPU 向けのソフトウェアを実装する。2021 年度には、評価基板に ASSoC チップを実装し、映像・音声のリアルタイム処理において想定された低消費電力が達成されることを確認する。

実施項目②－3 「スマート農業を対象とした AI チップによる実時間映像解析の検討」(担当：再委託先・筑波大学)
人間中心社会をキーワードとした次世代 IoT プラットフォームとしてドローンというフレームワークに注目が集まっている。日本再興戦略 2016 にドローンというキーワードが登場し、経産省「平成 30 年度経済産業政策」、文科省「次世代火山研究・人材育成総合プロジェクト」、農水省「G 空間プロジェクト」、また官民研究開発投資拡大プログラム(PRISM)など、様々な場所でドローンは注目技術として取り上げられている。ドローンの社会実装を考えたとき、安定飛行や特定問題への最適化に加え、消費電力効率を大きく改善する必要がある。そこで本実施項目では、ASSoC の電力効率がシステムレベルでどれだけ有意に作用するか(他アーキテクチャとの差別化)について比較および改善の検討を行う。本実施項目の成果は、ドローンと言う ASSoC のキラーアプリケーション発掘だけでなく、他の次世代 IoT システムに対して ASSoC を応用する可能性についても示唆すると考える。
本実施項目では、上記を踏まえ、本事業終了時のアウトカムを明確にするためにスマート農業向けの ASSoC ドローンについて研究開発を進める。スマート農業において計測は非常に重要な要素であり、例えば、畑作物の生育状況を確認するためには、高度 30m 程度から 5mm～1cm 程度を判別できる分解能を持つ画像処理が必要となる。高度 30m という数値は、ドローン規制を考慮しつつ、ドローンの滞空時に生ずる風が農作物に与える影響を無視できる高度として選択されている。検証する動画処理技術は、火山などの災害地域探査、野生鳥獣の生態調査、高速道路や橋梁などの検査、などにおけるシステムへの応用も期待できる。
2019 年度より、ASSoC の仕様検討に並行し、代替チップ(SRAM 型 FPGA)を用いたスマート農業用システムの実証実験を開始する。農作物の育成状況を正確かつ高速に空中より判断する演算手法は現在確立されていない。そこで、既に農業用として利用されているドローンを利用し、検出アルゴリズムについてまず検討する。この検討では、判別精度に加え、ハードウェア化(ASSoC への実装時)に最も適したアルゴリズムの選定を図る。そして、2019 年度後半から 2020 年度にかけて、代替チップを利用した実証実験を開始する。この時、使用回路量およびメモリ量などについて詳細なデータを得ることで、ASSoC アーキテクチャの仕様検討に対して適宜フィードバックをかける。これにより、多種多様な農作物や計測環境に対応する素地が整い、農業用ドローン利用において ASSoC を広く利用可能にするための議論が可能となる。2021 年度より、代替チップから

試作 ASSoC への移植を開始する。また、これと並行して、組込み向け GPU および代替チップとの電力性能比較実験を繰り返し行い、ASSoC の優位性(性能、機能、電力など)について明らかにしていく。農業用ドローンは育成および収穫時期である夏～秋の運用が考えられ、システムが非常に高温となることも容易に想像される。利用条件において、代替チップ(SRAM 型 FPGA)と耐環境性があり、高温でも消費電力が増えない ASSoC との電力効率の比較においてその違いは大きくとなると考えられ、ASSoC 導入の有意性がこの実験を通して明らかになると考えている。上記実施内容により、最終目標である ASSoC による演算部電力効率 10 倍の見通しを得る。

実施項目②－4 「介護介助ロボット向け AI チップの仕様策定と電源制御の検討（担当：再委託先・東京大学）（担当：再委託先・稲葉研究室）
③ －4－(a) 産業用ロボット向けトルク制御器オンラインパラメータ推定機能の実装評価
産業用ロボットでは位置制御がなされているが、人のそばで人と接触しても安全に動作するためにはトルク制御が不可欠となる。そのために、道具を利用して環境との接触力を制御する必要のある大出力等身大人型ロボットで実現してきた技術を産業用へも展開できるように原子スイッチ FPGA を利用して実装評価する(図 4.1.2.1)。トルク制御を行うためには関節の力学パラメータのキャリブレーションを関節毎に行う必要がある。経年変化に伴うパラメータの変化に対応するため、関節駆動時の角度センサデータと出力トルクの時系列データを元にパラメータの学習を行い、各モータドライバ上でオンラインパラメータ推定を行うことでキャリブレーションレスでのトルク制御を行う。
2019 年度から 2020 年度にはモータドライバ上の FPGA にオンラインパラメータ推定法の実装を行う。2020 年度から 2021 年度にはモータドライバへの原子スイッチ FPGA の適用評価を行う。



図 4.2.1.1 大出力等身大人型ロボットにおいてトルク制御用に用いられるモーターおよび FPGA を含むドライバー

②－4－(b) ロボット体内分散通信システム状態学習機能の AI 処理機能による実装評価
産業用ロボットでもロボットの体内に複数のセンサ・アクチュエータが分散配置されるシステムとなってきているが、それらの分散通信によって身体システムの状態を学習する機

能を研究してきており、その実装を原子スイッチ FPGA の AI 処理機能を利用して実装し評価する。
図 4.1.2.2 は本研究室にて研究開発を行っている筋骨格ヒューマノイド腱悟郎である。腱悟郎には図に示す筋肉制御ユニットが 100 台以上搭載されており、制御コンピュータと通信モジュールを介して全身制御されている。これまでに身体構造をオフラインで学習し制御する手法を研究してきている。筋肉制御ユニットと制御コンピュータ間の通信を行う通信モジュールの FPGA 上でパラメータの学習を複数の筋肉制御ユニットからのセンサデータを元にオンラインで行うことで、動作精度の向上を目指す。また、ロボット義足等の待機状態が長いロボットへの適用を想定し FPGA の不揮発性を活用した電源制御を検討する。
2019 年度は、筋肉制御ユニットと通信モジュールに搭載した FPGA の原子スイッチへの置き換え検討を行う。この中で、最終的にロボット義足への適用を狙い、将来的には介護ロボット等への展開を狙う上での、ロボット向けの ASSoC のあるべき仕様について、日本電気と共に検討し、日本電気の設計する医療・ロボット用途に向けた ASSoC の仕様策定に寄与する。また、例えばモーターの制御電力が少ない状態が継続した場合は制御周期を長くする事や、モーターの制御電力がゼロである場合はモーター駆動波形を演算する FPGA 部分の電源を遮断するなどして、義足の状態に合わせた低電力化適応制御のモードを検討する。その上で、各モードへの移行時間や制御信号、各モードでアクティブにしておく必要のある回路モジュールについて検討した結果を日本電気と議論し、ASSoC において義足ロボット向けの低電力化適応制御に必要な機能として仕様に反映させる。
さらに、通信モジュール上の FPGA で複数の筋肉制御ユニットからのセンサデータを元にパラメータのオンライン推定を行い、最後に、筋肉制御ユニット・通信モジュールの FPGA を原子スイッチ FPGA および ASSoC への置き換え評価を行う。
加えて 2019 年度から 2020 年度には、通信モジュール上の FPGA で複数の筋肉制御ユニットからのセンサデータを元にパラメータのオンライン推定を行う。2020 年度から 2021 年度には筋肉制御ユニット・通信モジュールの FPGA を原子スイッチ FPGA および ASSoC への置き換え評価を行う。

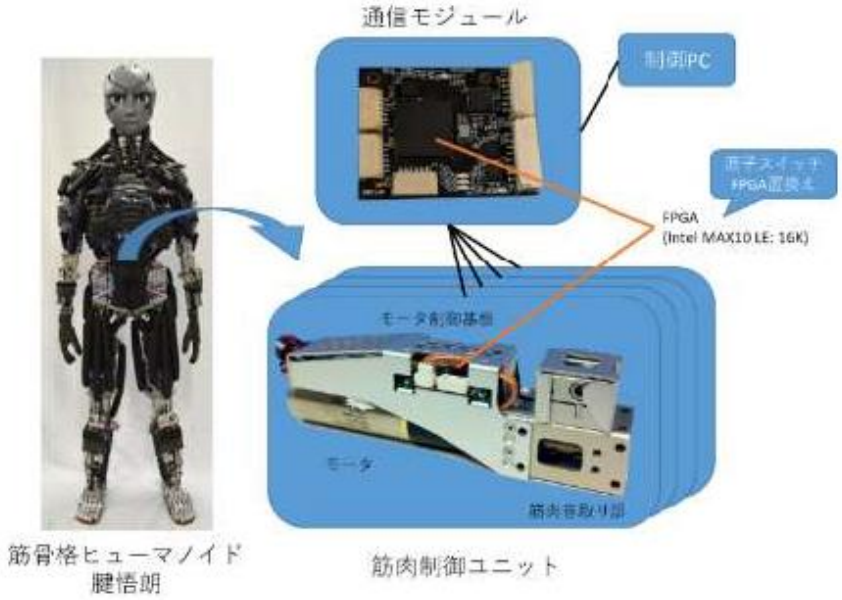


図 4.1.2.2 筋骨格ヒューマノイド腱悟郎と筋肉制御ユニット

②－4－(c) 多用途柔軟センサ分布ユニットの組込センサ処理・通信機能の実装評価
センサネットワークを実現する上で、柔軟物にも配置可能な分散センサシステムはリハビリ器具・屋内健康器具・多自由多関節ロボット柔軟外装等へ大いに期待されてきており、低消費電力・小型処理機能とセンサを組み合わせたユニットが不可欠となっており、その実装評価を行う。図 4.1.2.3 は本研究室にて研究開発を行ったヒューマノイドロボット小太郎に搭載されている 64 個の触覚センサを有するセンサ分布ユニット、図 4.1.2.4 はヒューマノイドロボット HRP-4R に搭載した 96 個の気圧センサを有する空気室型柔軟触覚センサである。近年、MEMS 技術の発達に伴い数ミリ角の IMU、距離センサ、光センサなどが開発され、これらを利用することで大量のセンサを分散配置することでより多くの情報取得が可能である。触覚センサ側のセンサデータと接触情報との関係性をあらかじめ学習し、センサ側に搭載した原子スイッチ FPGA によりセンサデータから接触情報への推論を行うことで、制御用コンピュータへの負荷低減と通信量の削減を実現する。
2019 年度から 2020 年度は既存の FPGA を用いて多用途柔軟センサ分布ユニットの開発を行う。2020 年度から 2021 年度には FPGA を原子スイッチ FPGA へと置き換え評価を行う。



図 4.1.2.3 ヒューマノイドロボット小太郎と搭載されている 64 個の触覚センサ

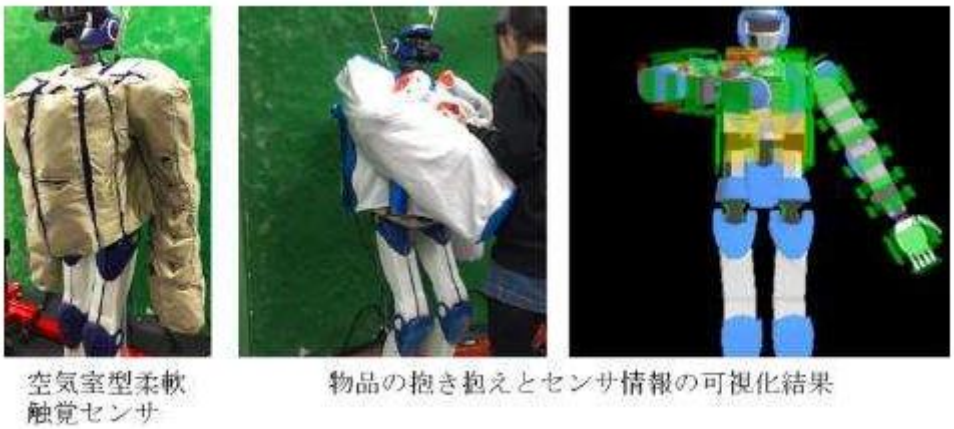


図 4.1.2.4 空気室型柔軟触覚センサを搭載したヒューマノイドロボット HRP-4R

②－4－(d) 介護介助ロボット向け AI チップ適用評価(AI による制御パラメータ調整・ユーザー行動推論開発)

ロボット向け AI 処理の社会実装として、ロボット技術を応用したロボット義足へと上記で開発された技術を適用する。

下肢切断者向けの義足として従来、パッシブ義足と呼ばれる機構的に膝関節の粘弾性特性を調節することで歩行の支援をしている。一方で障害者の生活の質の向上を目的に膝関節の粘弾性特性を能動的に可変とする電子制御パッシブ義足、あるいは、膝関節をモーターにより駆動する形式のロボット義足が従来研究開発されている。特に膝関節をモーター駆動するロボット義足は立ち上がり動作、階段昇降動作など従来の義足では実現不可能な動作を可能にする点で画期的な義足である。

このロボット義足における課題としては、一つ目は、ユーザー毎に足を踏み出すタイミングや足の踏み出し方などの歩行動作が異なるため、人間の平均的な歩行動作をロボット義足で実現するだけではユーザーは違和感を覚えてしまう。また、ロボット義足はユーザーが歩行中なのか、階段を登ろうとしているのか等、ユーザーの行動に合わせて制御プログラムを変える必要がある。現状の義足はユーザー毎にチューニングが必要であり、使いこなすために 1 か月のトレーニングが推奨されている。そこで、ユーザーの歩行時のデータを取得しクラウド上で学習を行い、AI チップにおいてユーザーの行動推論を行うことで手動でのチューニングなしに制御プログラムの切り替えを行う。

2019 年度から 2020 年度は従来 FPGA における推論の実装を行う。2021 年度には ASSoC への置き換え評価を行う。最終的にはユーザーのトレーニングなしに数日の調整で使用可能な仕組みを実現する。



図 4.1.2.5 現在市販されている義足

②－4－(e) 介護介助ロボット向け AI チップ適用評価(省電力性評価)

ロボット義足における二つ目の課題は、消費電力である。ロボット義足はバッテリー動作機器で 1 日中動作することが求められる。日常生活では長距離の歩行は想定されないため、モーターのパワー系で消費する電力は少なく、それ以外の制御回路部における電力消費量が無視できない。そこで、現在 FPGA と MPU により構成されている制御回路の FPGA を ASSoC へと載せ替えることで低消費電力化を実現する。ロボット義足に使用する制御ユニットは筋肉制御ユニットと共通化しており、FPGA から原子スイッチ FPGA

への置き換えによる省電力効果を評価する。ASSoC を用いることで MPU 含めた置き換え評価を行い、バッテリーで 1 日中動作可能とする見通しを得る。
2020 年度は FPGA から原子スイッチ FPGA への置き換えによる省電力効果を評価する。2021 年度は ASSoC を用いることで MPU 含めた置き換え評価を行い、バッテリーで 1 日中動作可能とする見通しを得る。

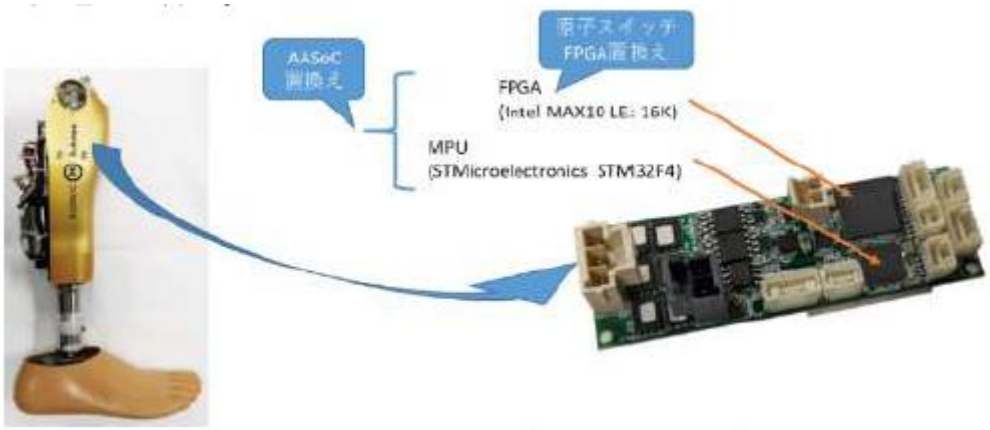


図 4.1.2.6 開発中のロボット義足と制御基板

以上に説明したプロジェクト目標を図 4.1.2.7 に纏める。

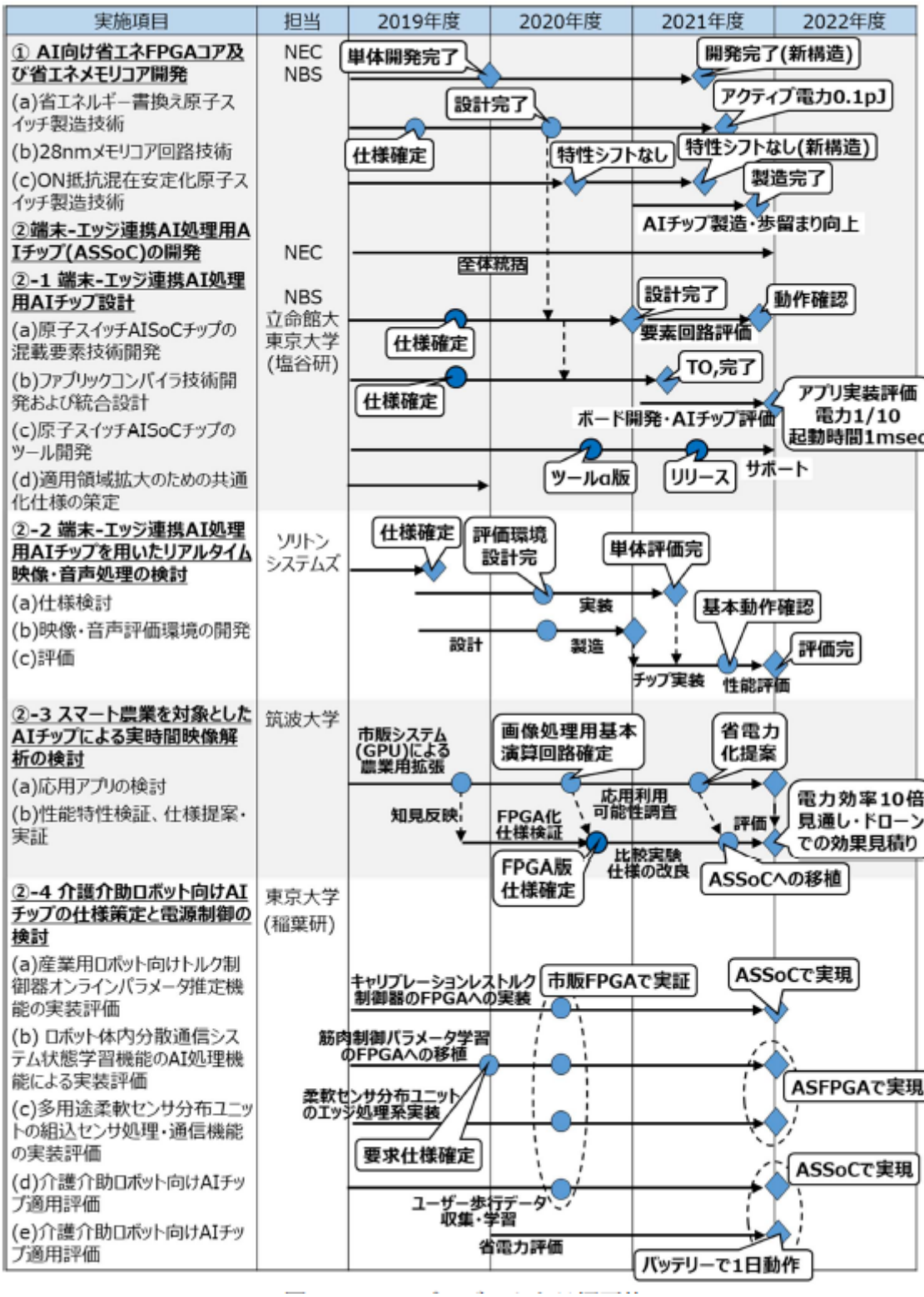


図 4.1.2.7 プロジェクト目標要約

4.1.3. 目標の達成度

各研究項目の達成状況を表 4.1.3.1 に示す。同表に記載の通り、最終目標はすべて達成した。

表 4.1.3.1 各実施項目の最終目標と達成状況

項目	最終目標	達成状況
実施項目①　AI 向け省エネ FPGA コア及び省エネメモリコア開発		
(a)省エネルギー書換え原子スイッチ製造技術	・書き込みエネルギー従来比 1/10 以下(0.5nJ 程度)を達成 ・製造技術確定	・書き込みエネルギー0.5nJ 以下を達成 ・製造バラつき安定化プロセスレシピ確定
(b)28nm メモリコア回路技術	・読み出し電力を、混載 Flash メモリと比較し 1/10 以下	・読出し電力 0.1pJ/bit (混載 Flash の 1/10 達成)
(c)ON 抵抗混在安定化原子スイッチ製造技術	・メモリ・FPGA の両者で ON/OFF 比安定	・安定性：125℃10 年相当不良なし確認 ・クロスファブ間の正常な電気コンタクト確認 ・ASSoC 製造完了
実施項目②-1　端末-エッジ連携 AI 処理用 AI チップ設計		
(a)原子スイッチ AISoC チップの混載要素技術開発	・回路 IP(バス、CPU)の調達 ・FPGA セル設計完了 ・FPGA の起動時間 1 ミリ秒以下をシミュレーションで確認 ・原子スイッチを用いたプログラマブルバス回路設計完了	・RISC-V プロセッサコア実装完了 ・FPGA 起動時間 1.6 マイクロ秒確認 ・プログラマブルバスを含めた ASSoC の論理設計を完了 ・RISC-V コアの動作確認完了
(b)ファブリックコンパイラ技術開発および統合設計	・プロトタイピング基板を作成完了 ・低電力性評価 ・再委託先とのアプリケーション実装評価を完了	・テスタ評価基板作成完了 ・ASSoC チップのテスタ評価完了 ・再委託先へチップ出荷実施
(c)原子スイッチ AISoC チップのツール開発	フロアプランナおよび ASSoC のファブリック構成に対応したプログラマブルロジック部のマッピングツールを開発完了し共同研究先へ提供	・ツールリリース完了 ・電力評価ライブラリ作成 ・演算器利用フロー開発完了
(d)適用領域拡大のための共通化仕様の策定	・ASSoC 周辺仕様確定 ・原子スイッチ FPGA および ASSoC の耐放射線評価を実施	・ASSoC 周辺仕様確定 ・製造チップを Pj 外ユーザーに貸与し耐放射線評価を実施
実施項目②-2 端末-エッジ連携 AI 処理用 AI チップを用いたリアルタイム	・ASSoC チップを実装し、映像・音声のリアルタイム処理電力効率 10 倍の見通し	・Intel 社 CycloneV、Microchip 社 PolarFire、および ASSoC の評価基板を製作完了

<table>
<tr><td>映像・音声処理の検討</td><td></td><td>・画像識別 AI アプリケーションの評価により間欠動作にて電力効率 10 倍の見通し確認</td></tr>
<tr><td>実施項目②-3
スマート農業を対象とした AI チップによる実時間映像解析の検討</td><td>・ASSoC チップに実装・評価
電力効率 10 倍の見通しおよびドローンでの効果の見積もり</td><td>・ステレオマッチング計測システムを搭載したドローンの製作・性能検証
・飛行実験で得られた画像を対象としたステレオマッチングの実装
・実装アルゴリズムが ASSoC の仕様を満たすことを確認</td></tr>
<tr><td colspan="3">実施項目②-4 介護介助ロボット向け AI チップの仕様策定と電源制御の検討</td></tr>
<tr><td>(a)産業用ロボット向けトルク制御器オンラインパラメータ推定機能の実装評価</td><td rowspan="2">・モータドライバ基板・筋肉制御ユニット基板・通信モジュール基板の設計

・市販 FPGA 利用 ASSoC への置換え実装・動作評価</td><td>・トルク制御器オンラインパラメータ推定用の学習ネットワークの構築完了
・推論機能を原子スイッチ FPGA に実装し、従来 FPGA に対して約 80%の消費電力削減を確認</td></tr>
<tr><td>(b) ロボット体内分散通信システム状態学習機能の AI 処理機能による実装評価</td><td>・状態学習機能を試すアームユニットの一部関節の設計改良
・ASSoC 置き換え基板の設計・製造完了</td></tr>
<tr><td>(c)多用途柔軟センサ分布ユニットの組込センサ処理・通信機能の実装評価</td><td rowspan="3">・MCU を含め ASSoC および ASFPGA への置換え実装

・バッテリーで 1 日中動作可能とする見通しを得る</td><td>・多用途柔軟センサ基板の試作完了</td></tr>
<tr><td>(d)介護介助ロボット向け AI チップ適用評価(推論開発)</td><td>・実機での路面に応じた歩行データ取得し推論アルゴリズムを開発</td></tr>
<tr><td>(e)介護介助ロボット向け AI チップ適用評価(電力評価)</td><td>・置換え基板への ASFPGA 評価により、原子スイッチ FPGA を搭載したロボット義足を 1 日中動作可能である見積もりを得た</td></tr>
</table>

4.1.4. 成果の普及

これまで 16 件の研究会・学会での講演、1 件の学会誌への発表、さらに 1 件の展示会への出展を通じて、本事業で開発した成果の普及を行った。

4.2.　研究開発テーマ「動的再構成技術を活用した組み込み AI システムの研究開発」

4.2.1. テーマ概要

FA 機器や産業/サービスロボットなどの AI 化で求められるリアルタイム性・低電力化・知覚～制御までの複合的な処理への対応を実現するため、動的再構成機能を持つ Dynamically Reconfigurable Processor(DRP) (開発項目①)をベースに、AI アルゴリズム(開発項目③)とアーキテクチャ、回路技術(開発項目②)との連携を重視した開発により、高い柔軟性を有し、かつ従来技術比 10 倍の電力性能となる推論向けシステムを開発する。さらに、現場の環境やタスクの変化にも自律的に対応可能にするエンドポイント学習システムの実現性・実用性の検討(開発項目④～⑥)や、これらを統合するツール(開発項目⑦)の開発も行う。

4.2.2. 最終目標と根拠

【推論向け AI チップ（開発項目①②③⑦）】

ロボットなどのバッテリ駆動かつ発熱による電力制約の厳しい組み込み機器(数 W 程度)において、リアルタイムかつ高度な処理（高解像画像認識・判断・制御）を DNN(DeepNeural Network)をはじめとした AI 処理で行おうとした場合、必要性能が 10TOPS(1 秒あたり 10 兆オペレーション)程度とすると、10TOPS/W の電力効率が求められる（この値は現在入手可能な AI チップのおよそ 10 倍）。本プロジェクトでは、多様な AI 処理にフレキシブルに対応できる高い柔軟性を持ちつつ、従来技術比 10 倍以上(10TOPS/W)の電力性能を有する組み込み向け AI チップの研究開発を行う。ターゲットとする電力性能比（10TOPS/W）は、現状入手可能な AI チップや、JST のプロジェクト(ACCEL プログラム「近接場結合集積技術による革新的情報処理システムの実現と応用展開」)にて開発した動的リコンフィギュラブル AI チップと比較しても、10 倍の効率化が見込まれる。

最終目標の実現課題としては、アーキテクチャが AI 向けに最適化が進んでおり、今後大幅な電力性能を実現するためには、アーキテクチャに閉じた最適化手法だけでは難しくなっている。そこで、本研究開発では、AI チップ向けアーキテクチャの開発に留まらず、AI チップの回路、アーキテクチャ、ニューラルネットワーク変換機能、ツールまでの垂直連携を重視した開発を行うことで、アーキテクチャ進化だけでは実現困難な大幅な電力削減・メモリ容量削減を実現し、AI チップ性能向上の限界を打破する。具体的には、・DRP アーキテクチャデザイン、コンパイラの技術開発・DRP 構成や軽量化を意識した先進的な単位演算（積和演算や非線形演算など）回路・アーキテクチャの開発・小フットプリント・軽量な計算を実現する DNN 変換機能の開発
・実製品への AI 組込みを容易化するツールの開発を行う。

【エンドポイント学習システム（開発項目④⑤⑥）】

エンドポイント学習システムに関しては、現状ほぼ未開拓の領域であるため、2018 年度～2020 年度における開発としては、必要な機能の見極め、理論やシミュレーションによる検証を行い、エンドポイント学習の価値の有無を判断することを目標とする。また、

DNN(Deep Neural Network)以外の小型ニューラルネットワークを使う方法についても併せて研究開発を行っていくことで、エンドポイント学習の実現可能性および適用範囲を広げる。エンドポイント学習の実装価値があると判断された場合、2021 年度～2022 年度で試作ツールを開発し、エンドポイント学習が可能であることを実証することを最終目標とする。

4.2.3. 目標の達成度

全ての実施項目（①～⑦）に対して、研究開発目標を達成した。

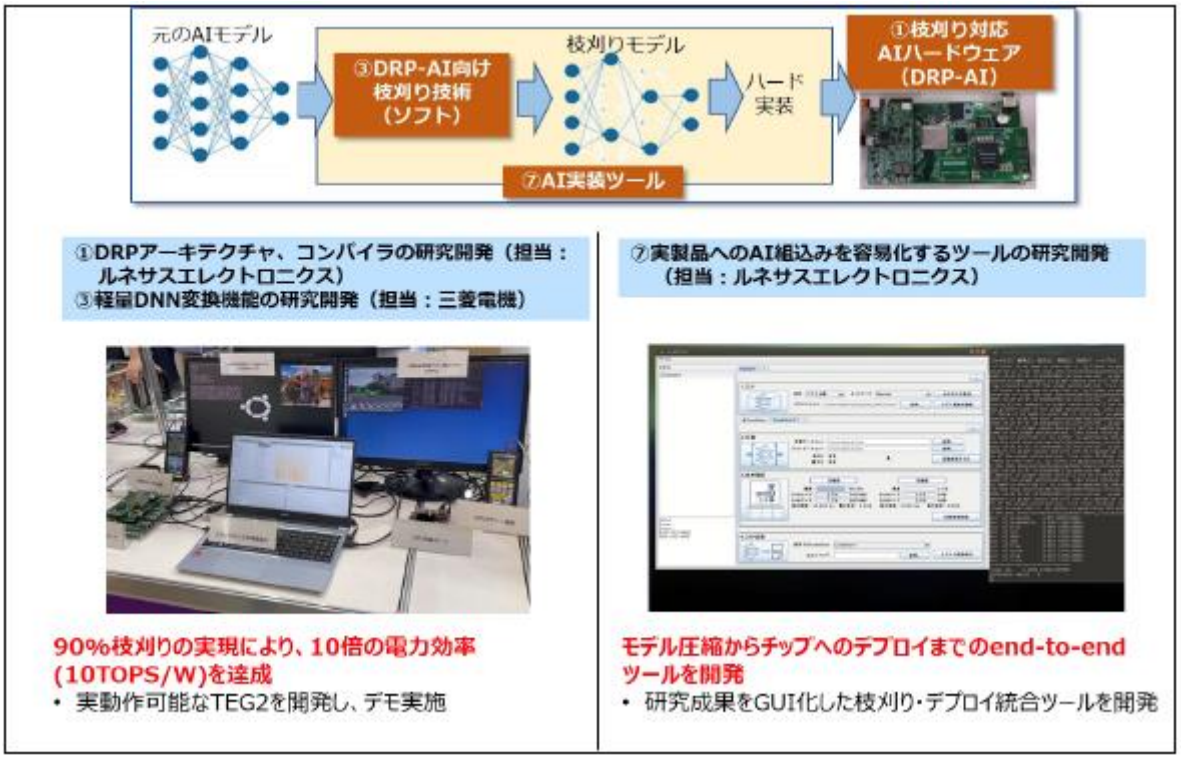
項目番号	個別実施項目(担当事業者)	当初計画の研究開発目標	達成状況と結果
①	DRP アーキテクチャ、コンパイラの研究開発（ルネサス）	ディープラーニング処理を行った際に、研究開発開始当時に入手可能な他社 AI チップの 10 倍の電力性能比(10TOPS/W)を実測動作実証	予定通り達成。 2 次 TEG 評価により、推論の 10TOPS/W 動作を実証した。
②	DRP 構成や軽量化を意識した先進的な単位演算回路・アーキテクチャの開発（東京工業大学)	超軽量・超低電力エッジ DNN 推論エンジンの設計と試作を進め、実チップ評価を行う。また国際会議に投稿する。	予定通り達成。 計画通り設計・試作・評価を進め良好な結果(サブ mW 低電力、 3-5TOPS/W) を得た。 VLSI シンポジウムに採択。
③	軽量 DNN 変換機能の研究開発（三菱電機)	DRP-AI チップに実装可能な DNN の軽量変換機能および試作ソフトウェアを開発し、DRP-AI チップと本ソフトウェアの連携により電力性能 10TOPS/W の動作実証を行う。	予定通り達成。 ソフトウェアによる INT8 量子化対応と、枝化率 90%以上の実現により目標電力性能が実現できることを確認。
④	DNN によるエンドポイント学習用ソフトウェアの研究開発（三菱電機)	エンドポイント学習に有効なアプリケーションを抽出し、ユースケースのエンドポイント学習機能、およびシミュレータの開発により、エンドポイント学習の有効性を実証する。	予定通り達成。 ターゲットアプリとして基板の外観検査を抽出。ライン稼働後のメンテナンス等の環境変化を想定 したシミュレーションでエンドポイント学習の有効性を確認。
⑤	DNN によるエンドポイント学習用ハードウェアの研究開発（ルネサ	エンドポイント学習を TEG 実証する。性能目標：約1日の学習更新(1 枚当たり約 3 秒、約	予定通り達成。 DRP を活用したバックグラウンド学習構造を開発し、約 3.8 秒、約 30,000 枚で認識率向上

	ス）	30,000 枚で学習可能）	を TEG 実証。
⑥	競合学習機構による汎用・超軽量エンドポイント学習技術の開発（SOINN）	DRP で SOINN2.0 アルゴリズムを動作させ、6 軸ロボットを制御し制御周期 2ms 及び位置決め精度±3mm を確認する。	予定通り達成。 6 軸ロボットを DRP+SOINN を使用して制御し、制御周期 2msec を達成。
⑦	実製品への AI 組込みを容易化するツールの研究開発（ルネサス）	上記①～⑥を含めた技術を統合したツールの完成、実施項目 1 で開発した 2 次 TEG による動作実証(2022 年度末)	予定通り達成。 2 次 TEG にて、ツールで生成したコードを使って動作を実証。

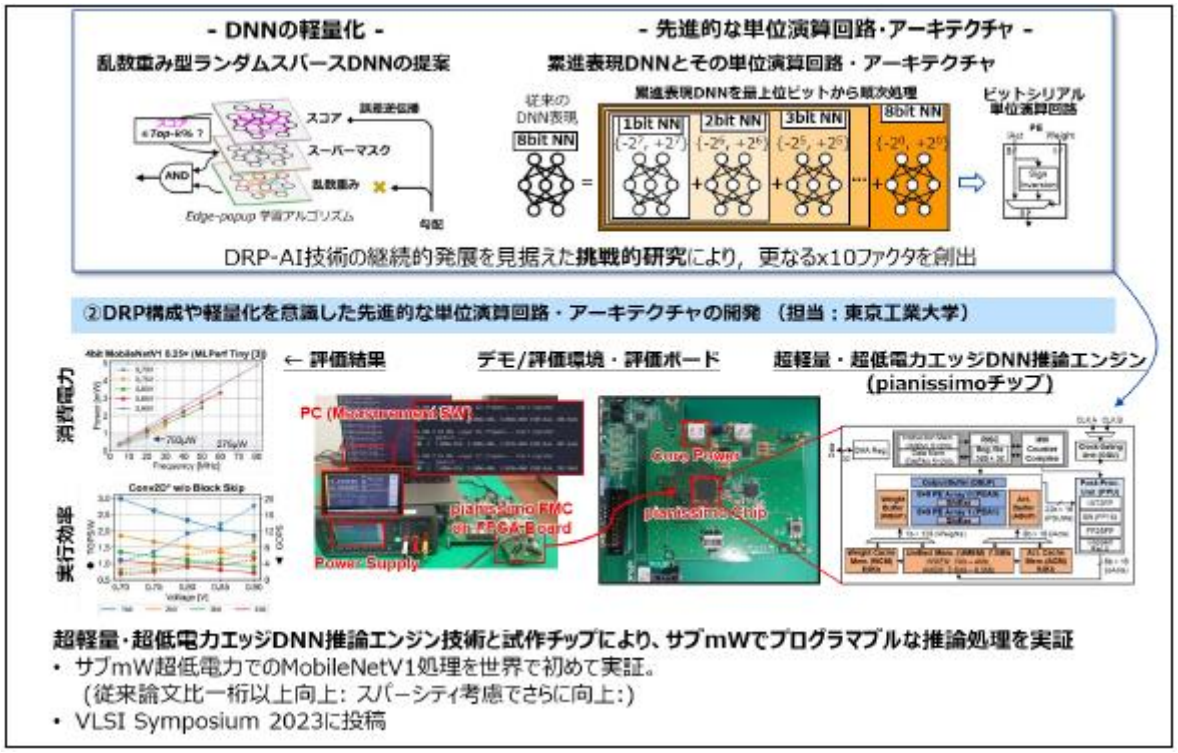
4.2.4. 成果と意義

各実施項目に関しての主な成果を以下に示す。

【推論向け AI チップ（開発項目①②③⑦）】



【図 4.2.4.1】



【図 4.2.4.2】

（成果の意義）エンドポイントのデバイスから開発ツールまでの垂直連携の効果により、従来技術比１０倍以上の電力性能が実現でき、開発ツールやライブラリも含めて容易に利用できる環境が整うことにより、・複数のセンサ信号からなる判断や画像認識を組込み機器で実行し、ロボットなどのリアルタイム制御を可能にする

・動的再構成機能により高い柔軟性を持つことで、多様な種類の入力情報、DNN のアルゴリズムを取り扱い可能とする

・組込み機器自身が判断することにより、生データをクラウドへ転送する場合に比べ大幅に通信量を削減、あるいは通信がない場合の自律を可能とする

・AI に関わる技術の進化を取り込めるプラットフォームは、AI 技術の蓄積と利活用を促進する

これらの効果により、製品のイノベーションを促し、付加価値向上、生産性向上、品質向上、省エネを実現できる。（図 4.2.4.1～図 4.2.4.2）

【エンドポイント学習システム（開発項目④⑤⑥）】



【図 4.2.4.3】エンドポイント学習システムの概要

（成果の意義）生産現場の動作環境やタスクの変化に自律的に適応していくエッジでの学習システムを構築することが可能となる。また、AI の実行を止めずにバックグラウンドで学習することや、少ないティーチング作業での教授が可能となるため、追加学習のための学習時間の確保やデータ収集の手間が大幅に削減され、現場での運用が容易になる。これらの成果の普及により、生産現場などにおいて、生産性の飛躍的な向上が実現できる。（図 4.2.4.3）

4.2.5. 成果の普及

主な成果に関して、主要な国際学会、展示会、広報などを通じて積極的に情報発信を行い、普及に向けた活動を継続的に実施している。

AI チップ動展示・NEDO との共同ニュースリリースによる国内外への情報発信製品展開に向けたエコシステム拡大・国内外企業への promotion を活性化（図 4.2.5.1）



【図 4.2.5.1】CEATEC 展示や共同ニュースリリース（ルネサス）

SOINN：展示会等で Promotion し、特にエンドポイント学習に関してニーズ把握や顧客獲得を進めている（図 4.2.5.2、図 4.2.5.3）。



【図 4.2.5.2】展示会におけるプロモーション活動（SOINN）



【図 4.2.5.3】エンドポイント学習システムの紹介（SOINN）

東京工業大学：成果が国際トップ学会（Hotchips)に採択され、記事も多数掲載（図 4.2.5.4、図 4.2.5.5）


人工知能ニュース:

実効効率で世界トップクラスのエッジAIプロセッサアーキテクチャ、東工大が開発

https://monoist.atmarkit.co.jp/mn/articles/2108/24/news067.html

NEDOと東京工業大学は、エッジ機器で高効率なCNN（畳み込みニューラルネットワーク）による推論処理が可能なプロセッサアーキテクチャを開発したと発表した。同プロセッサアーキテクチャに基づく大規模集積回路（LSI）も試作し、「世界トップレベル」となる消費電力1W当たりの処理速度で最大26.5TOPSという実効効率を確認している。

2021年08月24日 06時30分 更新

[朴尚洙, MONOist]

NEDO（新エネルギー・産業技術総合開発機構）と東京工業大学は2021年8月23日、エッジ機器で高効率なCNN（畳み込みニューラルネットワーク）による推論処理が可能なプロセッサアーキテクチャを開発したと発表した。同プロセッサアーキテクチャに基づく大規模集積回路（LSI）も試作し、「世界トップレベル」（ニュースリリースより）となる消費電力1W当たりの処理速度で最大26.5TOPSという実効効率を確認している。今後は、ス

【図 4.1.5.4】NEDO と共同のニュースリリース（東工大）


TECH+ Powered by マイナビニュース

企業IT　テクノロジー　Members+

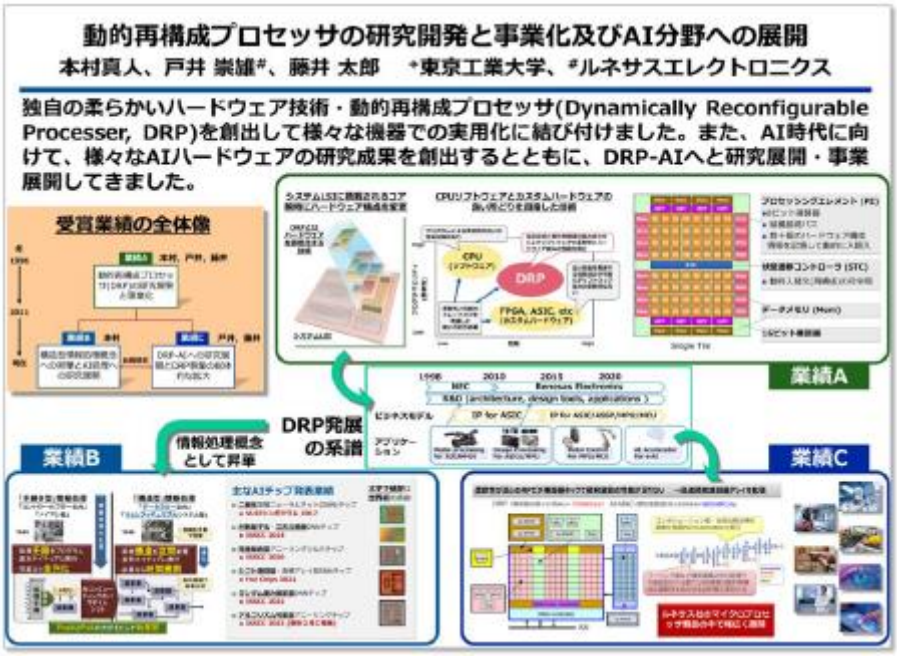
エッジで高効率AI処理が可能なプロセッサ、東工大などが開発 - Hot Chips 33

2021/08/24 20:32 2021/08/24 21:47

新エネルギー・産業技術総合開発機構(NEDO)と東京工業大学(東工大)は8月23日、スマートフォンやロボットなどのエッジ機器において、高効率な畳み込みニューラルネットワーク(CNN)推論処理を行うプロセッサアーキテクチャを開発し、それを用いたLSIを試作。実測で最大26.5TOPS/Wの実効効率を達成したことを発表した。

【図 4.2.5.5】Hot Chips 33 採択記事（東工大）

DRP に関して、東工大とルネサスエレクトロニクス共同で、2022 年度山﨑貞一賞を受賞（図 4.2.5.6）。



【図 4.2.5.6】2022 年山崎貞一賞受賞（東工大とルネサス共同）

4.3.　研究開発テーマ「FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」

4.3.1. テーマ概要

(a) 研究開発の概要

株式会社 Preferred Networks（以下 PFN）・神戸大学・理化学研究所（以下理研））が開発を進めてきた可変精度演算コアと、最近急速に発展したカスタム LSI (ASIC) 用の FPGA IP を組合せることで、専用演算回路の高い電力性能と FPGA の柔軟性をあわせもつ、エッジ AI 向けのチップを開発し、それを使うことでまだ高コストであり消費電力も大きいロボティクス応用の飛躍的な普及を実現することである。

可変精度演算コアでは、 INT8 相当から FP64 までの広い範囲で、消費電力、チップ面積を抑えつつ、演算能力が語長の 2 乗に反比例する回路を実現する。これにより、INT8 相当では FP64 の 64 倍の電力性能を実現し、7nm テクノロジーを使った場合で 10 Tops/W、5nm テクノロジーでは 20Tops/W 程度を達成する。

さらに、これらの演算コアを固定されたチップ内ネットワークではなく、最近急速に進歩し、高性能・大規模な回路を実現可能になった FPGA IP で結合する。再構成可能な FPGA IP で演算コア以外の回路を構成することで、専用回路では困難なネットワーク圧縮等への対応を可能にするだけでなく、通常ならば CPU コアによるソフトウェアで実現される部分を FPGA IP によるハードウェアに置き換えることで画期的な高速化、特に低遅延化を実現し、エッジでのリアルタイム応用を可能にする。

これにより、ロボティクスを始めとするあらゆるエッジでの深層学習応用で、消費電力を大幅に削減するだけでなく、応答時間の短縮を実現し、深層学習の応用範囲を飛躍的に広げる。

(b) 背景

人工ニューラルネットワークの研究開発は 2010 年代にはいって飛躍的な発展をとげ、様々な分野への応用がひろまりつつある。これは、計算機の能力の飛躍的な発展を背景とした、「深層学習」、すなわち、非常に層数も層毎のニューロン数も多い、深層ニューラルネットワークが可能になったこと、そのような深層ニューラルネットワークを学習させるのに十分な教師データが様々な分野で利用可能になったことによっている。

言い換えると、現在の深層学習は、非常に大規模なデータを大規模な計算機クラウドで処理することで学習を実現している。しかし、このアプローチには明らかな限界がある。ネットワークのデータ転送能力とクラウドの処理能力である。「超スマート社会」の基盤となるのは AI によって制御されるロボットが社会・産業のあらゆる面の基盤技術となっていくことだが、そのためにはエッジ側の極めて多様な状況に各デバイスが迅速に対応する必要がある。これは、エッジ側での学習によって初めて実現できる。

現状では、深層学習向けプロセッサの研究開発は、クラウド向けの学習までをターゲットにしたデバイスの研究開発と、エッジでの推論だけを対象にしたデバイスに分化している。これは、エッジ側では既に学習済みのネットワークを利用し、学習はデータを集積したクラウドで行うことを前提にしている。しかし、これは、エッジ側の極めて多様な状況に対応することは困難であることを意味する。

このため、自動運転等の応用には、学習にも対応できる柔軟性をもったプロセッサを使うのが主流である。例えば、NVIDIA Xavier は TSMC の最新の 12FFC プロセスを使って INT8 演算で 30TOPS、30W、すなわち 1Tops/W を実現したとしている。 Xavier は、Volta と同一設計の演算コアを使っており、推論・学習の双方に対応可能である。一方、開発当初は Intel が買収した MobileEye は、2020 年頃に 7nm テクノロジーの EyeQ 5 で、2.4 Tops/W を実現するとしていた。

これらから、2018 年（課題採用時）での、エッジ側の主要な応用での電力性能は 1Tops/W 程度とみることができる。言い換えると、本プロジェクトの目標である

<最終目標(2022 年度)>

・開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、10 倍以上となることを示すには、最低 10Tops/W 程度の性能を実現する必要がある。

エッジにおける AI プロセッサの社会実装には、絶対性能や電力性能の向上は不可欠である。

提案では、主たる応用としてロボティクスを想定している。ロボティクスにおいて重要なタスクになるのは物体検出である。物体検出とは、画像から物体の位置とその物体の分類を行うタスクであり、高度な作業を行うロボットの実現に不可欠である。物体検出の産業用ロボットへの需要の高い応用例として、乱雑に機械部品の入った箱から部品の位置を特定し、その部品を生産ラインに流すタスクが挙げられる。このタスクにおいては物体検出の速度が全体のボトルネックとならないだけの性能を確保する必要がある。家庭用ロボットについても同様に、物体を検出して移動させるタスクの需要は高い。家庭用ロボットが人間とインタラクションすることを考えると、応答速度が使いやすさを左右する。物体検出の高精度なネットワークとして知られる SSD (Single Shot Multibox Detector) を Full HD 画像に適用したときの計算量は 0.7Tops である。NVIDIA Xavier はこれを 20ms 程度で計算できる可能性があるが、物体検出のためだけに 350 平方ミリのチップを利用するのは経済的ではない。また、消費電力も、30W は家庭用ロボットには過大である。すなわち、シリコン面積、消費電力ともに、1 桁以上の向上が必須である。自動運転においても状況は同様である。自動運転の実現には、リアルタイムなセマンティックセグメンテーションを行う能力が必要である。セマンティックセグメンテーションは、入力画像に何が映っているかの分類をピクセルごとに行うタスクである。自動運転車は、車載カメラが撮影した画像に対してセグメンテーションを行い、画像のどこに歩行者が写っているのかといった情報を得る。遠くの物体を認識する必要があるため入力画像は高解像度、例えば Full HD になり、画素数に応じた計算能力が必要とされる。フレームレートが 30fps の Full HD 画像に対し、セグメンテーションの高精度なネットワークとして知られる PSPNet を適用すると、必要な演算性能は 140Tops/s となる。つまり、1Tops/W のプロセッサでは 140W もの電力を消費することになる。加えて、路上の危険な状況への迅速な対応のために低遅延でセグメンテーションを行う必要があるため、応答時間を短くするための演算性能も重要である。自動車が供給できる電力には限りがあり、冷却の問題もあることを考えると、現在の技術では自動運転に必要とされるリアルタイムなセグメンテーションの実現は困難である。逆に、140 Tflops 程度の能力を 14 W 程度で実現することで自動運転のためのセマンティックセグメンテーションを行うシステムが実現できる。

一方、電力性能の向上は、近年困難になってきている。これは、いわゆるムーアの法則の限界によるものである。半導体の製造技術は、2010 年前後まではほぼ 3 年毎にデザインルールが半分になる指数関数的な進歩を続けてきたが、ここ 10 年の進歩は遅くなっている。これは、22nm 前後からトランジスタの構造がプレナーから FinFET に変わり、またリソグラフィも 7nm では ArF レーザーから EUV に切り替わる等、技術的ハードルが高くなっているためのである。

さらに、トランジスタサイズが小さくなっても、動作電圧を下げられなくなってきているため、半導体製造技術の進歩が消費電力の低下につながらなくなってきている。
すなわち、本事業で目標とされている、現在の 10 倍以上の電力性能の向上、さらにはそれを超えた電力性能を実現するには、半導体の性能向上に期待するだけでは十分ではなく、新しいアプローチで消費電力を削減する必要がある。

また、エッジでの多様な応用の開発を困難にする要因として大きなものは、半導体の開発コストの高騰である。この 30 年ほどの間、LSI の開発コストはデザインルールの縮小にほぼ反比例した指数関数的な上昇を続けてきており、7nm プロセスでは数十億円になる。このため、エッジ向けで大規模な大量生産が期待できる場合ですら、最先端のプロセスの利用は困難になってきている。

これらの困難の解決を目指すアプローチの一つは、再構成可能回路、いわゆる FPGA の利用である。FPGA は、チップ内部の論理素子(通常 SRAM によるルックアップテーブルで実現)とネットワークをプログラム可能にすることで、大量生産できる標準品で任意の論理回路を実現する技術である。FPGA を AI エッジコンピューティングに応用する研究は多数ある。

一方、FPGA 技術の問題は、プログラム可能にするために同じ規模の回路の消費電力とシリコン面積が大幅に増加することである。このため、内蔵されている基本素子を使う実装では、データ表現を 1-2 ビット程度まで落とさなければ汎用の GPGPU コアに基づいた回路に比べて有利にならない。ある程度の規模の乗算器を内蔵した信号処理向けの FPGA チップも存在するが、シリコン面積に対して乗算器ブロックの割合がそれほど大きくないため、必要な性能を実現するには極めて高価かつ消費電力も大きなものになる。

(c) 必要性等

現在 AI エッジコンピューティングで柔軟な処理を実現することの障害になっているのは、ソフトウェアで柔軟な処理が可能な GPGPU ベースの技術では必要な電力性能が実現できておらず、一方ハードウェア再構成によって柔軟性を実現する FPGA では学習処理に必要な計算精度・計算能力を低コストで実現することは難しいということである。
ソフトウェアでプログラム可能なシステムでは電力性能を画期的にあげるのは難しい。また、エッジで必要になるリアルタイム性を実現するのも困難である。このため、柔軟なハードウェアの再構成が可能な FPGA に基づいた技術で、学習処理等に必要な高い電力あたり性能を実現することが必要になっている。

このためには、高い電力性能を実現できる演算コアと、柔軟な処理を実現できる再構成可能回路を融合することが必須であると考えられる。従来はこのようなアプローチは困難であった。これは、FPGA が少数のチップ専業メーカーの独占技術であり、カスタム LSI 向けの IP では市販 FPGA 並みの回路密度・速度を実現できなかったためである。この状況は近年急速に変化し、Achronix、FlexLogix、Menta、QuickLogic などの複数の IP ベ

ンダーが eFPGA と呼ばれるカスタム LSI 向け FPGA IP を提供している。これらを利用し、高効率な演算コアと FPGA IP を融合させることで、エッジでの AI に必要な柔軟かつ高速な処理を実現できる。

我々は、半導体技術としては既に最先端ではない TSMC の 40nm プロセスを利用して、同じ TSMC の現時点での最先端プロセスである 12FFC によって製造された NVIDIA Xavier とほぼ同等の電力性能を実現した ((推測する最高性能値として) Xavier が FP16 では 0.5Tops/W 、それに対して我々も 0.5Tops/W)。これは、同等な半導体技術であれば 3 倍程度我々のアーキテクチャのほうが電力性能が高いことを意味する。これは、演算精度を犠牲にしたものではなく、演算方式やデータパスの深層学習アプリケーション向けの最適化によって実現されているものである。最適化の具体的なものは、行列ベクトル積に特化した回路による演算器自体の無駄の削減、レジスタ・メモリ等の消費電力の削減(特許出願中)、チップ内での放送・縮約を可能にするネットワークによるデータ移動に伴う消費電力の削減(特許取得済)等である。

また、我々は、人工知能ソフトウェア技術の開発、実社会・産業への応用を事業の中心とする企業であり、自社開発の深層学習フレームワークは世界最高レベルの性能を発揮し、国内外で様々な応用に実際に使われている。このため、開発したプロセッサをただちに産業応用に適用でき、大きな波及効果を実現できる。

(d) 全体計画

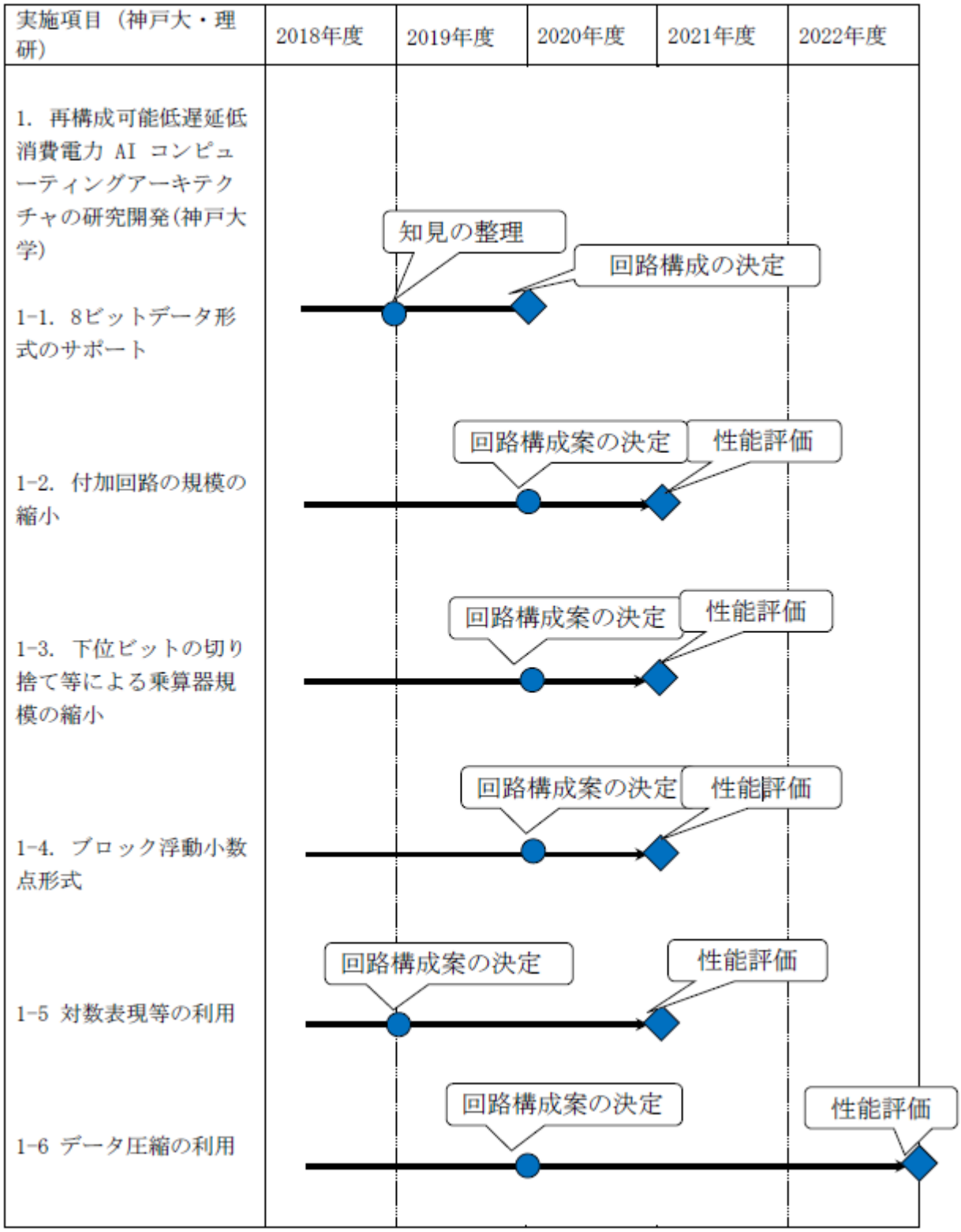
以下に 開発当初の計画を示す。

本研究開発の目標は、エッジにおける深層学習応用のためのプロセッサ、特に、ロボティクス等のリアルタイム処理に十分な能力と学習に対応できる柔軟性をもつプロセッサとその利用のために必要なソフトウェアを開発することである。エッジにおける深層学習の第一の障害は消費電力であり、第二はリアルタイム性能であるため、本研究開発では、現在実際にシリコンが存在していると見られるチップの中では最高の電力性能を実現している NVIDIA Xavier チップの 1Tops/W の 20 倍以上の電力性能を実現することで、深層学習の応用範囲を飛躍的に拡大することを目標とし、さらに、演算コア以外の部分を再構成可能論理で構築することで、従来のプロセッサではソフトウェアで実現する必要があった部分をハードウェアで実現することを可能にする。

さらに、プロセッサ開発だけではなく、このプロセッサのためのソフトウェア開発も並行して進める。このため、エッジ・クラウドの双方でソフトウェア開発を進められる体制を構築する。このため、このプロセッサに Chainer フレームワークを移植し、これまでのソフトウェアの蓄積を利用して様々な人工知能応用を進める。

2017 年度までの NEDO 先導研究「次世代人工知能・ロボット中核技術開発／（次世代人工知能技術分野）大規模目的基礎研究・先端技術研究開発／超低消費電力深層学習プロセッサおよびソフトウェア層の研究開発」で開発したアーキテクチャをベースに、さらに改良・省電力化を進めたプロセッサアーキテクチャを設計し、まず 2020 年に製造可能になると考えられる TSMC 5nm (N5) プロセスで 10 Tops/W を実現できるプロセッサを開発する。さらに、2022 年度時点で利用可能なプロセス技術と、アーキテクチャのさらなる改良で、 15-20Tops/W を目指す。実効的な性能としては、柔軟なハードウェアによりネットワーク圧縮等を実現することで、さらなる消費電力の減少をめざす。
これに並行して、実際の産業・社会応用を進める。

表 4.3.1 実施項目毎の線表



4.3.2. 最終目標と根拠

以下に研究開発の目標、設定根拠について述べる。

（1）研究開発目標

【アウトプット目標】

① 実施項目毎の目標の詳細

No	実施項目	担当	中間目標（2020 年度末）	最終目標（2022 年度末）	目標の設定根拠
1	再構成可能低遅延低消費電力 AI コンピューティングアーキテクチャの研究開発	神戸大・理研	8 ビットデータ形式のサポート、付加回路の規模の縮小等の改良項目の評価を行い、コア部分のアーキテクチャを確定する。さらに、eFPGA でのチップ構成方法を確立する。	40nm テクノロジー相当で 2Tops/W の性能を実現できることを実証する。	この数値は 2018 年時点の自動運転用プロセッサ(7nm で実現)の 2 倍程度であり、40nm での実現には技術的な飛躍が必要だが、我々が既に実現した数値からは 4 倍程度であり、演算方式等の改良で十分実現可能と考える。
2	再構成可能低遅延低消費電力 AI プロセッサチップの研究開発	PFN	実施項目 1 で開発したアーキテクチャを使い、7nm プロセスを想定した場合に 15Tops/W の性能を実現する。	中間目標までに開発したプロセッサをさらに改良し、プロセスの性能向上も合わせて 20Tops/W 以上の性能を実現する。	2018 年の水準に比べると同等のテクノロジーで 10 倍以上の電力性能に相当するが、実施項目 1 の数値から、半導体の性能向上を考慮すれば実現可能となる。
3	ソフトウェアフレームワークの開発	PFN	ソフトウェア開発項目・ミドルウェア構成を明確化する。	フレームワークを実際に利用した応用ソフトウェアを動作させる。	ソフトウェアを動作させることが目標であり、数値目標は設定しない。
4	ロボティクス応用のためのソフトウェア開発	PFN	応用対象、ソフトウェアの構成を決定する。	開発したプロセッサ、フレームワークを実際に利用した応用ソフトウェアを動作させる。	ソフトウェアを動作させることが目標であり、数値目標は設定しない。

② 提案事業の最終目標（2022 年度末）及び基本計画との合致性

提案全体計画における目標達成度評価	技術レベル	エネルギー消費効率/電力効率	技術・性能に係る目標
基本計画中の研究開発目標の該当項目（１．（２）①）	NVIDIA Xavier 相当（半導体は 12FFC)	1Tops/W	事業開始時点における同等の技術と比較し、10 倍以上 提案事業の最終目標
本テーマの最終目標	TSMC N5 を想定	20Tops/W	事業開始時点における同等の技術の 20 倍を実現

【アウトカム目標】

① 提案事業の 2037 年温室効果ガス排出削減効果への貢献

基本計画中の研究開発の目標の該当項目	研究開発を幅広く実施することにより生まれた成果が社会に適用されることで、2037 年時点における CO2 削減効果が事業全体として年約 4,900 万 t を実現し得ることについて、要素技術レベルの成果を踏まえた見通しを確認する。
2037 年時点における CO2（温室効果ガス）削減効果	年間 1220 万 t
CO2 削減効果の達成見込みの確認方法・形態（予定）等	本提案によるプロセッサが目標通りの電力性能を実現できることの確認をする。

提案事業範囲：ロボティクス応用及びサービスクラウドのハードウェア

- 事業を実施しなかった場合のシナリオ： クラウドのハードウェアプラットフォームの市場規模が、2021 年度で 2000 億円、2030 年度で 5000 億円との予想があり 2037 年には 1 兆円に達するものと推測される。現状のプロセッサでは、ハードウェアコストと電力コストは同等になってきており、ほぼこの程度の電力コストになると想定される。これは電力量として年間 700 億 kWh である。
- 事業を実施しなかった場合の温室効果ガス排出量（万 t/年）：年間 700 億 kWh は 温室効果ガス排出量として 3400 万 t/年にあたる。(排出係数として 0.000512tCO2/kWh、電力単価として 15 円/kWh を仮定した)
- 事業を実施した場合のシナリオ：国内で 2037 年までに、本研究開発による技術、あるいはそれにならって電力性能を向上した技術が市場の 50%程度で使われるようになると想定する。本研究開発では、将来にわたって競合技術と同等の半導体技術を利用した場合に、現在の延長である競合技術に比べてほぼ 10 倍の電力性能の向上を実現する。言い換えると、温室効果ガス排出量は 1/10 になる。
- 事業を実施した場合の温室効果ガス排出量（万 t/年）：前項シナリオから、40%の部分が 4% になるので、全体では 64% になり、2180 万 t/年となる。
- 温室効果ガス排出削減効果量（万 t/年）：事業を実施しなかった場合の温室効果ガス排出量（万 t/年）－事業を実施した場合の温室効果ガス排出量（万 t/年）

- 事業を実施しなかった場合の温室効果ガス排出量（万 t/年）－事業を実施した場合の温室効果ガス排出量（万 t/年）であり、3400 万 t/年 - 2180 万 t/年 = 1220 万 t/年となる。

提案研究開発テーマに係わる 2027 年度、2032 年度、2037 年度時点における市場獲得規模は以下のとおりである。

	2027 年度	2032 年度	2037 年度
市場規模	AI ロボティクス及びサービスクラウドプラットフォーム市場 3 兆円	AI ロボティクス及びサービスクラウドプラットフォーム市場 5 兆円	AI ロボティクス及びサービスクラウドプラットフォーム市場 6 兆円
市場シェア	5%	10%	20%
提案事業成果による市場獲得規模	1,500 億円	5,000 億円	1 兆 2500 億円

③ 本研究開発によって想定されるその他のアウトカム

深層学習・人工知能応用だけでなく、ビッグデータ処理、データ同化、シミュレーション等のあらゆる高性能計算が要求される分野で、発展の妨げとなっている消費電力の増大の問題を解決し、シミュレーションと実験・観測が一体となった新しい科学の発展に寄与する。

（2）研究開発目標の設定根拠

競合技術、既存技術との比較表

技術名称	技術保有者	年月	性能①(電力性能) Tops/W	性能②（チップ面積あたり（NVIDIA Volta を 1 とする））	ｴｺｼｽﾃﾑ、ﾋﾞｼﾞﾈｽﾓﾃﾞﾙの強み	全体市場規模（兆円）	獲得市場規模と市場シェア(%)	総合評価（LD、DH 、RA）
提案技術	本技術（現状）	2018/6	0.5	1	△	0.3	0	RA
	本技術(事業終了時)	2023/6	7	10	△	1	2	LD
	本技術(実用化時点)	2025/4	7	10	○	0.5	3	LD
	成果普及段階	2027/4	15	30	○	2	5	LD
NVIDIA 社 (GPGPU 技術)	NVIDIA（現状）	2018/6	0.1	1	○	0.3	95	RA
	NVIDIA（事業終了時)	2023/6	0.5	3	○	1	95	RA
	NVIDIA（実	2025/4	1.0	5	○	1.5	90	RA

	用化時点)							
	成果普及段階	2027/4	2	10	○	2	90	RA
Intel 社 (LakeCrest 技術)	Intel（現状）	2018/6	0.05	0.5	△	0.3	0	RA
	Intel（事業終了時)	2023/6	0.25	1.5	△	1	1	RA
	Intel（実用化時点）	2025/4	0.5	2.5	△	1.5	1	RA
	成果普及段階	2027/4	1	5	△	2	1	RA

・当該技術の世界における競争力について RA（Run After）、DH（Dead Heat）、LD（Leading）で記載

最終目標は、最終目標時点で利用可能な 5nm テクノロジー の次の世代テクノロジーで製造した場合に 10Tops/W 程度を実現できるアーキテクチャの AI プロセッサを設計、その性能を実証し、ロボティクス応用ソフトウェアを動作させることである。

4.3.3. 成果と意義

実施項目①再構成可能低遅延低消費電力 AI コンピューティングアーキテクチャの研究開発
(国立大学法人 神戸大学)

電力性能向上のための回路方式の検討

本項目の目標は、

- 同一の半導体技術・動作電圧において、我々が既に開発した 40nm プロセスでの 0.5Tops/W を最低 4 倍程度向上させることである。このため、以下のような回路構成を検討した。

1. 16 ビット浮動小数点数の他、語長 8 ビットのデータ形式をサポートする
2. 演算結果は丸められることを考慮し、精度に影響しない部分は切り捨て等の処理を行う
3. 行列乗算器の入力単位では指数を共通にする(ブロック浮動小数点形式)ことで、回路規模・消費電力を下げる
4. 対数変換等の非線型変換を用いて乗算回路の回路規模を小さくする
5. 外部メモリとのデータ転送にデータ圧縮を利用する
6. 2021 年度には第 1 世代 Chip の結果をフィードバックする
7. 2022 年度には、深層学習以外の分野への適用可能性を考慮したアーキテクチャの改良を検討する

(1)については、固定小数点 8 ビットは乗算器の規模はある程度小さくなるが、入力のダイナミックレンジが小さくなるために利用困難であるとわかった。このため、通常の FP16 よりは仮数部を短くすることで、電力効率を向上させた。

(2) については、単精度、倍精度についてこの方法を適用して、有意に計算精度が落ちないことを確認した。これによって、単精度、倍精度の性能を大きく落とさずに回路規模を大きく縮小できた。
(3) ブロック浮動小数点形式は、特に半精度で大きく回路規模を削減できた。
(4) 対数変換については、半精度だけで確かに大きく回路規模を削減できることがわかった。しかし、人工知能応用だけに限っても、単精度が必要な部分もあるため、採用はしていない。
(5) データ圧縮については、特に 16 ビット語長の場合に大きく圧縮できる可能性があることを確認した。今後の採用を検討する。
(6) フィードバックとして、さらに電力性能を向上させるための検討をおこなった。このためには、基本的に演算論理回路の消費電力に比べてレジスタ・メモリアクセスの消費電力を減らす必要がある。また、実用になる範囲でより短い語長にすることで演算自体の消費電力を削減することも重要である。

前者の検討として、行列サイズを大きくすることを検討した。その方法として、物理的に大きな行列演算器を構成する方法と、小さな行列乗算器を時分割動作させる方法を検討した。特に動作クロックを高く維持することが必要な場合には後者が有利となる。半導体面積あたりの性能が重要となる今後は時分割動作の検討が必要とわかった。

(7) 深層学習以外の分野への適用可能性を考慮したアーキテクチャの改良については、まず適用可能性の検討のため、アプリケーション向けのコンパイラを開発した。今回開発したものは、OpenCL のような汎用環境ではなく、粒子間相互作用計算に特化した DSL(ドメイン特化言語) である。 DSL とした理由は、言語仕様を小さく保つことと、高度な最適化を容易にすることである。

本プロセッサアーキテクチャでは、通常の汎用プロセッサでは必須となる多ポートレジスタの利用を避け、複数のメモリブロックを機械語レベルでオペランドとして選択する。この方法によって低消費電力と高いレジスタアクセスバンド幅を実現している一方、変数割り当ての自動化が困難で人手による変数割り当てが必要であった。

今回、変数割り当てに対してシミュレーテッドアニーリングによる最適化を行なうことで、短時間(CPU で 1 秒程度)の試行で理論的限界の近くまで最適化されたコードを生成できることがわかった。このことは、本プロセッサアーキテクチャが深層学習以外の一般的な数値計算にも十分適用可能であり、最適化コンパイラの開発も短期間で行なうことができることを実証できたということである。

実施項目②再構成可能低遅延低消費電力 AI プロセッサチップの研究開発
(株式会社 Preferred Networks)

第 1 世代 Chip の ES 製造及びその電力性能評価

本項目の目標は、実施項目①の成果に基づき、そのアーキテクチャを実装したプロセッサチップの開発を行い、利用可能なテクノロジーと実際のアプリケーションでの効率・電力性能を考慮し、プロジェクトの目標である 7Tops/W という高い電力性能を実応用で実現することである。

第 1 世代 Chip の機能検証及び電力性能評価の結果および第 2 世代 Chip の設計製造については以下の通りである。

- 第 1 世代 Chip 機能検証及び電力性能評価結果サマリー

  1. GDDR6 インターフェイス機能
  2020 年度から継続して評価を実施した。評価の過程にて GDDR6 コントローラの初期化ステップに一部冗長な部分があることがわかり、初期化プログラムの修正を行った。この結果 GDDR6 インターフェイスについては機能的に必要十分な帯域でエラーなく動作することが確認できた。
  2. 演算器機能
  評価ボードを用いた第 1 世代 Chip 内の行列演算器コアの電力性能の計測を実施した。演算器コアを 0.55v 610Mhz で動作させた場合に 8.55 TFlops/W の電力性能であることを確認した。

- 第 2 世代 Chip の設計製造サマリー

  第 1 世代 Chip にて実装した行列演算器コア(MAU)を 5nm テクノロジー半導体での実装を行った。
  実装を行うために、MAU を切り出し周辺回路の追加を実施した。

  合わせて電力性能の向上や動作周波数向上を目的とした回路修正も実施した。
  回路変更にともなって動作検証を行うための環境およびテストパタンの生成、パタンを使った機能動作検証を行い問題ないことを確認した。
  その後、ASIC ベンダーへ回路(RTL)をリリースして、物理実装を行った。物理実装の過程で発生したパフォーマンスの課題などについて ASIC ベンダーからフィードバック情報をもらい回路(RTL)のブラッシュアップを行い、2022 年 10 月に Tape Out を完了した。
  Tape Out のときの設計データを用いたシミュレーションによる電力性能の値が 0.65v 1.1Ghz 動作で 8.44 TFlops/W であることを確認した。
  TapeOut 完了後、第 2 世代 Chip の評価を行うための評価基板設計を ASIC ベンダーとともに進め 2023 年 1 月に完了した。
  これと並行して評価基板で用いるテストパタンについても準備を行った。
  2023 年 3 月に TSMC から ASIC ベンダーに第 2 世代 Chip の ES が納品され、評価基板を使った評価を開始した。

準備したテストパタンにて動作検証を行い機能には問題ないことを確認し、その後 MAU の電力性能が動作電圧 0.60V、動作周波数 950Mhz 時 11.26TFlops/W であることを確認した。

現状では、 eFPGA は数値演算は実装可能であるが、高速動作は難しい。これは基本セル自体の特性によるもので、FPGA チップと同様の傾向である。
ステートマシン等の、制御回路の実装には適している。これは、我々の設計では制御回路は高速動作が必要ではない(命令生成は 4 クロックに 1 度のため)であることも理由である。
大バンド幅でのデータ移動の実装には適していない。これは配線リソースの不足のためである。
という特性をもつことが確認できた。また、我々の設計においては、命令生成等の制御部はチップ全体で 1 ユニットあればよいため、面積効率や電力効率よりも柔軟性が重要だが、演算部は分散して多数実装されるため、面積効率や電力効率も問題となる。このため、今回は特に制御部、具体的には命令生成ロジックの部分を eFPGA を使った実装にしている。

現在のところ、ホストから圧縮した命令を送り、これを展開して供給するロジックが実装され、必要バンド幅を半分程度に減らすことができている。また、命令生成自体を eFPGA 内部に実装したシーケンサで行なうことで、繰り返し構造を実行し、ホストからの実行時の命令供給をほぼ不要とすることも可能である。

ループ構造の実現は CPU を埋め込んでソフトウェアで命令列を生成することでも原理的には可能であるが、汎用性を高くすると非常に強力な CPU が必要となる。これは現実的とはいいがたく、大規模 SIMD プロセッサでは eFPGA によるシーケンサベースの実装が極めて有用であることが確認できた。

実施項目③ソフトウェアフレームワークの開発
(株式会社 Preferred Networks)

本項目の目標は、実施項目②で開発したプロセッサで利用できる深層学習ミドルウェアの研究開発を行い、利用可能なテクノロジーと実際のアプリケーションでの効率・電力性能を考慮した上でプロジェクトの目標である 7Tops/W という高い電力性能を実応用で実現することができるミドルウェアの開発を行うことである。

深層学習ミドルウェアの検討においては、深層学習ワークロードをカスタムプロセッサで動作させるために、市中に存在する深層学習フレームワークの調査及び本研究開発におけるアーキテクチャの特性の両側面から特に必須となるランタイム要素について抽出し、アセンブラやソフトウェアエミュレータ、実機及び検証用に活用可能なランタイムソフトウェアなどの開発を行った。加えて、本研究開発におけるプロセッサの eFPGA 機能をソフトウェアから利用するために必須である命令切り替え機能の実装及びソフトウェアからの活用も行った。研究開発の結果、試作を行ったソフトウェアフレームワークを用いて実際

の第 1 世代 Chip 上でワークロードを動作させることができることを実証した。加えて eFPGA 機能についても Workload ごとのハードウェア高速化をソフトウェアから利用可能であることを実際に確認した。

また、eFPGA を活用した命令圧縮アルゴリズムを検討・実装し、eFPGA の評価を実施した。eFPGA を使用した場合に想定した周波数の 1/2 程度の速度でしか命令供給部が動作しないことがわかったものの、eFPGA 上で物体検出手法プログラムの推論コアが動作することを確認した。eFPGA を活用した命令圧縮アルゴリズムでは、ホスト上でサイクル方向に類似な命令を圧縮することで命令サイズを 426bit から 292bit に削減し、命令転送に必要なバンド幅を約 68%に削減できることを確認した。

実施項目④ロボティクス応用のためのソフトウェア開発
(株式会社 Preferred Networks)

本項目の目標は、実施項目②で開発したプロセッサおよび実施項目③で開発したミドルウェアを利用したロボティクス応用のための物体検出ソフトウェアを開発し、実際のロボティクス応用のための物体検出システムに組み込みその性能を測定することである。

本実施項目においては、実際にエッジのロボティクスに本プロセッサを応用するための研究開発として、(1)本計画で開発するチップ上での具体的なニューラルネットワークの実装検討および実装と、(2)ソフトウェアの観点からのハードウェア仕様要求を行った。
第 1 世代 Chip の試作完了後、実際に試作コンパイラを用いた物体検出アプリケーションの実装を行った。実装を行った結果、ロボティクスにおける実応用において必要なレイテンシ(10ms 以下)を実チップにおいて安定的に達成することを確認できた。加えて、第 1 世代 Chip が持つ eFPGA 機能を用いること事で、実際のロボティクスワークロードにおいて実行性能の大きな劣化無く、命令サイズを 68%にコンパクト化できることを実際に確認した。

これら結果により、実施項目②で開発を行ったプロセッサにおいて実用的なロボティクスアプリケーションを実行可能であることを確認できた。

4.4.　研究開発テーマ「5G 時代を見据えた高度自律的学習機能搭載のための AI エッジコンピューティング技術の研究開発」

4.4.1. テーマ概要

図 4.4.1.1 に本研究開発全体像と研究開発実施項目との関連図を示す。

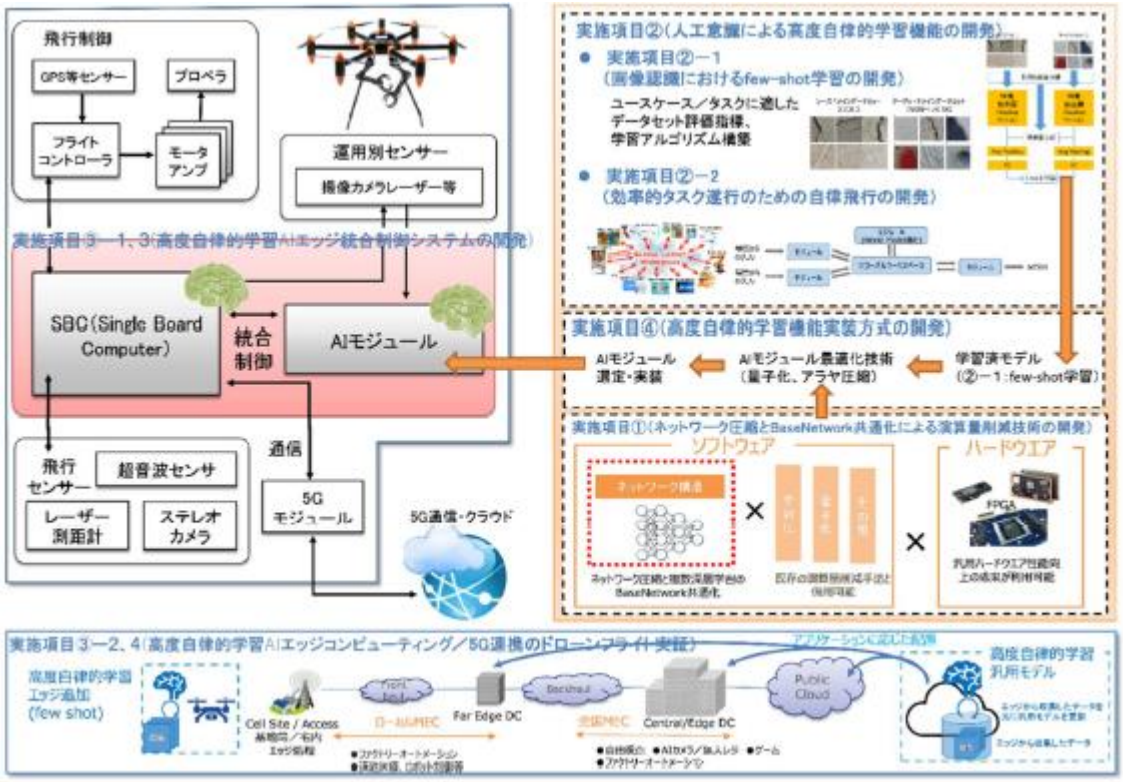


図 4.4.1.1 本研究開発全体像と実施項目との関連図

研究開発実施項目は以下より構成される。
① ネットワーク圧縮と BaseNetwork 共通化による演算量削減技術の開発
② 人工意識による高度自律的学習機能の開発
③ AI エッジ統合制御システムの開発
④　高度自律的学習機能実装方式の開発

①では、既存の深層学習・深層強化学習を対象に、エッジに搭載可能な（本研究開発ではドローンへの搭載を対象）、学習・推論演算量低減・低消費電力のためのアルゴリズム及び実装技術の開発とともに、実機検証のために主に FPGA への実装を行う。また④では、①で開発したネットワーク圧縮技術及び実装方式を活用し②において高度自律的学習機能として開発するアルゴリズムの AI モジュールへの実装方式の開発を行う。【チップ開発】

②では、より高度な自律化のためのアルゴリズム開発として、AI 自体が目的設定と自律的な学習を行う人工意識と呼ぶ機能の開発を行う。
そして、③において、①及び④で開発した AI モジュールを組み込む AI エッジ統合制御システムの開発【システム開発】、及び、AI エッジコンピューティング／5G 連携環境構築のもとでのドローンフライト実証を行う【総合実証】。

4.4.2. 最終目標と根拠

研究開発実施項目	最終目標
①：ネットワーク圧縮 BaseNetwork 共通化による演算量削減技術の開発	深層強化学習の BaseNetwork 層共通化及び FPGA 実装（BaseNetwork 層共通化及び FPGA 化効果による、消費電力（対 GPU）従来比 1/10 目標）
②－1：画像認識における fewshot 学習の開発	学習に必要なデータ量 従来比 1/10
②－2：効率的タスク遂行のための自律飛行の開発	・マルチタスク実行可能環境下におけるマルチタスクの効率的実行： 2 種類以上のタスクを同時に実行するマルチタスク実行効率の 300%増加 ・ドローン飛行ミッションにおける複雑環境下での衝突回避： 静的・動的障害物環境下での既存手法に対する衝突回避性能の 100%増加
③：高度自律的学習 AI エッジコンピューティング／5G 連携のドローンフライト実証	・検証ユースケース設定とデータ整備、エッジ・クラウド機能配置及び 5G 連携設計 ・AI エッジ統合制御システムとのインテグレーションを含む、5G・AI エッジ・クラウドシステム検証環境の構築及び、高度自律的学習機能に係る、5G・AI エッジ・クラウドシステム検証環境における実証の実施。 以上を総合し、学習量・計算量削減効果による、システムレベルでの消費電力（対 GPU）従来比 1/10 の達成
④：高度自律的学習機能実装方式の開発	高度自律的学習機能アルゴリズムの AI モジュール実装

4.4.3. 目標の達成度

研究開発実施項目	目標達成内容	達成状況
①：ネットワーク圧縮 BaseNetwork 共通化による演算量削減技術の開発	ドローンを用いた人物追尾タスクで開発した、カメラ制御を行う深層強化学習モデルに対してネットワーク圧縮技術を適用した結果、モデル全体のパラメータサイズが圧縮前の 8.4%（10 分の 1 以下）となる事を確認し目標を達成した。	○
②－1：画像認識における fewshot 学習の開発	1/10 量のデータ量で評価値 3%劣化の結果となり目標を達成した。また、モデルは DeepLav v3+の軽量版を使用しドローン上に搭載しフィールド実証を実施した。	○
②－2：効率的タスク遂行のための自律飛行の開発	・マルチタスク実行可能環境下におけるマルチタスクの効率的実行： 既存手法に対して提案モデルは、平均報酬で 2 倍以上、タスク成功率では既存手法が 0%に対して 20%の結果が得られ、目標を達成した。 ・ドローン飛行ミッションにおける複雑環境下での衝突回避： 成功率(障害物に衝突せず目標位置まで到達した割合)において、既存手法が約 20%のところ、提案手法では約 40%と目標の約 100%増加を達成した。	○

③：高度自律的学習 AI エッジコンピューティング／5G 連携のドローンフライト実証	・錆び点検のユースケース構築とエッジ環境にてリアルタイムにサビ検知を行い、クラウドへデータ連携を行うエッジ・クラウド機能配置及び 5G 連携設計を実施。 ・AI エッジ統合制御システムの開発が完了し、2022 年 12 月にＫＤＤＩグループの通信鉄塔の撮影およびサビ点検を行う、ドローンフライト実証を行った。フライト中リアルタイムでエッジ AI 処理による鉄塔錆検出動作が可能であり、AI エッジ統合制御システムが実ユースケースにおいて有効に機能することを確認。また 5G 通信を利用した地上での映像伝送も行い、最大 60Mbps で伝送可能なことを確認。また電力量・作業量において最大約 90%の効率化・システム観点での効率の従来比 1/10 の実現性を確認した。	○
④：高度自律的学習機能実装方式の開発	プルーニング手法に基づくネットワーク圧縮技術と独立に適用可能な圧縮手法である量子化に関する技術開発として、整数 8 ビット（INT8）よりも演算精度が低い量子化ビットを用いた深層学習モデルの圧縮手法と、それに対応可能な FPGA 実装手法として整数 4 ビット（INT4）に対応する実装 IP を開発した。 開発した量子化技術を用いて多クラスを扱うタスクにおいて量子化ビット INT8 以下でも精度劣化が抑えられることを確認した。ドローンフライトに量子化技術を適用したモデルを実装し、人物検知タスクにおいて実用可能な推論速度となることを確認した。	○

4.4.4. 成果と意義

研究開発実施項目	成果と意義
①：ネットワーク圧縮 BaseNetwork 共通化による演算量削減技術の開発	複数深層学習の共通化技術である Base Network 共通化技術、および、FPGA に実装可能なプルーニングに基づくネットワーク圧縮技術の開発し、デバイス実装において性能評価と効果確認ができた事は、エッジに搭載可能な学習・推論演算量低減・低消費電力のための技術として今後の FPGA を含むエッジ AI モジュールへの深層学習モデルの実装開発において重要な意義がある。
②－1：画像認識における fewshot 学習の開発	本技術開発により、これまでにデータを取得したことのない条件であっても、そのデータを数枚～数十枚だけ取得して追加で学習させることで、新しい条件でも高い精度の few-shot 学習が実現できた。
②－2：効率的タスク遂行のための自律飛行の開発	・マルチタスク実行可能環境下におけるマルチタスクの効率的実行： 提案モデルのアーキテクチャとタスク内容の両方に新規性があり、ドローンのユースケースとの関連については、ドローンの配送分野において、巡回セールスマン問題を(深層)強化学習や他の最適化手法を用いて解く課題は最近でも関連研究があり、ドローンの産業応用という観点から重要な課題の一つであることが示唆されている。

	・ドローン飛行ミッションにおける複雑環境下での衝突回避：DNN を用いた動的障害物の軌道予測、軌道予測の対象・タイミングを限定・調整するための注意機構、回避動作を出力する MPC(モデル予測制御)、を組み合わせたモデル構成は類がなく新規性があり、既存手法に対して、動的障害物が静的障害物の死角に隠れ、ドローンから観測できない場合も含まれる状況において、衝突リスクが少ない障害物回避行動を実現できた。
③：高度自律的学習 AI エッジコンピューティング／5G 連携のドローンフライト実証	錆び点検のユースケース構築とエッジ環境にてリアルタイムにサビ検知を行い、クラウドへデータ連携を行うエッジ・クラウド機能配置及び 5G 連携設計を実施し、AI エッジ統合制御システム、エッジ-クラウド連携システム、5G 通信を利用した地上での映像伝送を行い、最大 60Mbps で伝送可能なことを確認できた。また電力量・作業量において最大約 90%の効率化・システム観点での効率の従来比 1/10 の実現性を確認できた。
④：高度自律的学習機能実装方式の開発	プルーニング手法に基づくネットワーク圧縮技術と独立に適用可能な圧縮手法である量子化技術について、演算精度が整数 8 ビット以下でも深層学習モデルの学習からエッジ化実装までを行える技術要素とフローとを開発し、デバイス実装において性能評価と効果確認ができた事は、エッジに搭載可能な学習・推論演算量低減・低消費電力のための技術として今後の FPGA を含むエッジ AI モジュールへの深層学習モデルの実装開発において重要な意義がある。

4.4.5. 成果の普及

研究開発実施項目	成果の普及
①：ネットワーク圧縮 BaseNetwork 共通化による演算量削減技術の開発	FPGA/組み込み GPU/AI チップ NPU を含むエッジ AI モジュールをターゲットとして AI モデル・アルゴリズムをエッジ AI 実装する、エッジ AI コンサルティング・開発支援を通じたエッジ AI 社会実装支援を継続する。また、AI チップ開発におけるエコシステム形成として AI チップ開発拠点（AIDC）との連携継続、及び、AI アクセラレータ実証チップ開発（AI-One/Two）の次期開発計画への参加による、開発した AI-IP の実用検討を推進する。
②－1：画像認識における fewshot 学習の開発 ②－2：効率的タスク遂行のための自律飛行の開発	本研究開発における人工意識アーキテクチャの開発成果を踏まえてアルゴリズムおよびシミュレータ開発を進め、KDDI プラットフォーム等を利用して収集した動画像・データを活用した AI モデル学習、及び、ドローンへのエッジ AI 実装を通じて社会実装・事業化を進めることを基本方針として（想定タスク：人物検知、錆点検、障害物回避、アーム付きドローンにおけるアーム動作活用、等）、研究成果の積極的な学会発表・対外発表を進め、意識的な情報処理の機能を備えた高度自律的 AI の実現に向けた研究開発、情報発信により成果の普及を進める。
③：高度自律的学習 AI エッジコンピューティ	「KDDI スマートドローン」お客様運用メニューとして 2020 年 2Q に提供開始。AI サービスをオプション提供した。2020

ング／5G 連携のドローンフライト実証	年 8 月に KDDI Accelerate5.0 構想発表で本研究目的の NW・AI・PF・ドローン融合社会を訴求していく。
④：高度自律的学習機能実装方式の開発	（研究開発実施項目①と同様）

4.5.　研究開発テーマ「エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発」

4.5.1. テーマ概要

本研究開発テーマでは、エッジビジョン AI を超軽量化し短 TAT（短期間での処理）で実装する技術の研究開発に取り組む。
ビジョン AI を活用したエッジコンピューティングの必要性が高まる上、専用アーキテクチャを搭載したハードウェアが登場する一方、半導体プロセスの技術停滞と必要計算量・メモリ量の増加によってハードウェアの種類が多様化し、専用ハードウェア開発の需要も加速している。
このような状況での課題として、ビジョン AI システム開発における開発工数が増大しており、特にビジョン AI システムをエッジデバイス上で高効率に動作させるために、多大なコストが生じている。
このような背景を踏まえ、本研究開発テーマでは、ビジョン AI アルゴリズムからドメイン特化アーキテクチャを自動生成するコンパイラ基盤を開発し、ユーザの目的に真に最適化されたハードウェアアーキテクチャを即時に構築できる開発環境を実現させることを目指す。

4.5.2. 最終目標と根拠

本研究開発では、最終目標として、データ処理の軽量化の技術開発（実施項目１）、ドメイン固有言語とそのコンパイラの技術開発（実施項目２）、そしてベンダ非依存の高位合成技術（実施項目３）を組み合わせ、FPGA を主軸としつつ、多様なハードウェア環境でも動作可能なエッジビジョン AI の開発プラットフォームの実現を目指す。

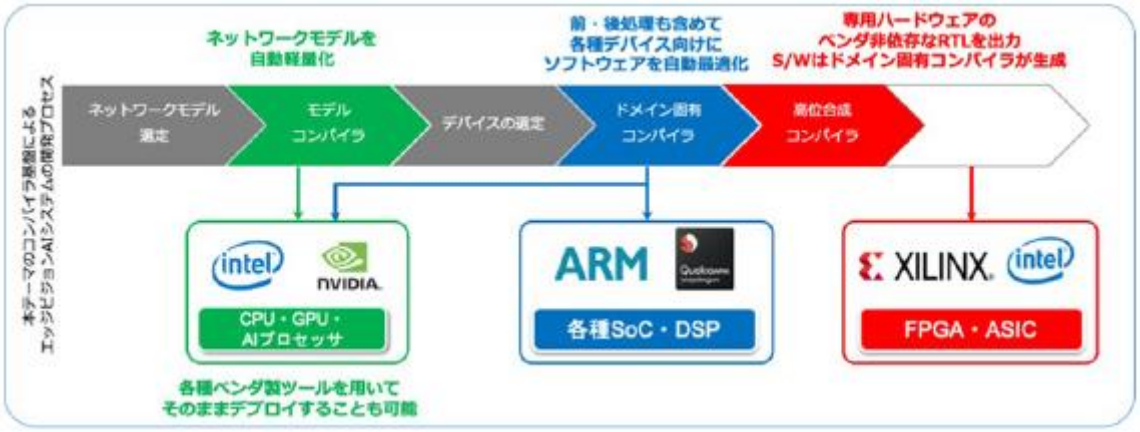


図 4.5.2.1 本テーマのコンパイラ基盤を用いた、エッジビジョン AI システムの開発プロセス

● 研究開発目標の設定根拠

エッジビジョン AI については、技術の有効性が検証され、現在そのアプリケーションと実装環境が日進月歩で進化している。処理データ量が増える中、リアルタイム環境での推論が求められるようになると、モデルを軽量化することが重要になるが、実用化に耐えうる軽量化にはまだ課題がある。エッジビジョン AI で世界的に競争力を持つためには、精

度高く超軽量化を行う技術（実施項目１）と、時間を稼ぐという意味で短 TAT で実装できる開発環境の整備（実施項目２および実施項目３）が不可欠となる。
本研究開発は４つの点において、国内外で優位性があると考えている。
① AI フレームワークも日々進化しているが、エッジビジョン AI を想定して実用化に耐えうる軽量化による精度が保てているケースは少なく、これが実現できれば、今後増えうるセンサーフュージョンをベースとした IoT の世界において大きな競争優位となる。
② エッジビジョン AI はその処理速度と消費電力の制約、そしてリコンフィギュラブル性から FPGA が主流になると見られているが、FPGA の趨勢も今後変わりうる。その中、新しいリコンフィギュラブル・ハードウェアに対応し、移植・新規開発を行える開発環境を整備することが競争優位となる。FPGA メーカが提供する高位合成ツールは、将来的に発展し、エッジビジョン AI にも対応していく可能性もあるが、こうしたメーカが競合製品を含めたヘテロジニアスなシステム構成に対応することは、FPGA メーカがハードウェア販売を事業の中心としている以上、考えにくく、システム構成の柔軟性は将来的にもないと考える。この点、本研究開発は、将来的にハードウェアが変更になっても、短 TAT で適用することを主眼においており、FPGA メーカのツールよりも汎用性の点で優れている。
③ FPGA 等のハードウェアの構造は各社各様であり、これらを効率的に実装するには、数多くの実装経験が製品の完成度を高める上で重要となるが、日本では株式会社フィックスターズがこの分野では最も実績のある企業であり、本研究開発で最新技術を研究する大学研究機関とユーザ企業のノウハウを併せることで、海外にも通用する製品作りができる。
④ エッジビジョン AI を適用するユーザ企業としては、自動車・産業機械・医療機器などが想定されるが、この分野において日本には世界シェアを持つ企業が未だ多数ある。今回、ユーザ企業として、こうした企業を巻き込んだ研究開発プロジェクトとすることで、加速的に普及を図ることが可能である。

現在想定する競合との競争優位性の比較については、以下のとおりである。

技術名称	技術 保有者	年月	性能① 軽量化	性能② 汎用性	品質・機能等の強み	エコシステム、ビジネスモデルの強み	コスト	全体市場規模	獲得市場規模と市場シェア	総合評価（LD、DH、RA）
提案技術（軽量化し短 TAT で実装する技術）	本技術（現状）	2018/6	△	-	軽量度	フレームワーク・チップの移行を促す広域のエコシステム	○	-	-	RA
	本技術(事業終了時)	2020/3	○	○	高速性軽量度汎用性		○	△	低	LD
	本技術(実用化時点)	2022/4	◎	○	高速性軽量度汎用性		○	○	日本 高 世界 低	LD
	成果普及段階	2027/4	◎	◎	高速性軽量度汎用性		○	◎	日本 高 世界 中	LD
NVIDIA 社 AI 実装技術(TensorRT)	本技術（現状）	2018/6	×	×	一貫性	自社エコシステムでの囲い込み	○	◎	高	LD
	本技術（事業終了時）	2020/3	△	×	一貫性		○	◎	高	LD
	本技術（実用化時点）	2022/4	△	×	一貫性		○	○	高	DH
	成果普及段階	2027/4	△	×	一貫性		○	○	高	DH
ThinCI 社 AI 実装技術（reVision）	本技術（現状）	2018/6	○	×	一貫性	自社エコシステムでの囲い込み	○	△	低	DH
	本技術（事業終了時）	2020/3	○	×	一貫性		○	○	中	DH
	本技術（実用化時点）	2022/4	△	×	一貫性		○	○	中	DH
	成果普及段階	2027/4	△	×	一貫性		○	○	中	DH
DeepPHI 社	本技術（現状）	2018/6	△	×	自社 AI	中国市場での	△	×	低	RA

AI 実装技術(DNNC)					ボード実装	製造工場との連携				
	本技術（事業終了時）	2020/3	△	×	自 社 AI ボード実装		△	×	低	RA
	本技術（実用化時点）	2022/4	△	×	自 社 AI ボード実装		△	×	低	RA
	成果普及段階	2027/4	△	×	自 社 AI ボード実装		△	×	低	RA

◎・・業界トップ水準
○・・競合よりも優位なレベル
△・・競合と同レベル
X・・競合よりも劣るレベル
LD・・Leading
DH・・Dead Heat
RA・・Run After

4.5.3. 目標の達成度

実施項目 1 では、軽量化実装する技術について、認識精度が 2.4 ポイント劣化したものの、モデルのメモリサイズを 256 分の 1 に圧縮し、組込み GPU (JetsonNano)と比較して推論は 11.9 倍、電力を 48%削減した。
実施項目 2 では、DSL コンパイラの Xilinx FPGA 向けバックエンドを開発し、手動最適化実装と比べて、同等の性能と使用リソース量を保ちつつ、LOC（lines of code：ソフトウェアの規模の指標）を 1/10 以下に削減した。更にこれらのコンパイラを利用可能なエッジビジョン AI アプリケーションの開発&ベンチマークのための Web サービス「GENESIS DevEnv」を開発した。更に DNN のコンパイル&ベンチマークフレームワーク『Arachne』を開発し、複数種類デバイス向けのエッジ DNN モデル開発&評価の MLOps を確立し、開発工数削減事例を確認した。
実施項目 3 では、DNN コンパイラ TVM の中間表現 Relay および同等レベルのグラフ表現に基づく、より DNN/AI 処理に特化したベンダ（製造元供給者）非依存の高位合成コンパイラの開発を行い、データパス回路のサイズを削減する圧縮方式を開発した。
以上の通り各実施項目において成果をあげた結果、本研究開発テーマ全体として、既存の組み込み GPU に対し、電力効率 20 倍以上となるモデル軽量化手法及び回路のアーキテクチャ設計が完了した。更にコンパイラによる自動コード生成により、開発工数も削減できることが確認できた。
これらにより、エッジビジョン AI を超軽量化し短 TAT で実装する技術を確立するとともに、NEDO 基本計画における 2022 年度最終目標「エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10 倍以上となることを示す」を達成した。

4.5.4. 成果と意義

当技術を利用することで、限られたハードウェアリソースの中で、より情報量が多くより複雑な機能を有するエッジビジョン AI を実現することができ、また、開発にかかる期間を大幅に短縮化し、極めて短期間でハードウェア実装まで行えるようになった。

現在の AI 処理では、豊富な開発環境を用意している欧米の巨大チップメーカ製の汎用的チップの利用が主流だが、当技術を活用することでエッジビジョン AI を実装した専用チップを極めて短期間で開発できるようになり、高性能な専用チップの開発・利用促進につながる。
エッジビジョン AI の活躍の場は広く、自動運転や Factory Automation、ドローンといった成長著しい分野での利用が見込まれている。
最終目標に基づく成果及びその社会的意義は以下の通りである。

- 技術レベル

エッジビジョン AI を超軽量化し、短 TAT で実装する環境プラットフォームについて主要 AI フレームワークから主要なヘテロジニアスなリコンフィギュラブルデバイスに実装する技術を確立する。

- エネルギー消費効率/電力効率

現状のエッジビジョン AI に比べてエネルギー消費効率が 100 倍となる実装開発環境プラットフォームの利用が始まることで、2037 年の CO2 削減目標の実現に向けて CO2 削減が進んでいる。

- 技術・性能に係る目標

エッジビジョン AI を FPGA に実装すると 10 倍以上のエネルギー消費効率となるが、その実装開発環境プラットフォームが利用されている。

- 2037 年温室効果ガス排出削減効果への貢献
- その他のアウトカム

エッジビジョン AI が超軽量化でき、短 TAT で容易にリコンフィギュラブル（reconfigurable：設計変更が可能な）なハードウェアに 実装できることにより、日本のプロセッサ及びアプリケーションの競争力が向上する効果が期待できる。こうした環境プラットフォームを整備することで、リコンフィギュラブルなハードウェア（FPGA 等）の処理スピードの高速化並びに処理規模の増大化においても消費電力並びにコストを抑える事が現される事により以下の波及効果がある。
① 発熱量低減
１－１ IoT エッジデバイス
熱源により機能劣化するデバイス（例：CMOS イメージセンサ等のセンサ）の近くに配置可能、サイズのコンパクト化によるアプリケーションの柔軟性拡大
１－２ IoT クラウドデバイス
放熱を必要としない事によるデータサーバ等での高額な放熱機構を必要としない為、データセンターの小面積化や電力削減による CO2 削減にも大きく寄与できる。
② 高速処理
非ノイマン型アーキテクチャによりニューロコンピューティング、並列演算用メモリプロセッサの実現化の可能性もあり、将来の IoT、ビッグデータ社会に役立てられる。

- 我が国の経済再生への貢献

日本の輸出（年約 70 兆円）を品目別で見ると、電気機器は、輸送用機器、一般機械、に次ぐ 12 兆円の規模があり、半導体製品はそのうち 4 兆円弱と、テレビ・液晶産業が台湾・韓国勢に覇権を取られた今、依然中心的な製品となっている。その半導体も、NAND を中心としたメモリが主体で、かつて一世風靡した LSI・論理回路は、ここ 20 年で Windows/Intel、最近では NVIDIA 社などの米国企業やファブレスでデザインのみを行う

アジア企業にシェアを取られ、日本企業のグローバルでのシェアは年々低くなり、Logic IC は 2017 年には生産が 1500 億円（生産動態統計）にまで大幅に減少している。

こうした中、本研究開発の成果は、①産業のサービス部分の価値が高まる中、超軽量化した最新エッジビジョン AI 技術を短 TAT で実装した自動車、産業機械、医療機器等でのアプリケーションが国際競争力を増して輸出増加に繋がることへの貢献、②本研究開発に統合された日本の ASIC 等の開発環境が向上し、グローバルで利用されることによる半導体の輸出増加が期待できる。
半導体の主要応用製品分野は、JEITA によると全体で製造業の 44%を占めている。製造業は日本の GDP の 21%(109 兆円)で、半導体の主要応用製品分野は日本の GDP の約 10%を占めており、本研究開発により製品開発を先進的にできれば、その波及効果は大きいと考えている。

4.5.5. 成果の普及

株式会社フィックスターズでは、研究開発で構築したコンパイラ基盤や MLOps 基盤を利用して、エッジビジョン AI の開発や評価を高品質かつ低 TAT で行うソリューションサービスと、その成果によって開発されたエッジビジョン AI の評価を行うことができる Web サービスの提供を行う。

4.6. 研究開発テーマ「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」

4.6.1. テーマ概要

全体として、以下３つの方策にて研究開発の取り組みを行う。

方策 1）アーキテクチャー検討と定義

提案する並列プロセッサーのアーキテクチャー検討と定義を行う。本並列プロセッサーは、グラフ構造で現わされた処理内容の各枝部分をスレッド化して、そのスレッドを実行条件が整った順に動的に実行していく構造を与える。

上記の実現のために、演算器の基本構造、データの供給と格納系などの構造定義と共に、制御系の定義と検証を行うアーキテクチャー検討を最初に実施し、この期間に公立大学法人会津大学（以下、会津大学と記載）において、世の中にある他方式のアーキテクチャーの評価を行い、開発するアーキテクチャーがもたらす計算性能、電力性能の推定について評価並びに見積もりを並行して進める。

アーキテクチャーの検討完了に前後して、以下の順番で開発を進める。並列プロセッサー単独コアで完結する基本ハードウエア設計を開始する。並行して、大規模グラフ向けのスケジュール制御を担うソフトウエアについて詳細の構成検討を進める(Phase1)。このスケジューラ・ソフトウエアの検討結果をもって、大規模グラフに対応した並列プロセッサーを複数コア用いたクラスタ構成のハードウエア設計を行う(Phase2)。論理設計を行い FPGA での実装と性能評価、電力性能評価ができる状況にもっていく。下記の開発環境の整備と併せて、利用できる環境が揃った段階で、ベンチマーク、実証実験と進めていき、速やかに商用化の流れに向けた活動を加えていく。なお、Phase1 で開発した基本構成のハードウエアはエヌエスアイテクス単独事業により製品化を予定する。

方策 2）ヘテロジニアス対応コンパイラとハイパーバイザーの開発

本並列プロセッサーは、一般の CPU のような逐次実行する機構ではなく、GPU のような同種の処理を多量の並列演算装置を用いて実行するプロセッサーでもない。処理内容をグラフ構造で表し、それをスレッドという単位に分解し、並列化して依存関係を踏まえて実行するというプロセスをとるため、ユーザプログラムから並列構造を捉え、これをスレッド単位に分解して、並列性を引き出す必要がある。

将来的には、クラスタ構造の中に特定機能向けの専用アクセラレーターなどの導入の可能性もあるので、それらを組み込んだ場合にもプログラムモデルを大きく変える必要のない仕組みを与える必要がある。これらはオスカーテクノロジー株式会社(以下、オスカーテクノロジー と記載)のもつヘテロジニアス対応のコンパイラ技術を本並列プロセッサー向けに発展させることで実現を図る。

また、本並列プロセッサーは、汎用 CPU との連携でシステム動作させることを考えており、実際に適用される時代においては、先に述べた如く多様な処理を実現するためそれぞれの特徴をもつ複数の OS（オペレーティング・システム）を汎用 CPU において同時に実行し、その中で必要となる処理を本並列プロセッサーと連携して進めていく必要がある。このソフトウエア機構を評価するために OS を仮想化して複数実行できるハイパーバイザーと言われるソフトウエアが必要となり、この部分を株式会社 OTSL(以下、OTSL と記載)と協力して進めていく。

方策 3）性能評価指標ならびに実証の進め方
本並列プロセッサーを事業化・実用化する際には、ハードウエアとしてのプロセッサー、それを駆動するソフトウエアをつくるための開発環境が必要であることは述べたが、さらに、実応用面に即した利用を図って機能、性能を証明していくことにより、実用化に必要な課題を抽出して解決していく必要がある。その活動として、国立大学法人東京工業大学（以下、東京工業大学 と記載)と協力して、本並列プロセッサー向けのベンチマークを開発し性能評価の指針として公表する活動をすすめる。また、産業の自動化をめざしている株式会社日立製作所(以下、日立製作所 と記載)と協力して、特定の応用面、特にロボットのリアルタイム動作向けアルゴリズムを本並列プロセッサーに実装をすることで機能、性能の実証、開発環境の実証を行い、必要に応じて改善を加え、世の中への PR を通じて実用化を加速する。

4.6.2. 最終目標と根拠

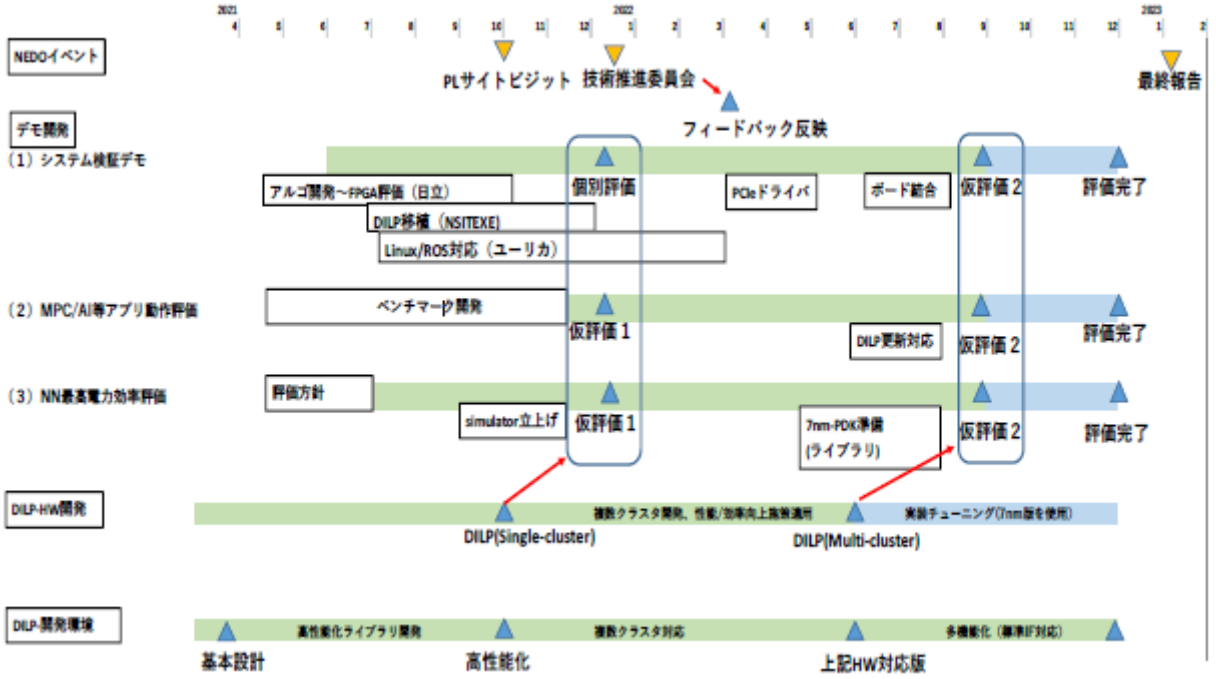


図 4.6.2.1 最終目標までのマイルストーン

テーマ全体としての最終目標は、3 種類のデモと評価を、2021 年 12 月に個別評価（仮評価 1）、2022 年 9 月に仮評価 2、2022 年 12 月に評価完了の 3 ステップで行う。

(1) システム検証デモは、4 社連携して構築したシステム検証環境に、地図生成、軌道計画アルゴリズムを DILP に実装してデモ動作を行う。DILP による高速化による効果を確認することで、DILP の早期事業化の目途をつけることを目標とする。

(2) MPC（Model Prediction Controls：モデル予測制御）/AI 等アプリ動作評価は、最高性能や最高電力効率など理論値での評価にとどまらず、DILP の適用範囲を広くとらえ、実際に DILP 適用アプリケーションとして評価を行うことを目的としている。これは技術推進委員会からのフィードバックを受け、実施した内容である。

(3) NN（Neural Network）最高電力効率評価は、DILP で実際のニューラルネット処理を行い、15 TOPS/W の電力効率を実現することを確認する。本研究開発においては、方式開発を主眼としチップ開発はスコープ外とするが、電力効率を精度高く評価するために 7nm 物理ライブラリにて DILP を実装して評価を行う。15TOPS/W は従来技術から 10 倍以上となる値で、専用ハードウエアでないプロセッサーとしては世界最高レベルの値となる。加えて同環境で実装した DILP の面積効率として、1TOPS/mm^2 を目標とする。これも 7nm 世代で世界最高レベルの面積効率となる数値目標である。

4.6.3. 目標の達成度

前節に記載した研究開発計画に沿って、3 つの評価項目（デモによるシステム検証、MPC アプリ動作評価、電力効率）について仮評価 1(‘22/1)、仮評価 2(‘22/9)、最終評価(’22/12)月の 3 ステップで実施し、目標を達成した。

デモによるシステム検証について、DILP を実装して 4 社連携して構築したシステム検証環境に、地図生成、軌道計画アルゴリズムを搭載してデモ動作完了。DILP による高速化も確認まで完了。

MPC のアプリ動作評価では、制御用途でニーズの大きいモデル予測制御(MPC)アプリを開発し DILP に実装し、FPGA 環境にて高速高精度動作確認まで完了。

NN 最高電力効率評価では、仮評価での達成度合いを精査して、DILP 実装に関しては PPA (Performance, Power, Area) 改善を進め、後述する独自の電力効率向上施策も組み込んで最終目標とした電力効率と面積効率(15TOPS/W, 1TOPS/mm^2)を 7nm プロセス環境にて達成した。

4.6.4. 成果と意義

(1) システム検証

システム検証環境のハードウエアについて下図に記すように NXP 社製の評価ボード（図 4.6.4.1 左）と DILP を搭載した PCIe 接続ボード（図 4.6.4.1 右）とした。このシステム検証ハードウエア上で、Host 側 CPU 上の Hypervisor で動作する各リソースパーティション内のアプリケーションから DILP を呼出し、空間地図作成やアームの軌道計画アルゴリズムを FPGA に実装した DILP で実行させロボットアームを制御した。DILP 適用により軌道計画時間を従来制御方法に比べて 1/10 以下にできており、作成した動作デモでも、ロボットアームが非常にスムーズに制御できることが実証できた。本システム検証により、DILP がロボット制御のような高精度かつ高速処理が必要なアプリケーション処理に適しており、早期事業化に向けて目途をつけることができたと考える。

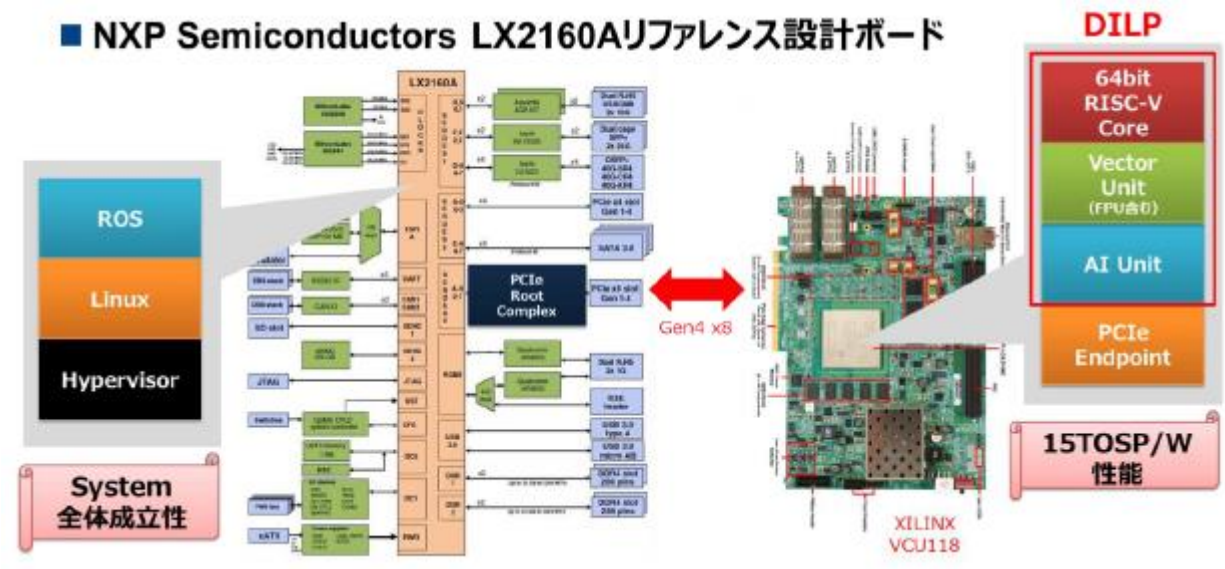


図 4.6.4.1 システム検証ハードウエア

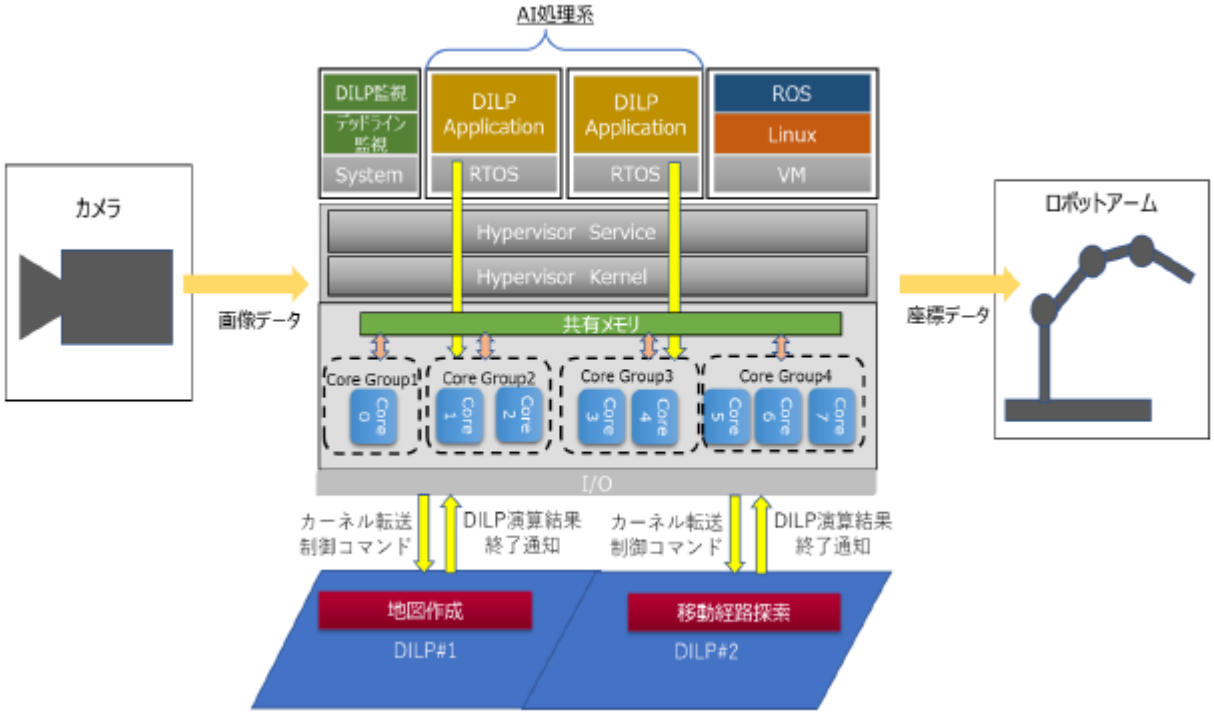


図 4.6.4.2 システム検証構成図

(2) MPC/AI 等アプリ動作評価

DILP は幅広く産業分野への適用が可能と想定しているが、その中でも実用ニーズの高いモデル予測制御(MPC)について処理フローを確立して評価を実施した。モデル予測制御とは、制御対象(プラント)の出力を予測し、予測された出力が制御目的をどの程度満たすかを評価関数 H で記述し、H が最適となる操作量をリアルタイムで探索する制御手法であり、最適操作量探索手法(ソルバー)、プラント出力予測手法(モデリング手法)を組合せて活用する。

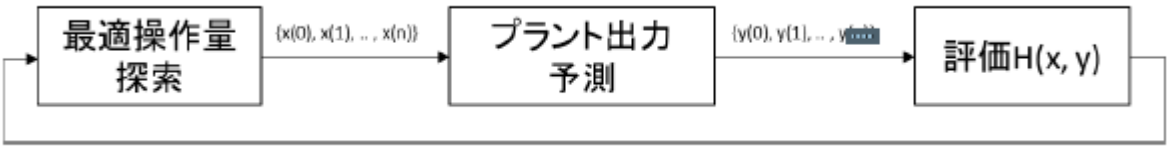


図 4.6.4.3MPC のフロー

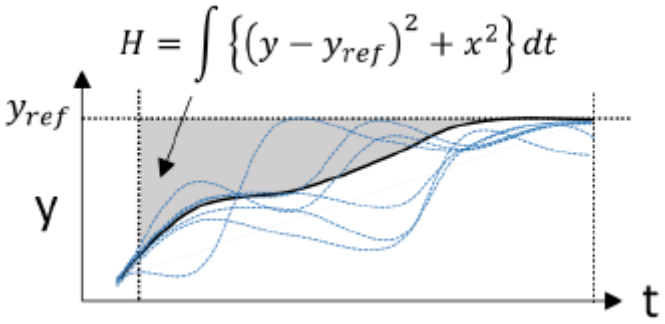


図 4.6.4.4MPC の評価関数

今回、MPC のユースケースとして、図 4.6.4.5 に示す、既存従来手法の PID 制御に、MPC による指令値生成をアドオンして制御性能向上を評価する環境を構築した。図 4.6.4.6 に評価結果を示す。従来 PID 制御では、出力値の誤差が最大で 0.291 秒、平均で 0.098 秒であったのに対して、MPC をアドオンした出力値では、誤差が最大で 0.120 秒、平均で 0.030 秒に短縮できた。これは最大誤差が 41%に、平均誤差が 31%に精度向上できていることを示している。この MPC 評価により、FA(Factory Automation) 分野をはじめ精緻な制御を要する分野で DILP の事業化につながる成果が得られた。

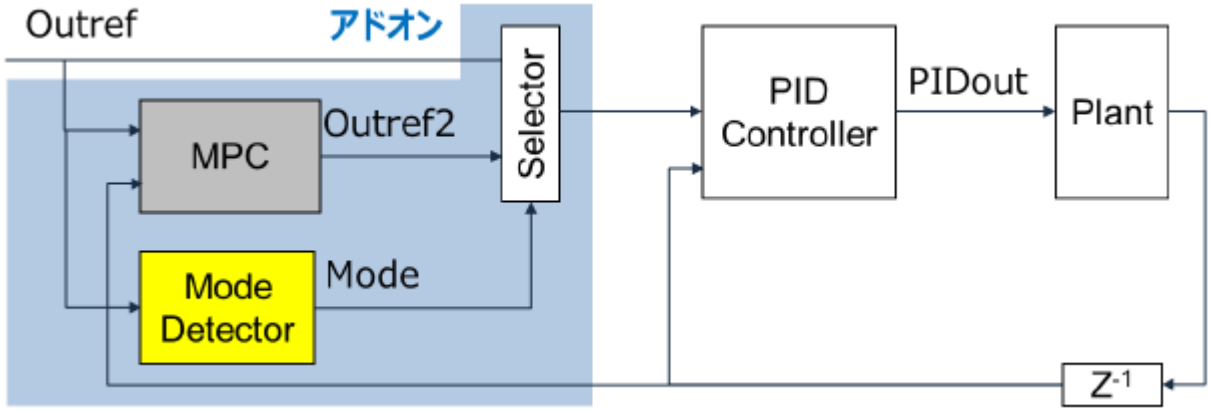


図 4.6.4.5MPC の評価環境

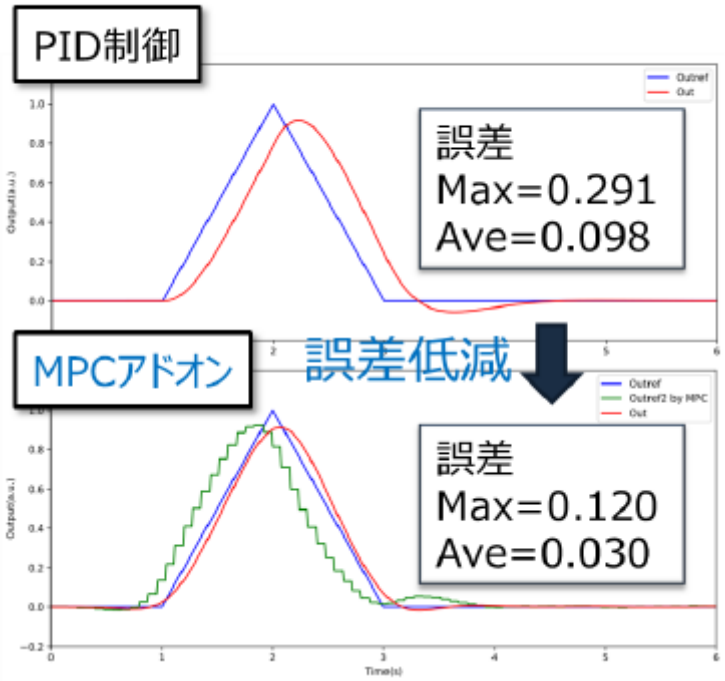


図 4.6.4.6MPC 評価結果

(3) NN 最高電力効率評価

下図に示すように DILP を 7nm プロセスライブラリで物理実装を行い、電力効率と面積効率評価を実施した。電力評価は VGG16 を評価プログラムとして、以下の低電力技術を DILP に対して独自に適用して電力効率を高めている。

①Tiling&Layer-Fusion

Tiling&Layer-Fusion 技術は、入力画像を分割（Tiling）し、分割したデータごとに複数のレイヤー処理の入出力を連結（Layer fusion）して処理することにより、中間データの外部メモリへの退避を削減し、電力効率を向上させる手法で、従来手法では単純な Layerfusion のため、重複した演算を実行する必要があったが、演算結果を再利用する独自方式を実装することにより重複演算を無くし、従来手法比で 50%の演算量を削減した。

②Winograd’s minimal filter algorithm

Winograd’s minimal filter は、畳み込み演算の乗算回数を削減する手法で、本開発では、Winograd’s minimal filter のパラメーターを探索し、電力削減効果と回路面積のトレードオフ関係が最適となる 5×5 行列入力から直接 3×3 行列を出力する構成を適用した。これにより従来の畳み込み演算に対し演算量を 60%削減した。

③全結合層演算の低ランク化

全結合層の行列演算に特異値分解による低ランク化を適用した。本手法は一般的に適用されるプルーニング（Pruning）と異なり、ゼロ検出して演算をスキップする処理が不要であり、ベクタプロセッサーで効率よく演算が可能となり高電力効率の実現に寄与した。全結合層の行列演算の低ランク化は AI 処理精度を評価しながら最適なパラメーターを探索し、全結合層の演算量を従来手法比で 17%削減した。

図 4.6.4.7 に DILP の内部構成を、図 4.6.4.7 に電力効率評価対象とフローを記す。

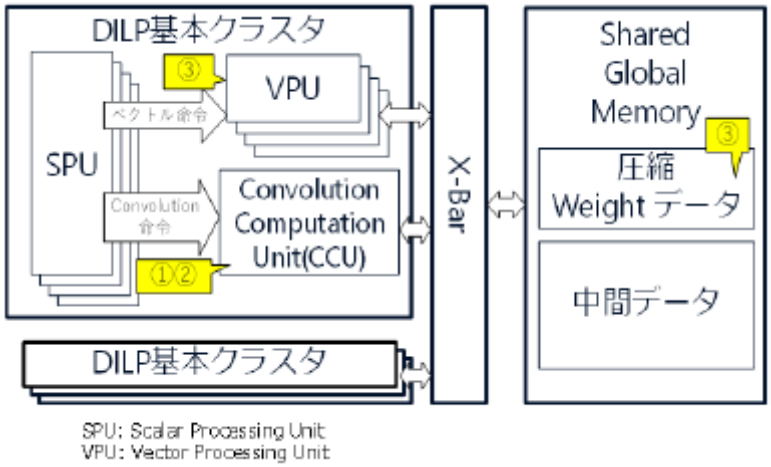


図 4.6.4.7. DILP 内部構成

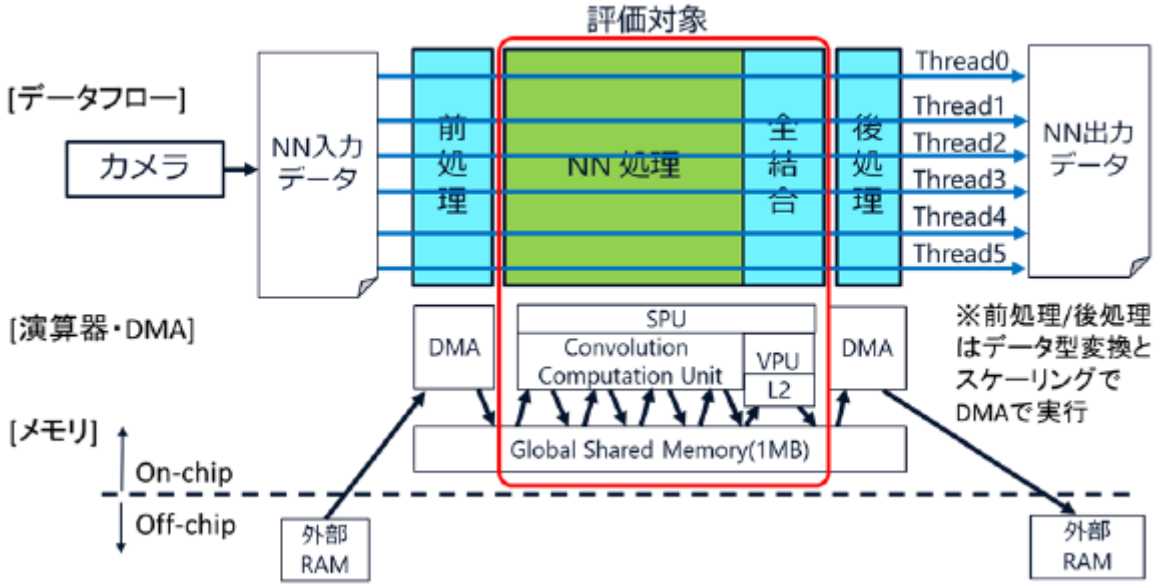


図 4.6.4.7. 電力効率評価対象とフロー

電力効率評価の結果を図 4.6.4.8 に示す。目標値 15TOPS/W に対して 15.1 TOPS/W、面積効率評価の結果、目標値 1TOPS/mm^2 に対して 1.36 TOPS/mm^2 となり、DILP のアーキテクチャーコンセプトおよびそのハードウエア実装が PJ 当初に掲げた目標を実現した。これらの値は 7 nm プロセスでは世界最高レベルの値であり、特に専用ハードウエアではないプロセッサーで実現している点で非常に意義が高い結果である。

電力効率評価	評価値
実行時間(msec)	14.5
電力(W)	0.141
OP数(TOP)	0.0309
TOPS	2.14
TOPS/W	15.1

面積効率評価	評価値
Logic面積(mm^2)	0.95
SRAM面積(mm^2)	3.42
合計面積(mm^2)	4.37
論理TOPS@500MHz	5.96
TOPS/mm^2	1.36

図 4.6.4.8 電力効率と面積効率の結果

4.6.5. 成果の普及

これまで述べたように本研究開発の成果により、早期の事業化が可能であると考える。DILP 事業化・実用化に向けて、まず、AI 処理を含めたアクセラレーターニーズが高い、制御系組込みでは FA 分野、自動車用途で車載制御分野を主要ターゲットとして、本 PJ でのシステム検証結果を活用して拡販活動を開始、システム検証デモも活用して幅広い分野での事業化を目指す。本プロジェクト内でのソフトウエアプラットフォームベンダー、ユーザーとの連携し、本プロジェクト外の自動車、FA、IoT などの各メーカーとの製品化に向けた協議を進めていく。また、アーキテクチャーに依存しない部分を中心に、本プロジェクト外のツールベンダーとも、コンパイラやデバッガの供給について協議を進める。さらに、広報活動としては、プレスリリースをはじめ出版社との市場活性化と普及に向けた活動も積極的に行っていく。

4.7. 研究開発テーマ「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」

4.7.1. テーマ概要

AI エッジコンピューティングにおける限られた計算資源でのリアルタイム性の保証と従来比 10 倍以上の高速なデータ処理の達成を目標とし、それらの定量的な達成指数として、自動運転の電力効率を示す「消費電力あたりのユースケース数」を定義した。この指標を考慮しながら、Cargo Transport と Robo-Taxi において研究開発要素のある主要な処理に対してアクセラレータの研究開発を行い、各処理の消費電力を 1/10 以下（電力効率 10 倍以上）にした。リアルタイム性が必要な処理に対しては、RISC-V ベースのメニーコアプロセッサと OS とミドルウェアを開発して、各処理の処理時間のばらつきを 1/6.3～/10.3 に抑制した。

4.7.2. 最終目標と根拠

「AI エッジコンピューティングにおける限られた計算資源でのリアルタイム性の保証と従来比 10 倍以上の高速なデータ処理を達成する」として最終目標を設定した。

最終目標と設定根拠

最終目標（2022 年度末）	設定根拠
10 倍の電力効率（性能/消費電力）	自動運転において公道実験に取り組む多くは車両のトランクに汎用 OS である Linux を搭載した大型ワークステーションコンピュータを積んでおり、その消費電力は 200W 程度消費している。実用化に向けてこれを 20W(競合優位性を得るために設定した目標値、200W の 1/10)以下に引下げた上で、同等の性能が必要なため。

自動運転コンピューティングの性能/電力効率を表現する指標として「消費電力あたりのユースケース数」を提案した。(図 4.7.2.1)
本研究開発は、ハードウェアとソフトウェアの協調設計で、主にハードウェアによる省電力化を主目的に据えているため、自動運転ソフトウェアの能力を示すユースケース数の増加は研究開発対象外として、要求されるユースケースを達成するために必要な消費電力を 1/10 とすることで 10 倍の性能/電力効率を達成する。

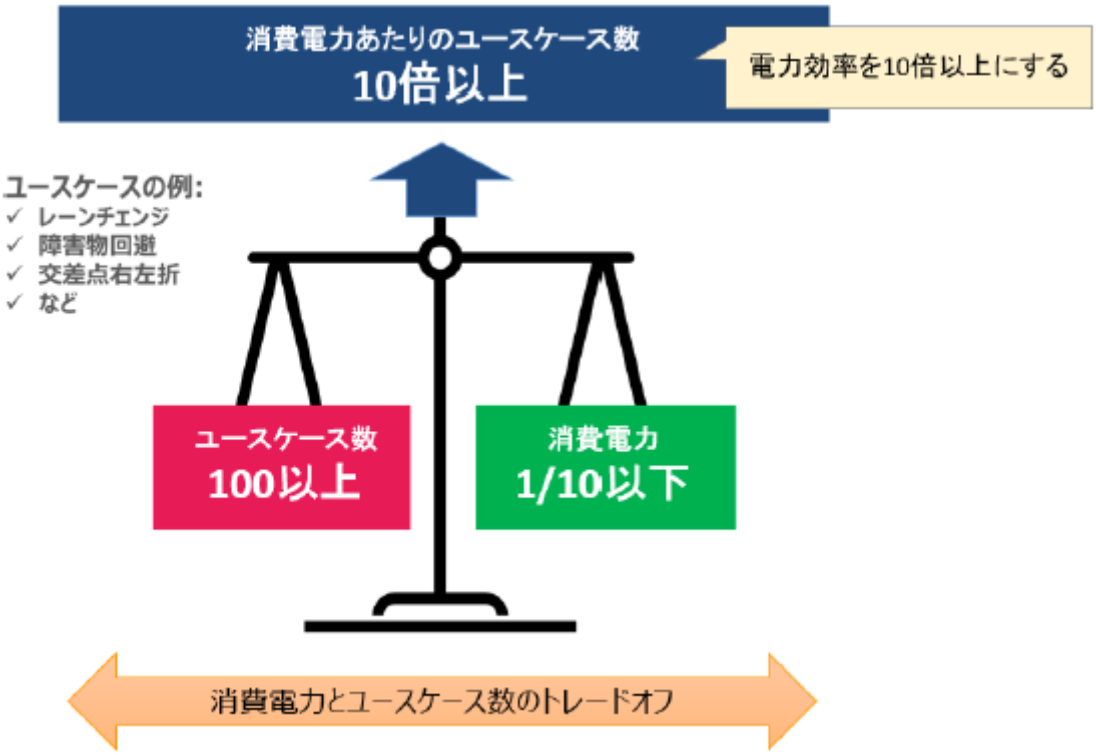


図 4.7.2.1 「消費電力あたりのユースケース数」の概念図

消費電力を削減するためには、消費電力の大きい処理から順に対策を打つことが効果的である。SoC とソフトウェアプラットフォームの研究開発であるため、自動運転コンピュータおよび SoC の消費電力を計測した。(図 4.7.2.2)
消費電力の内訳を大別すると、1. カメラ画像処理による物体認識および信号認識と、2. LiDAR 点群処理による物体認識（GPU）と、3. その他の処理（CPU）であった。
1. カメラ画像処理による物体認識および信号認識は、消費電力が大きく研究開発要素がある畳み込みニューラルネットワーク（CNN）を研究開発対象とした。2. LiDAR 点群処理による物体認識は、認識アルゴリズムの移り変わりが激しいため、本研究開発の対象外とした。

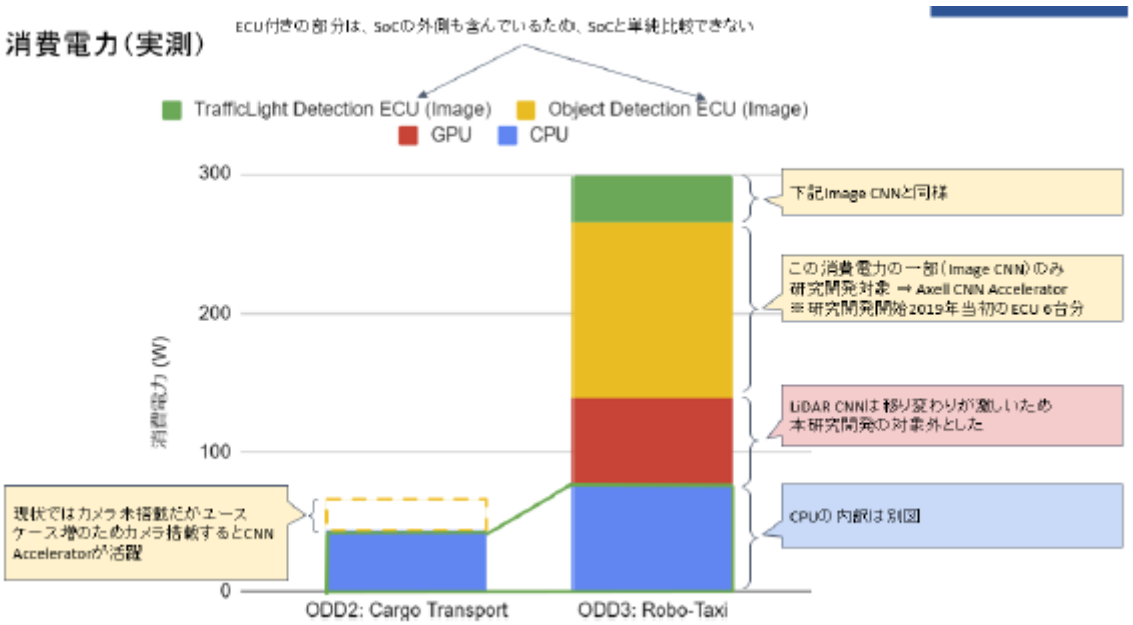


図 4.7.2.2 各 ODD における消費電力(実測値)

※ODD(Operational Design Domain)とは、運航設定領域を示す。ODD に応じて車両構成が異なり、ODD2 は工場等の敷地内を想定、ODD3 は公道走行を想定した車両を示している。

前述の 3. その他の処理（CPU）は、別ハードウェアにオフロードしていないあらゆる自動運転処理の集合体である。「CPU 使用率」と「CPU の消費電力やメモリ量および帯域」は相関関係にあるので、CPU 使用率の高い LiDAR の Sensing（点群データの前処理）と、LiDAR の Localization（自己位置推定）を本研究開発対象とした。

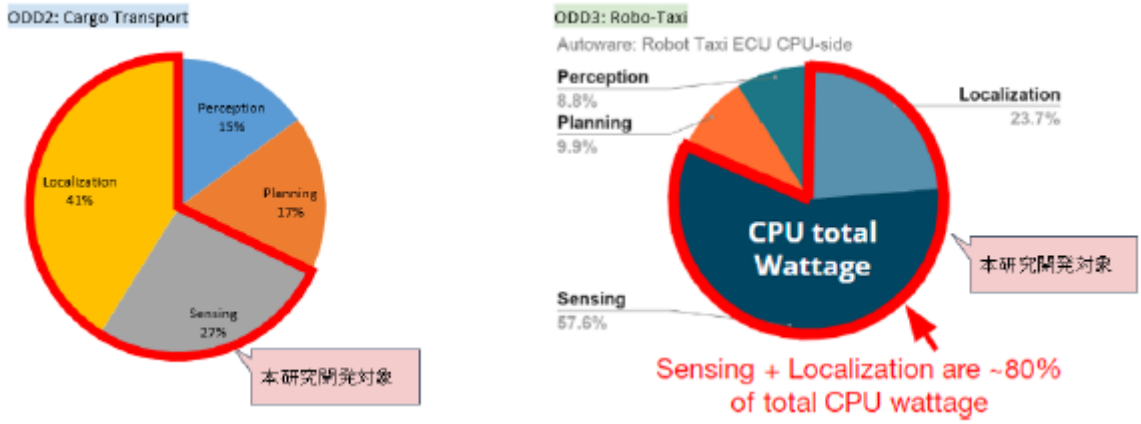


図 4.7.2.3 本研究のスコープ (ODD 毎の CPU 使用率)

本研究開発では、ターゲットとした自動運転処理を省電力化可能なハードウェアアーキテクチャを設計した。自動運転ソフトウェアは今後も成長することから、現状の自動運転ソフトウェアに対して SoC を最適化することは得策ではなく、ハードウェアアーキテクチャが今後の自動運転ソフトウェアに対してスケーラブルであることが重要である。そのため、研究開発対象の中でも主要な処理をピックアップして有用性を示す。

4.7.3. 目標の達成度

自動運転車両	指標	ベースライン	成果(電力:量産時)	
Cargo Transport	消費電力	118	52	46%削減
	ユースケース数	20	100	
Robo-Taxi	消費電力	300	152	49%削減
	ユースケース数	60	300	

自動運転処理	指標	ベースライン	成果(電力:量産時)	
カメラ物体認識	消費電力	30.0 [W]	2.30 [W]	92%削減
LiDAR自己位置推定(NDT)		21.7 [W]	1.90 [W]	91%削減
自己位置推定(EKF)		5.4 [W]	0.40 [W]	93%削減
点群除去(自車)		5.4 [W]	0.02 [W]	99%削減
点群除去(ミラー)		5.4 [W]	0.02 [W]	99%削減
縦横制御統合	変動係数	0.65	0.10	
シフト制御		0.74	0.07	
制御機能切替		0.60	0.07	

図 4.7.3.1 本研究開発成果とベースラインの比較

本研究開発成果とベースラインの比較を図 4.7.3.1 に示す。ベースラインは本研究開発成果の非適用時もしくは本研究開発開始時（2019 年度）の各指標値を示す。
図 6 の上表は、本研究の成果および将来量産時の想定プロセステクノロジーに適用した場合の電力削減効果の概要を示した表である。本研究開発成果であるアクセラレータを高性能 LiDAR に今後対応した場合を想定し消費電力概算を行っている。本研究開発成果である自動運転アクセラレータの対応 LiDAR 追加によって、Cargo Transport で消費電力 46%削減、Robo Taxi で消費電力 49%削減できる見込みである。
図 6 の下表は、電力削減効果の詳細（各ブロックごと、等）を示した表である。いずれの表も Gate-level simulation 等のシミュレーションで見積もった消費電力である 1。下表は、本研究開発でターゲットとした自動運転処理に関する消費電力を示している。

- カメラ物体認識 SoC：ベースラインは Autoware で使用している GPU ベースの既存 AI デバイスの TDP、研究開発成果はパワー解析の結果である。
- LiDAR 点群前処理および自己位置推定：ベースラインは現行装置（x86 3GHz CPU 搭載）の TDP に CPU 利用コア数を乗じた値。

本研究開発対象としてアクセラレータ化した主要な処理については性能/電力効率 10 倍を達成した。リアルタイム性が必要な処理に対しては、RISC-V ベースのメニーコアプロセッサと OS とミドルウェアを開発して、各処理の処理時間のばらつきを抑制することで、実用化に向けてアクセラレータとメニーコアを組み合わせたアーキテクチャの有用性を示した。

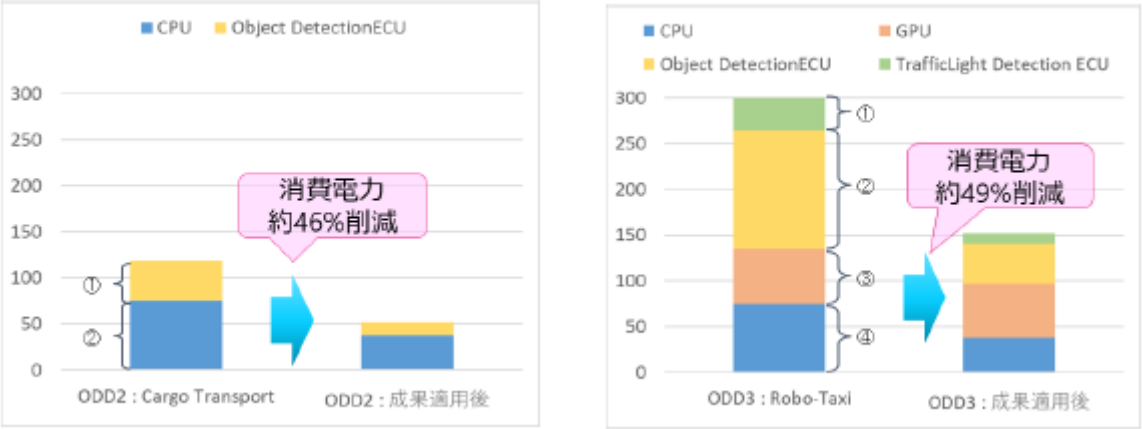


図 4.7.3.2 ODD2,3 ベースライン消費電力(縦軸：W) (成果適用前 / 適用後)

自動運転車両コンピュータ消費電力のベースラインと研究開発成果の考え方を示す。
ベースラインは本研究開発成果の非適用時の Autoware で使用されている x86 CPU および既存 AI デバイス GPU+SoC の消費電力実測値である。成果適用前と適用後の消費電力の変化を図 4.7.3.2 に示し、以下で Cargo Transport および Robo-Taxi それぞれの消費電力について説明する。

[ODD2：Cargo Transport 消費電力]
下記の成果の組み合わせで約 46%の消費電力削減効果が得られる。
① 現状は物体認識用のカメラ使用していないが、工場内対応ユースケースが増加して、2 台の前後カメラを搭載した場合は CNN アクセラレータの成果適用が可能
② LiDAR アクセラレータにより CPU 使用率を 1/2 程度低減可能で、Robo-Taxi とほぼ同様の効果が期待できる

[ODD3：Robo-Taxi 消費電力]
下記の成果の組み合わせで約 49%の消費電力削減効果が得られる。
① CNN アクセラレータは、信号認識処理(Traffic Light Detection)に現時点では対応していないが、検出処理自体は類似したものであるため、将来応用可能であると見込んでおり、下記②とほぼ同様の効果が得られると見込んでいる
② 人や自動車を検出する自動運転のセンサー系主要処理（Image CNN）に対し、新規開発の Axell CNN Accelerator を適用することで、1/3 程度まで消費電力を低下させることが可能
※(参考)研究開発開始 2019 年当初は、ECU 6 台分でありそれと比較
③ 既存 HostECU 内の GPU 処理 (=主に LiDAR CNN)については、アルゴリズムが定まっていないこともあり、今回は研究対象外とした
④ Sensing 点群処理アクセラレータで CPU 使用率を 1/2 程度に低減可能
[補足：ODD2/3 CPU 全体消費電力低減について]
Localization アクセラレータと Sensing アクセラレータの効果はセンサー構成(=ODD) によって異なる。現行 CPU の消費電力低減についての詳細グラフを図 4.7.3.3 に示す。

Localization の CPU 使用率が 1/10 となる理由は、アクセラレート対象の処理である NDT(Normal Distribution Transform) が CPU 使用率の支配的な値であり、その処理をアクセラレータにオフロードした為である。研究成果チップ活用により 1/10 の使用率となることが確認できた。
Sensing アクセラレータの対象処理は車両サイドに設置してある近距離向けの LiDAR(VLP-16)であり、ここから得られる点群データに対する 5 つの処理 (Convert、Cropping、Transform、Distortion Correction、Outlier Filter) のアクセラレート機能を FPGA 実験で確認できた。メイン LiDAR(VLS-128)処理は、アルゴリズム自体は変わらないがデータ量が大きいため、成果物である近距離向け LiDAR(VLP-16)用のアクセラレータでは性能不足であるが、LiDAR アクセラレータの SIMT アーキテクチャのスケーラビリティを活かして、今後のアーキテクチャ改善により処理可能とする計画である。以上の結果として、現時点では FPGA 実装段階ではあるものの、今後の SoC 化によって Sensing 処理全体を使用率 1 / 2 に低減させる効果が見込める。また対象処理を拡大するなどにより、さらなる改善の余地がある。

ODD2 では Localization の割合が大きいため、これを 1/10 にすることで全体 37%の低減が可能になる。Sensing も併せると 51%の消費電力低減が見込まれる。

ODD3 では Sensing アクセラレータ効果が高くなり、29%低減が可能となる。Localization に関しても 21%低減が可能となり合わせ 50%の消費電力低減を見込む。

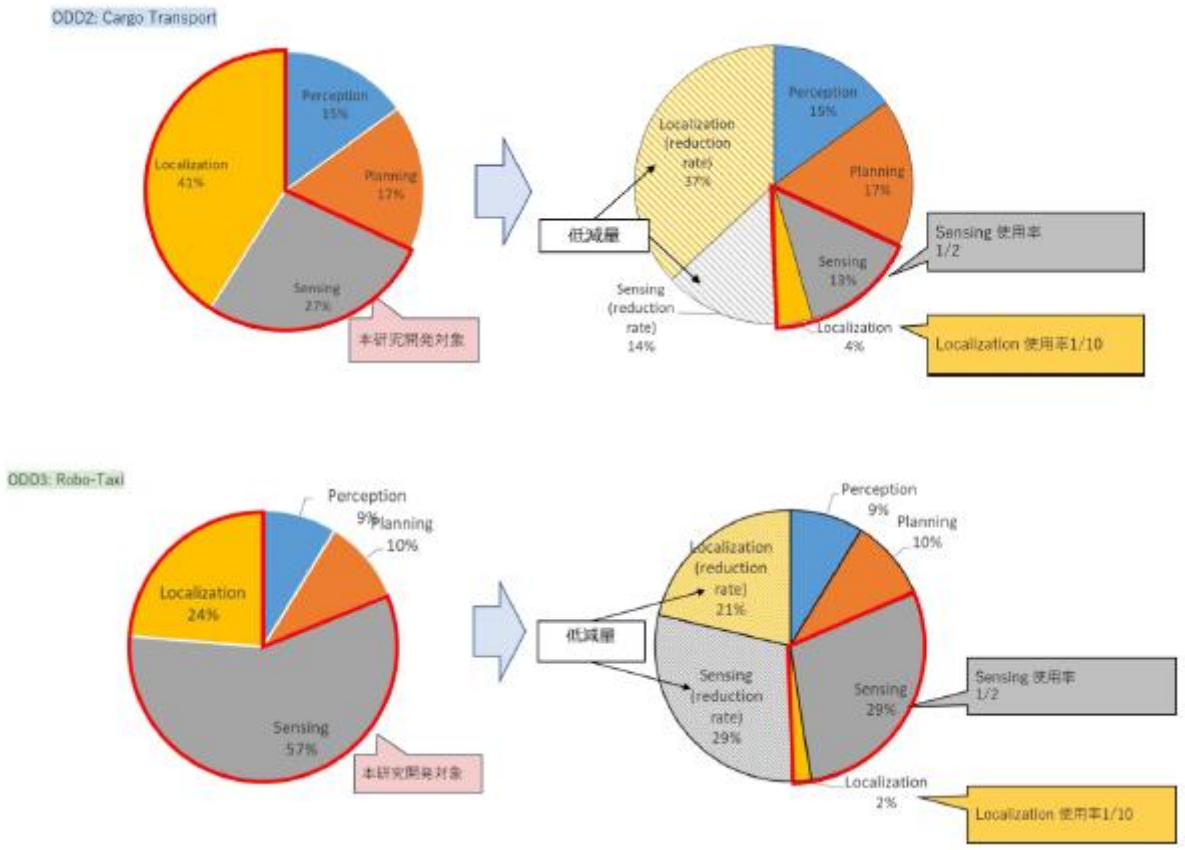


図 4.7.3.3 ODD2/3 CPU 効率化説明
(右側が成果適用後で、斜線箇所が消費電力低減可能箇所)

4.7.4. 成果の意義

本研究開発成果は、完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームのために要素技術を研究開発し、オープンソースソフトウェアである Autoware を利用した実証実験を通して、本研究開発で提唱した技術コンセプトの事業性があることを実証した。

4.7.5. 成果の普及

本研究開発成果は、事業性の高いコンポーネントからユーザに対して普及させていく。具体的には、ドキュメントの提供や品質の向上、開発キットの提供などを通して、ユーザが気軽に利用できるようにする。

4.8. 研究開発テーマ「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」

4.8.1. テーマ概要

本テーマでは IoT エッジのセキュリティー基盤となるチップ統合環境を構築することを目的とし、実施項目を大きく以下の 4 つに分けて研究開発を進めた。
実施項目１：セキュア MCU アーキテクチャー
実施項目２：トラスト実行環境（TEE）
実施項目３：アーキテクチャーの産業用途即応化
実施項目４：セキュリティー社会実装 PoC 設計

実施項目１：セキュア MCU アーキテクチャー（ハードウエア基盤技術開発）
AI チップでサイバーセキュリティーを確保するために必須となる、セキュア MCU のシステムアーキテクチャー主要概念を開発する。チップのセキュリティーでは安全な鍵注入や暗号技術の安全な管理がユーザーから求められている。これに応えるために RISC-V とは独立に鍵管理、真性乱数生成を行うセキュア MCU の仕様検討を行う。セキュア MCU のための固有鍵サーバーと、セキュア AI エッジデバイスのための鍵管理サーバー（実施項目４）の連携方法を開発する。セキュア MCU は RISC-V と同一 SoC 上に組み込まれることを想定し、低消費電力、物理的耐性を持ち、機能性、安全性を確保する。

実施項目２：トラスト実行環境（TEE）（ソフトウエア基盤技術開発）
TEE の RISC-V 上での実装方式の開発と、RISC-V International における標準化活動を推進する。通常の計算とは独立して安全に計算する環境 TEE は非営利団体である Global Platform において仕様が策定されており、通常の OS が走る Normal World と Trusted OS が走る Secure World は物理的に分離されている。この機能はスマートフォンの認証システムやセットトップボックスの DRM 実装で活用されているが、RISC-V では TEE の実装についてまだ規格が決まっておらず、ワーキンググループ（WG）での協議段階である。従来の研究開発プロジェクトでは新しい方式を提案しても規格策定で採用に至らない事が多かったため本プロジェクトでは技術開発と並行して、RISC-V International の WG にも参加して標準化の議論も進める。本プロジェクトの TEE ハードウエアで使われる RISCV（64bit コア）の起動等の動作はセキュア MCU により検証され、更にその検証は TEE ソフトウエアによってネットワークを経由して第三者機関で検証出来るよう構築する。これにより組み込みユーザーがハードウエアラスト実行環境を提供する。
本プロジェクトで開発する TEE ソフトウエアの Trusted OS や Trusted Application は AI エッジ・産業用途に供する。特に Trusted Application としては、ネットワーク経由で OS の更新を行う OTA（Over The Air）やアプリケーションの実行をネットワーク経由で監視する Remote Attestation を作成することで、安全に OS/アプリケーションが更新・実行されることを確認できるようにする。OTA および Remote Attestation を TEE としてビジネスに用いた具体例はなく、本プロジェクトの開発成果を世界初の共通基盤とする。また、Trusted Application に関する管理プロトコル（TEEP: Trusted Execution Environment Provisioning）が IETF で提案されているため、これらとも連携を取り、標準化することで産業応用に供するものにする。Trusted Application の取得先および Trusted Application 自身の信頼を検証するための鍵管理手法を開発する。

実施項目３：アーキテクチャーの産業用途即応化（普及促進活動と効果検証（従来チップからの移植容易性検討））
本プロジェクト当初の目標である「産業用途で求められる RISC-V 企画に従った CPU の研究開発(マイクロアーキ検討 等)」は、RISC-V International における追加アークテクチャ検討の決定等の状況を鑑みて 2020 年度以降その実施を見合わせた。2020 年度からは「広範な市場ニーズを把握するためのユーザーコミュニティ組織の形成」を実施し、市場から探索したニーズを他の実施項目の開発仕様に追加反映した。ユーザーコミュニティ活動においては、別途定める研究成果のユーザーコミュニティポートフォリオに基づいて、市場に対して開示可能な成果物から開示した。

実施項目４：セキュリティー社会実装 PoC 設計（具体的なユースケース検討）
上記開発技術を活用し、具体的な AI エッジの産業ユースケースの模擬環境での実証を行う。サービス運用などに使う業務管理サーバーとエッジ処理ユニットとのコネクションが成立するためにデバイス真贋証明、暗号鍵や証明書の発行、保管、失効等の暗号鍵管理機能の確認を通して、事業活用の有効性を確認する。
また、本プロジェクト開始から 2019 年度前半までの期間で初期検討を行い、エッジ AI のセキュリティーに関するエコシステムを構築するために必要な技術要素を検討する。初期検討の結果に基づき、2019 年度後半に開発技術の目標仕様を詳細に定義し、研究開発を推進する。
最新の業界動向を踏まえると、本プロジェクトで開発するオープンなセキュリティー技術を広く普及させるためには、開発用の上位環境をセットで提供することが重要である。初期検討の中で、準備すべき上位環境の形態について仕様検討する。そして、一案として、実施項目４「セキュリティー社会実装 PoC」の中で上位環境の開発に関する開発も強化する等の合理的な体制を議論し、予算の増額提案も視野に入れて検討する。

4.8.2. 最終目標と根拠

本テーマ全体として、IoT エッジのセキュリティー基盤技術となる、RISC-V をベースとしたチップ統合環境を構築し、第三者が検証可能なホワイトボックスなものとするため、ソースコードレベルで設計資産をオープンにして、業界全体で活用可能な環境を提供することを最終目標とした。
IoT は様々な業界の業務を高度化、効率化する可能性を持った概念であるが、様々なデバイスが自由に接続、切断を繰り返すその特徴から、セキュリティー管理がその実運用上の大きな課題となっている。本テーマが最終目標としたエッジセキュリティーの統合環境の構築と普及は、IoT システムを実運用する上で必要不可欠な要素である。

4.8.3. 目標の達成度

本テーマ全体として、エッジセキュリティーの統合環境である TrustedRV の開発と実装を完了し、普及促進活動として「オープンフォーラム」を開催し、本テーマの取組みの啓もうを行った。本テーマ全体として、目標は達成できたと考える。

4.8.4. 成果と意義

本テーマで開発した TrustedRV は、RISC-V ベースで構築された信頼の起点と TEE を統合した世界で唯一のチップアーキテクチャーである。これまで、チップセキュリティーの

実装のためには高価なライセンス料を伴う商用ツールしか存在しなかったが、オープンISA である RISC-V を活用した TrustedRV により、各サービス事業者が、セキュアなチップ環境の構築を低コストで実現し、それぞれの競争領域に開発リソースを集中できる事業環境が提供できる。

本テーマの成果一覧

実施項目	研究開発の目標	達成度
① セキュア MCU アーキテクチャー	サーバー、クライアント PC 等の周辺システムを含めた全体仕様書。	SecureUnit 側のネットワーク対応を実施し、サーバー、クライアント PC とセキュア通信ができるハードウエアプラットフォームの仕様を策定し、FPGA 実装を完了。
②-1 RISC-V 版 TEE 様策定およびハードウエア開発	RISC V International の TEE アーキテクチャー拡張規格準拠チップ動作完。 社会実装 PoC の統合フィールド実証システム向け、チップ提供完。全体結合テストにおいて、目標性能の達成完。	実施項目①と連動して動作する TEE アーキテクチャーのハードウエアプラットフォームをリリースし、PoC システムへ適用の完了と、全体結合テストを実施し、目標機能・性能の達成を確認。
②-2 トラスト実行環境（TEE）	統合環境上での TEE ソフトウエアの動作確認、TEE の既知の脆弱性に対する対処技術、セキュリティー、およびアーキテクチャーに関する一流国際会議での発表。	Remote Attestation を Trusted RV で実現。国際貢献として IETF で TEEP プロトコル仕様の作成。一流国際論文 IEEEAccess 2 件を含む全 8 論文を発表。
③-1 産業用途 RISC-V	ユーザーコミュニティ活動の実施報告。	1. オープンフォーラム開催：合計 5 回 2. 賛助会員：8 法人 3. 研究成果物のリリース：20 件を達成 4. その他：10/18-21 CEATEC への NEDO 出展にて研究成果のデモ展示。
③-2 ソフトウエア移植容易性	制御用 OS の移植容易性を実機で実証する。	FPGA 上で RISC-V に Bi-Endian とレジスタサイズ可変機能を追加し、制御 OS を動作させることで、Endian やレジスタサイズの異なる既存 CPU から RISC-V へのソフトウエア移植が容易化されることを実機実証完了。
④-1 セキュリティー社会実装 PoC 設計	PoC システムの模擬環境での実証およびシステム評価完。	車載 ECU 向けユースケースの模擬環境での実証を行い、コネクテッドカー乗っ取り等のハッキングをローカル検証局により防止するシステムの評価を完了。
④-2 セキュア AI エッジ応用ライフサイクルの社会実装シミュ	RISC-V TEE システムを用いた応用ライフサイクルの仮説検証完。	RISC-V TEE システムのライフサイクル仮説設定完検証情報の設定とヒアリング実施完了。

レーション		

4.8.5. 成果の普及

事業期間中に実施したオープンフォーラムにて、チップセキュリティーの重要性の啓もう活動と TRV の要素技術及び応用技術の訴求活動は一定程度できたと考えるが、引き続き、各事業者が国際会議や標準化団体での活動を通じて、成果の普及を進めていく。

4.9. 研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」

4.9.1. テーマ概要

エッジ AI 向けを含む世界の半導体市場は 2030 年に 100 兆円に拡大すると見込まれており[1]、それらの応用先も含めた CPS/IoT 関連市場は 2030 年に世界で 404 兆円規模に拡大すると見込まれている[2]。一方、セキュリティ上の脅威や攻撃が原因で市場の縮小・停滞・混乱事例も出始めている(例えば、米国で 140 万台の車のリコールが発生していること[3]、不正利用により 7pay 事業が停止となりセブン銀行の決算でセブン・ペイに約 30 億円の損失が計上されたこと[4]など)。本研究開発テーマでは、セキュリティが原因で本市場の拡大が阻害されることを防止するため、AI エッジデバイスに対する脅威や攻撃と対策候補の関係について分析し、また、最新の成果も取り込みながら俯瞰できるようすることで横断的な評価を可能とした。また、これを実現するために、デバイスの入出力に係るサブテーマを実施項目１、デバイスの内部の保護に係るサブテーマを実施項目２、デバイスの個体管理に係るサブテーマを実施項目３で取り組み、テーマ全体のとりまとめを実施項目０で実施した。

4.9.2. 最終目標と根拠

本研究開発テーマの最終目標（アウトカム）は、AI エッジデバイスに関連する市場が拡大する中で、セキュリティが原因で本市場の拡大が阻害されることを防止することにある。セキュリティにより市場の拡大が阻害される要因としては、セキュリティリスクや対策効果が見えにくく判断が難しいため、実際に被害が出るまで対応が放置される傾向にあることが挙げられる。また、対応を取る際にも、全体のセキュリティのレベルは一番弱い箇所で決まり、攻撃技術も常に変化･進化するため、将来を見越した上で全体を俯瞰し、適用先の状況も考慮に入れながら適切な対策候補群を見極める必要がある。これを実現するために、本研究開発テーマでは、AI エッジデバイスにおいて今後問題となることが予想されるセキュリティ上の脅威を、科学的/学術的根拠に基づいて公正かつ正確に議論・評価するためのセキュリティ評価分析基盤を確立することを本研究開発テーマ期間の目標とする。ここでセキュリティ評価分析基盤とは、AI エッジのセキュリティを横断的に評価分析するための中核的な研究開発体制を指し、セキュリティ要件、評価分析手法、セキュリティ評価技術/機器/ツール/シミュレータなどで構成される。

4.9.3. 目標の達成度

本研究開発テーマ全体の成果及びエッジデバイス向け AI(機械学習)へのセキュリティ上の脅威や攻撃と対策候補の関係を評価分析しながら整理することで、AI エッジデバイスの適用分野に応じて適切な対策がとられているか否かの評価分析を可能にするためのセキュリティ評価分析基盤を確立し、これにより事業期間内での目標を達成した。

4.9.4. 成果と意義

上述のとおり、AI エッジデバイスに対する脅威や攻撃と対策候補の関係を俯瞰できるようにし、それらを対象に含む新たな評価分析カテゴリを確立させ、AI エッジデバイスに対する横断的な評価を可能とした意義は大きい。
以下においてその内容について報告する。本研究開発テーマでは、エッジデバイスを用いた AI システムを以下のように分類する。

- エッジ完結型
- エッジ推論/再学習型
- エッジ推論型
- エッジ・クラウド連携（連合学習）型
- クラウド型

表 4.9.4.1 の最右列に示すとおり、エッジデバイスを用いているため、推論対象はいずれもエッジ側にあることを想定するが、AI に求められる処理（初期学習、再学習、推論）をエッジとクラウドのどちらで行うかが異なるため、それに応じて上記及び表 4.9.4.1 のように分類する。

表 4.9.4.1 エッジデバイスを用いた AI システムの型と各処理の実行場所との関係

型＼処理	初期学習	再学習	推論	推論対象
エッジ完結型	エッジ	エッジ	エッジ	エッジ側
エッジ推論/再学習型	クラウド	エッジ	エッジ	エッジ側
エッジ推論型	クラウド	クラウド	エッジ	エッジ側
エッジ・クラウド連携型（連合学習）	エッジ/クラウド	エッジ/クラウド	エッジ	エッジ側
クラウド型	クラウド	クラウド	クラウド*	エッジ側

* 処理の一部をエッジで行う場合を含む

また、これらの関係を図で表したのが図 4.9.4.1 である。本研究開発テーマでの AI エッジデバイスは、これらの分類のうちクラウド型以外、すなわち、学習済みモデルがエッジデバイスに格納されている場合を指す。

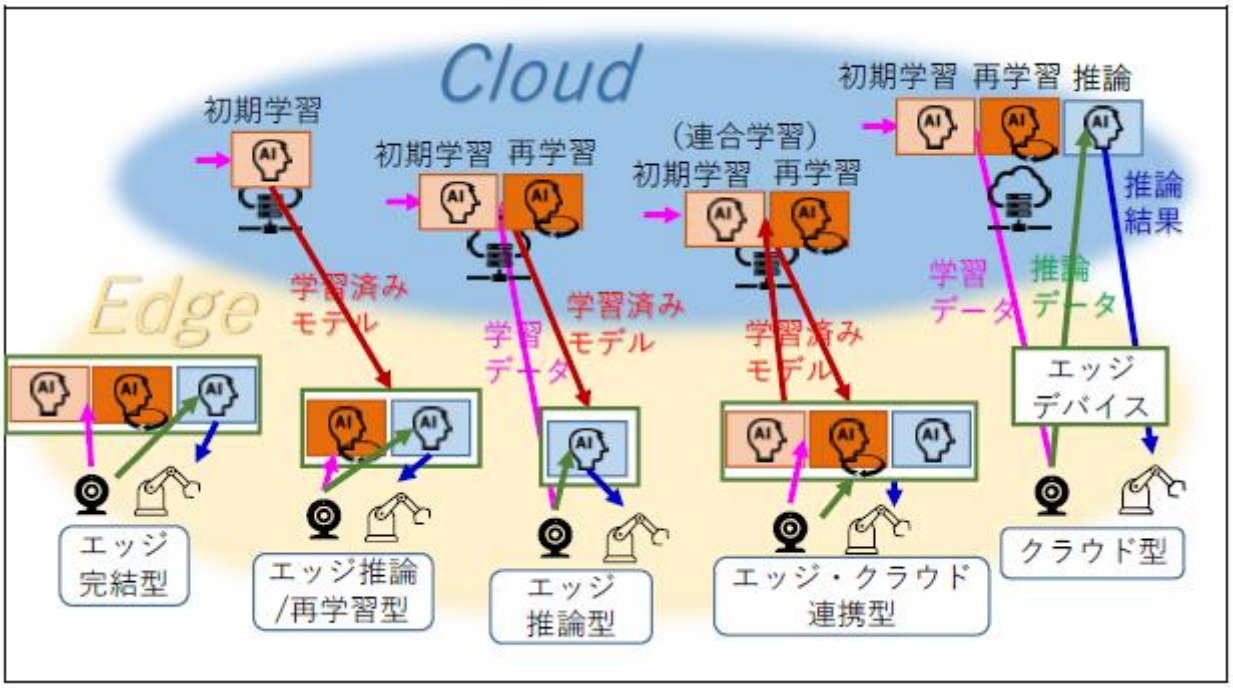


図 4.9.4.1 エッジデバイスを用いた AI システムの分類と構成図

AI エッジデバイスを用いる利点（エッジにおいて AI を用いる利点）としては、一つは、自動制御のようにリアルタイム性と通信障害耐性を確保する場合があり、もう一つは、少なくとも推論時において個人やプライバシに関連する情報をエッジ側で処理することで、それらをクラウドに上げないようにする点などが挙げられる。前者の構成例を図 4.9.4.2、後者の構成例を図 4.9.4.3 に示す。

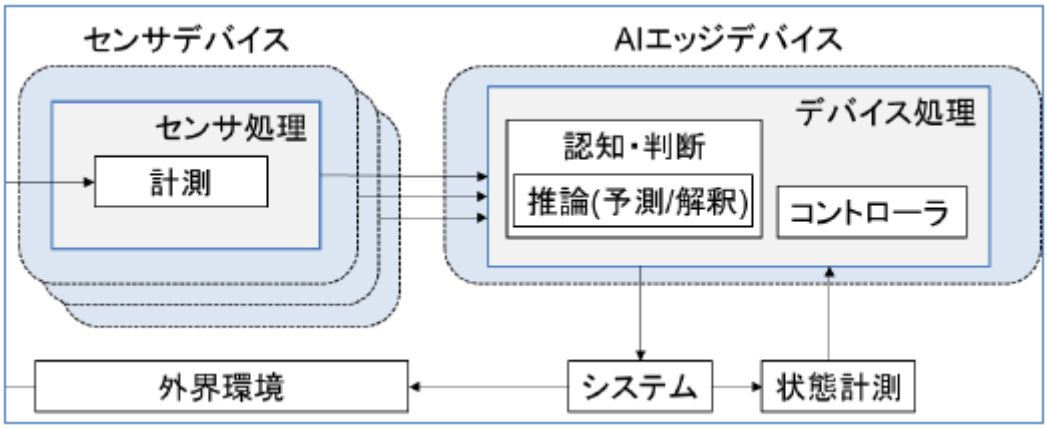


図 4.9.4.2 自動制御等で用いられる AI エッジデバイスの構成例

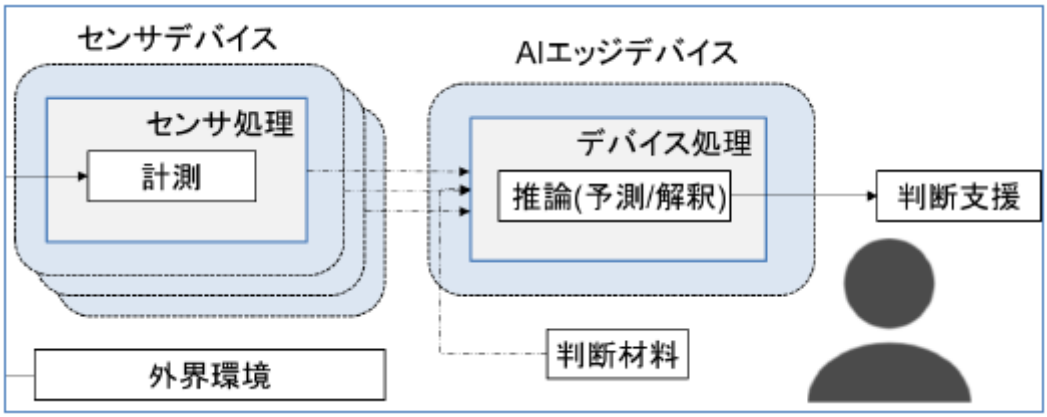


図 4.9.4.3 判断支援等で用いられる AI エッジデバイスの構成例

(1) 自動制御等で用いられる AI エッジデバイスの構成例
リアルタイム性と通信障害耐性が要求される自動制御等に用いられる AI エッジデバイスの構成例である。一つまたは複数のセンサデバイスが用いられ、外部インタフェースで AI エッジデバイスに接続する場合と AI エッジデバイスに物理的に据え付けられる場合がある。センサで得られた計測結果をセンサ処理で加工・デジタル化し、デバイス処理に受け渡す。デバイス処理において、センサデバイスから受け取ったデータの認知・判断を行う過程で予測・解釈のための AI による推論を実行し、認知・判断した結果をコントローラ経由で外部のシステムに受け渡す。

(2) 判断支援等で用いられる AI エッジデバイスの構成例
プライバシ保護が要求される判断支援等に用いられる AI エッジデバイスの構成例である。入力された判断材料やセンサデバイスから受け取ったデータをもとに、デバイス処理において予測・解釈のための AI による推論を実行し、判断支援のための情報を出力する。センサとの接続は、自動制御等で用いられる AI エッジデバイスと同様に、外部インタフェースで接続される場合と物理的に据え付けられる場合がある。

（クラウド型も含む）AI(機械学習)そのものに対する脅威や攻撃方法とそれらへの対策候補については最後にまとめるが、AI エッジデバイスに対しては、さらに、①入出力への攻撃、②内部への攻撃、③管理への攻撃も想定する必要がある。

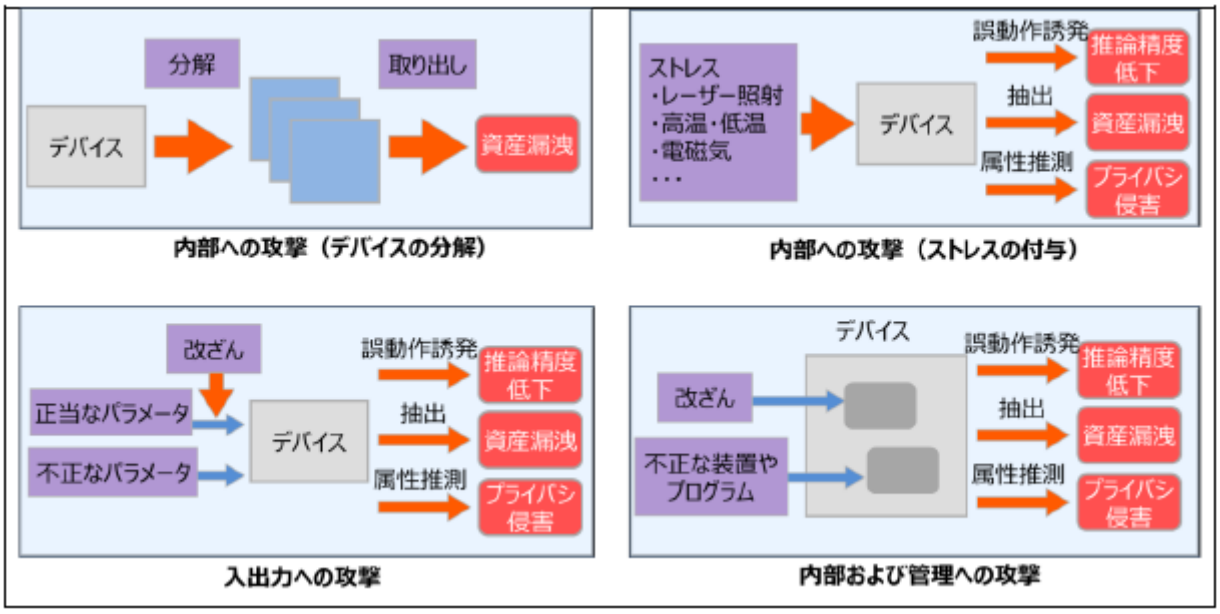


図 4.9.4.4 AI が組み込まれたデバイスに対する攻撃モデル

● 入出力への攻撃

センサ入力やデバイスの入出力インタフェース経由で行われる攻撃で、それらの入出力データを傍受し改ざんを加えるか、不正なデータを送り付けることで、誤動作を誘発するほか、内部データの抽出や属性を推測する攻撃である。不正データの入力が誤動作を誘発し、AI による推論の精度低下や資産漏洩の発生につながる可能性がある。
また、出力データの解析や漏洩したデータの属性を推測することによりプライバシ侵害につながる可能性がある。

● 内部への攻撃（デバイスの分解）

デバイスを物理的に分解し、ツール等を接続して、内部のデータを取り出す攻撃である。これにより、資産漏洩につながる可能性がある。

● 内部への攻撃（ストレスの付与）

デバイスに対して物理的なストレスを与え、負荷をかけて通常の保証動作環境を逸脱させ、動作に影響する状態を作り出すことで、内部データの抽出や属性を推測する攻撃である。外部からストレスを加えて誤動作を誘発し、AI による推論の精度低下や資産漏洩の発生につながる可能性がある。また、漏洩したデータの属性を推測することによりプライバシ侵害につながる可能性がある。

● 内部及び管理への攻撃

デバイスの各ライフサイクルにおける管理が不十分な箇所を突き、デバイスの内部実装を直接改ざんするほか、不正な装置やプログラムを混入させることで、誤動作の誘発、内部データの抽出、及び属性を推測する攻撃である。管理不備を突いた物理的な操作が誤動作を誘発し、AI による推論の精度低下や資産漏洩の発生につながる可能性がある。また、管理不備を突いた出力データの解析や漏洩したデータの属性を推測することによりプライバシ侵害につながる可能性がある。

これら AI エッジデバイス特有の攻撃方法に対しては、実施項目 1 において入出力、実施項目 2 において内部実装保護、実施項目 3 において個体管理のための識別子の詳細につい

て評価分析を行った。実施項目０では、AI(機械学習)に対するセキュリティ上の脅威と攻撃方法について、最新の成果も取り込みながら以下のようにまとめた。

表 4.9.4.2AI(機械学習)への秘匿性に対する脅威・攻撃方法の分類

機械学習への脅威・攻撃方法	脅威・攻撃方法の説明
訓練データの漏洩/（訓練データへの）秘匿性攻撃	訓練データに関する情報や、そこからモデルの特性の証拠などを明らかにすることを目的とした敵対的な攻撃
モデル反転攻撃 モデルインバージョン攻撃	学習済みモデルや補助データから訓練データや機密データを発見する攻撃
メンバシップ推測攻撃 メンバシップ攻撃 メンバシップ推定	特定のデータが、訓練データセットに含まれていたか、訓練データセットと同じ分布の一部であったかという情報を判別する攻撃
属性推測攻撃	訓練用データに関わるセンシティブ情報を推測する攻撃
プロパティ推測攻撃	訓練用データセットについての大域的な性質を推測する攻撃
モデル情報の漏洩	訓練済モデルの情報が漏洩する攻撃
モデル抽出攻撃	運用時に、入力データに対する出力の振る舞いを観察することで、訓練済みモデルと同様の動作をするモデルを抽出する攻撃
ホワイト/グレーボックス攻撃	モデルの内部情報知識を悪用した攻撃、もしくは、モデルの部分的な知識を悪用した攻撃

表 4.9.4.3 AI(機械学習)への完全性・可用性に対する脅威・攻撃方法の分類

機械学習への脅威・攻撃方法	脅威・攻撃方法の説明
データポイズニング攻撃	機械学習に用いるデータセットに意図的な改変を加える攻撃
バックドア型データポイズニング攻撃	特定の入力に対してのみ機能するようなデータポイズニング攻撃
強化学習時の特定状態への利得の誤謬	強化学習時の特定の状態の利得に対して改変を加える攻撃
モデルポイズニング攻撃	訓練済みモデルに対して不正な動作などを埋め込む攻撃
回避攻撃（敵対的データ）	悪意ある入力データ（敵対的データ）によって想定直感と異なる推論結果を出力させ訓練済みモデルを誤動作させる攻撃
解釈機能を誤動作させる攻撃	解釈機能による説明内容の価値を下げたり、間違った説明を生成したりする攻撃

次に、それらへの対策候補をその特性に応じて以下のように分類した。

- 機械学習モデル自体に高い汎化能力と安定性を持たせる対策候補
- 学習時に使用するデータセットを加工する対策候補

- 機械学習モデルへの入出力に対してあらかじめ処理を行うことで堅牢性を向上させる対策候補
- 管理/監視による対策候補
- プライバシ確保モデル（訓練データに含まれる可能性のある個人に関する情報を明らかにしない方法で学習されたモデル）を生成するための対策候補

表 4.9.4.4 機械学習モデル自体に高い汎化能力と安定性を持たせる対策候補

対策候補		概要
アーキテクチャ		アーキテクチャの面から、学習済みモデルが、訓練データセットに含まれない入力データに対して期待する反応を示すようにする
	アンサンブル学習	複数の分類器を用いて、回避攻撃などに対する堅牢性を高めた分類法のこと
モデル軽量/最適化		モデルの軽量化及び最適化を通じて、学習済みモデルが、訓練データセットに含まれない入力データに対して期待する反応を示すようにする
	ファインチューニング	用途に合わせて追加で学習させたりパラメータを微調整したりすること
	量子化/計算精度の変更	パラメータの精度を落とした型への変換
	プルーニング	必要性の低いノードの除去
	重みクラスタリング/重み共有	重みをクラス分けし、各クラス内の重みをその代表値/重心値に設定する方法のこと
データ拡張		訓練用のデータ数の確保や過学習の防止など、または、テスト用のデータ数の確保のため、データの変種を生成してデータセットに追加すること
敵対的生成ネットワーク		敵対者（実際のデータと生成されたデータを区別しようとする識別器）の存在下でモデル生成器を学習させることで、モデル生成器の有効性を高める機械学習手法のこと
	敵対的訓練/ロバスト訓練	誤推論しそうな近傍データを探索しながら訓練を行う手法のこと
	ロバスト最適化法	敵対的学習は **mini-max** 問題として定式化される。内部の問題がワーストケースの有界摂動の下でトレーニングポイントを操作してトレーニングロスを最大化し、外部問題としてワーストケースの訓練損失を最小化するように学習アルゴリズムを訓練すること
誤差逆伝搬/損失関数への制約		誤差逆伝搬や損失関数の勾配を利用するなどの学習方法に制約を設ける方法のこと
	正則化	訓練時に学習するパラメータが過剰に大きくなることを抑えること
	勾配マスキング	勾配を最小化することで、「敵対的データ」に対するモデルの感度を下げること
	短縮ネットワーク	「敵対的データ」に対する影響を軽減するために、防御の目的で「**smoothness penalty**（滑らかさのペナルティ）」を適用する機械学習の手法の一つのこと。入力の変量に対する出力の変量にペナルティを課し、「敵対的データ」を生成するのに必要なばらつきを大きくすること
	ドロップアウト	訓練中にランダムにニューロンを訓練対象から除外すること

表 4.9.4.5 学習時に使用するデータセットを加工する対策候補

対策候補	概要
データクリーニング/クレンジング データ無害化	データクリーニング/クレンジングは、データセットに対して、本来の特徴を訓練できるように、ノイズ除去、データ整形、欠損値補完、外れ値除去などを行うこと データ無害化は、操作されたサンプルデータを訓練データの外れ値として識別して扱い、検出・除去する防御方法のこと
プライバシ情報の削除/加工	データセット中のプライバシ情報を削除する手法。特に、匿名加工は、データセットに対して特定の個人を識別することができないように個人情報を加工することで、特定性を低減すること

表 4.9.4.6 機械学習モデルへの入出力に対してあらかじめ処理を行うことで堅牢性を向上させる対策候補

対策候補	概要
区分ベース防御	画像の断片にニューラルネットワークを適用し、画像中の敵対的なパターンに対する堅牢性を向上させる機械学習手法のこと
防御的蒸留	機械学習モデルに入力する前に、不正な判定・予測用データを検知・排除する、または、それらによる機械学習モデルの出力への影響を軽減する学習モデルを利用する手法のこと 不正な判定・予測用データによる誤った判定・予測の誘発への対策
オートエンコーダー	入力層の値を教師データとし、中間層で潜在変数に次元を圧縮するニューラルネットワークのこと
ロバスト学習	外れ学習サンプルに対する感度が本質的に低いロバスト統計（Robust Statistics）に基づく学習アルゴリズムのこと
出力低情報化	学習済みモデルの情報を攻撃者が得ることを防止するため、必要以上の推論結果を出さないようにすること
出力ランダム化	分類器の出力をランダム化し、攻撃者に不完全なフィードバックを与える防御方法。Randomization defense （訓練データ、モデルの学習損失関数（training cost function）、学習パラメータ、モデル出力にランダムなノイズを付加し、プライバシを保護する防御メカニズムのこと）のサブセットのこと
ランダムスムージング	ランダムノイズを付加したデータをニューラルネットに入力したときの出力の期待値を推論結果とする手法であり、ランダムスムージングによって安定性が向上することが報告されている

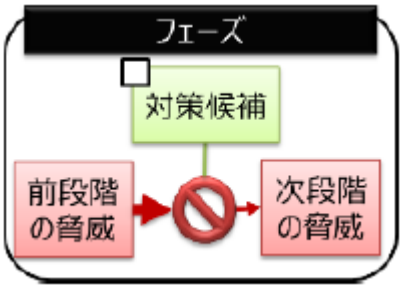
表 4.9.4.7 運用/監視による対策候補

対策候補		概要
運用対策		
	データセットとその入手経路の管理	データポイズニング攻撃など機械学習に用いるデータセットに意図的な改変を加えること、メンバシップ推測攻撃などデータセットから情報を抽出する攻撃に対して、データセットやその入手経路を厳格に管理することで、攻撃の実現を抑制する
	学習済モデルとその入手経路の管理	学習済モデル自体を厳格に管理することで、モデルポイズニング攻撃など、訓練済みモデルに対して不正な動作などが埋め込まれるような攻撃を抑制する
	悪意のある利用者による大量計測の防止	学習済モデルへの(大量)問い合わせを通じたモデル抽出攻撃により、訓練済みモデルと同様の動作をするモデルを抽出するもの。これには、問い合わせ回数の制限等を組込み攻撃の実現を抑制する
監視対策		
	攻撃検知	異常と正常な動作、または「敵対的データ」と良性のデータを区別する動作のこと
	精度モニタリング	訓練済み機械学習モデルの精度を直接測定すること
	KPI モニタリング	モデルの単なる精度だけではなく、コンバージョン率などユーザ利益に即した KPI の観点での監視を行うこと
	入出力モニタリング	訓練済み機械学習モデルによる推論結果またはその入力データの監視のこと。その監視方式は、人力監視（全数、サンプリング）、自動監視（アラート条件が既知）、フィルタリング（アラートの可能性が高い条件が既知）に分類される

表 4.9.4.8 プライバシ確保モデルによる対策候補

対策候補	概要
プライバシ保護/維持学習	訓練学習の中核をなす学習アルゴリズム中に差分プライバシの方法を組み込むことで、導出結果である訓練済み学習モデルからの訓練データ保護を目的とする
連合学習	クライアント・サーバ方式による分散コンピューティングの考え方を訓練学習に応用する方法。大規模な訓練データセットを複数に区分けし、区分けしたデータセットごとに、これを入力とする訓練学習をクライアントで実行する このクライアント側の計算処理で得た中間的な訓練結果をサーバで集約する。クライアント・サーバ連携処理を繰り返して最終的な訓練済み学習モデルを得る

続いて AI エッジデバイスに対する攻撃の影響を横断的に評価分析できるよう、各攻撃の進展経路、最終的な影響、各対策がどの経路に効果を発揮するかについて評価分析を行い、右図 のような凡例を用いて、図 4.9.4.5 のように整理した。凡例では、矢印始点が「前段階の脅威」を示し、これに対して、緑色の矩形が示す「対策候補」により、その脅威が軽減され、矢印終点が示す「次段階の脅威」が残存リスクとなることを示す。



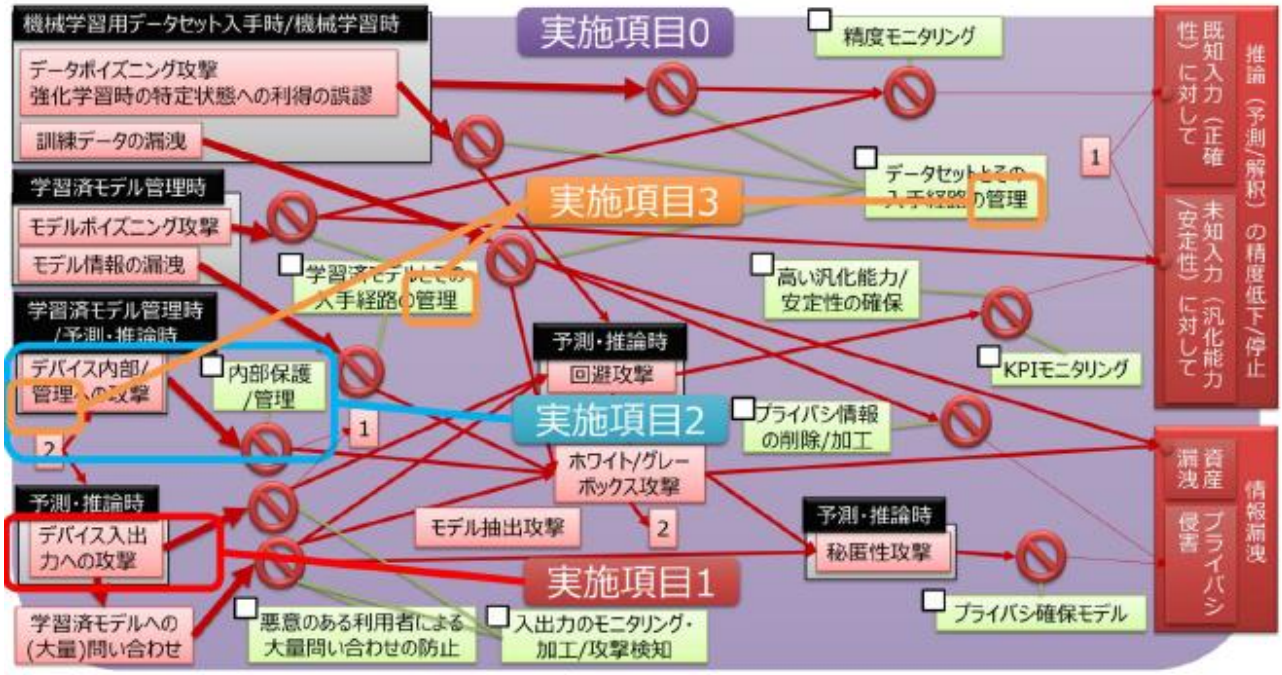


図 4.9.4.5 AI エッジデバイスへの脅威・攻撃とそれらへの対策候補の関係

ステークホルダや応用先によっては、AI のライフサイクル、サプライチェーン、バリューチェンの一部の段階（フェーズ）のみしか担っており、全ての脅威や攻撃について考慮する必要が無い場合もあるため、各脅威や攻撃が問題となるフェーズについても以下のように分類した。

- 機械学習用データセット入手時/機械学習時
  - データポイズニング攻撃
  - 強化学習時の特定状態への利得の誤謬
  - 訓練データの漏洩
- 学習済みモデル管理時
  - モデルポイズニング攻撃
  - モデル情報の漏洩
- 学習済みモデル管理時/予測・推論時
  - デバイス内部/管理への攻撃
- 予測・推論時

- デバイス入出力への攻撃
- 学習済みモデルへの（大量）問い合わせ
- ホワイト/グレーボックス攻撃、モデル抽出攻撃
- 秘匿性攻撃
- 回避攻撃

各脅威や攻撃が適用先に与える影響は以下のとおりとなる。

(1) 推論(予測/解釈)の精度低下
推論精度の低下については、AI エッジデバイスへの入力が既知か未知かによって対応の難しさが異なる。既知の入力に対しては正しい推論結果も分かっており、それを用いることで AI 以外による対処も可能であるのに対して、未知入力に対しては正しい推論結果は分からないため AI の推論精度の低下の影響を大きく受ける。例えば、自動制御/生産現場に関するユースケースでは、自動運転での予測精度の低下による事故や、重要インフラ保全での想定されない解釈結果等が導出されることによるサービス停止、判断支援サービスのユースケースにおいては、許認可等のように権利／資産等に係る判断やその基となる解釈を誤る、などにより社会の混乱などに繋がる場合がある。

(2) 情報漏洩
情報漏洩については漏洩する内容により、資産漏洩とプライバシ侵害に分類できる。AI モデルや訓練データに競争領域の業務知識やノウハウが含まれている場合は前者、プライバシ関連の情報が含まれている場合は後者の影響を受ける可能性がある。自動制御/生産現場に関するユースケースではプライバシ侵害に該当するケースは少ないと考えられるが、例えば、訓練データの背景等にプライバシに関連する情報が含まれている場合や、入出力から特定の個人との紐づけが可能となる場合などが該当する。一方、判断支援サービスに関するユースケースにおいては、さらに、人種、病歴などの個人プロファイルや、在宅情報など犯罪に悪用され得る情報が漏洩した場合にプライバシ侵害が懸念され、法規制に抵触する場合、さらに大きな影響を受けることになる。
これらの成果を活用することで、適用先/応用先に応じて AI エッジデバイスの脅威や攻撃とそれらへの対策候補の関係を俯瞰できるようになり、横断的な評価を可能とした。

4.9.5. 成果の普及

前節の成果は、AI エッジデバイスを既に用いている、または、導入を検討している全ての分野に適用可能であるが、求められるセキュリティ要求やレベルは応用分野により異なるため、AI エッジ応用分野のステークホルダ（製品やサービスの提供者、調達者、セキュリティ評価機関、セキュリティ認証機関など）の意見も伺いながら、社会に受け入れられ易いものにしている。AI エッジデバイスなどの高い付加価値を持つ製品やそれらの部品などを物の物理的特徴の計測または測定により管理するための識別子（人工物メトリクス）に対しては、企業・大学などの有識者委員とともに「人工物メトリクスを用いた個体管理技術ガイダンス」を策定し 2022 年 1 月に公開し、本ガイダンスを解説するためのシンポジウムを 2022 年 3 月に開催した。また、関連する企業群、横国大、産総研、政府模倣品対策室などで『人工物メトリクスタスクフォース』を作り、日本から提案した人工物メトリクスの国際標準化は 2022 年 12 月に ISO 22387:2022 (Validation procedures

for the application of artefact metrics:人工物メトリクスを利用する際の妥当性確認手順)として成立した。セキュリティ評価時に信頼区間を厳密に計算するためのプログラム「EBCIC: Exact Binomial Confidence Interval Calculator」はオープンソースで公開すると共に、PyPI (Python Package Index)への登録を行った。

4.10.　研究開発テーマ「セキュアオープンアーキテクチャ向けコンパイラバックエンドおよび対応ランタイム環境の設計・開発」

4.10.1.　　テーマ概要

本プロジェクトの事業内容は、下記①～④であるハードウェアとアプリケーション・サービスの界面となる４つの開発と⑤、⑥の２つの効果検証によって構成される。ソフトウェアスタックで最上位層にあたる実施項目④の評価は他の項目に依存せず、④内にて完結した評価を実施する。今回の研究開発が対象とするエッジシステムは下記左のようなシステム全体像で示す。これに対して、研究開発の全体像は下図右の構成となっており、既存の世界標準を利用しつつ、本プロジェクトの目的である組込み（リアルタイム）システムに必要な差分を開発し、再び標準に戻す形となる。既存の世界標準を利用しつつ、本プロジェクトの目的である組込み（リアルタイム）システムに必要な差分を開発し、再び標準化活動へフィードバックする予定である。

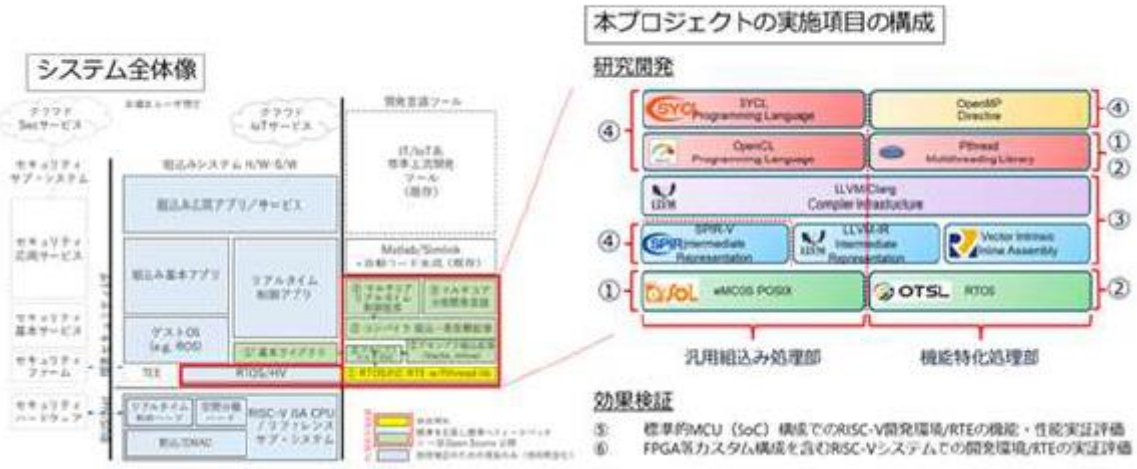


図 4.10.1.1 本プロジェクトの実施内容と想定するシステム構成の関係図

効果検証は開発環境が持つ「特定のシステム・構成に依存した仕様・実装・提案は標準として受け入れられない」という特性・事情から、以下の ⑤、⑥の異なる２つのケースで実施する。

表 4.10.1.2 本プロジェクトの事業内容

種別	事業内容
研究開発	① RISC-V に最適化されたマルチコア対応の高性能 RTE の設計・開発
	② セキュアオープンアーキテクチャ対応 RTE のオープンソース化実証および対応評価環境の設計・開発
	③ セキュアオープンアーキテクチャ向けベクトル化 C コンパイラの設計・開発
	④ セキュアオープンアーキテクチャ向け並列化対応開発環境の設計・開発
効果検証	⑤ 標準的 MCU（SoC）構成での RISC-V 開発環境/RTE の機能・性能実証評価
	⑥ FPGA 等カスタム構成を含む RISC-V システムでの開発環境/RTE の実証評価

4.10.2. 最終目標と根拠

本テーマでは、AI をエッジシステムで RISC-V アーキテクチャを利用する際に必要となる、ソフトウェア実行環境（Runtime Environment, RTE）、コンパイラ基盤、並列プログラム処理系といった高速かつ高効率・低消費電力なランタイム＋開発ツールで構成される RISC-V 開発環境エコシステムを構築することが最終目標である。

4.10.3. 目標の達成度

本テーマの計画目標、達成状況は下表の通りである。

実施項目	計画目標	達成状況
①RISC-V に最適化されたマルチコア対応の高性能 RTE の設計・開発	RISC-V に最適化されたマルチコア対応の高性能 RTE の pthread 開発：RISC-V に最適化されたマルチコア対応の高性能 RTE により実行制御のオーバーヘッドおよび精度レンジが現状よりも 20%以上短縮 RTE と連携する並列化支援ツールの RISC-V 対応開発：高性能 RTE 実現のための開発支援環境の完成 デバッガのターゲット依存部開発： 高性能 RTE 実現のための開発支援環境の完成	研究計画通り達成済み。eMCOS POSIX の RV64 移植を行い、また設計の改善を実施したことにより、実行制御のオーバーヘッドを約 71％削減させた高性能 RTE を実現した。 また、同 OS 上でデバッガおよび eMBP が正常に動作することを確認できた。
②セキュアオープンアーキテクチャ対応 RTE のオープンソース化実証および対応評価環境の設計・開発	RTE のオープンソース化実証および対応評価環境の設計・開発：オープンソースベースの RTE と LLVM およびセキュリティモジュールとの接続部分での無駄を抽出し､適切な I/F 仕様を策定し、標準的システム構成を検討後、FPGA ベースの PoC 環境を構築 機能特化処理部分においての RTE 環境の構築：構築された PoC を使用し、実行制御のオーバーヘッドおよび制度レンジの 20%以上の短縮	研究計画通り達成済み。PoC システム上にて RTE の動作を確認し、動作確認結果を RTE/RISC-V コアへフィードバック・性能強化を行い、性能測定を完了した。
③セキュアオープンアーキテクチャ向けベクトル化 C コンパイラの設計・開発	ベクトル化対応 LLVM の開発と、C 言語へのベクトル化対応専用数学ライブラリの導入：インラインアセンブラ、イントリンシック関数としてベクトル命令を処理できる LLVM を実現す	研究計画通り達成済み。RVV 対応のツールチェインを用意し、C ソースコードで記述したプログラムから RVV 命令が生成されることを確認した。連携デバッグにおいて

	る。また、ベクトル演算機能を用いる専用の数学ライブラリを用意する。これにより、従来のイントリンシックベースのベクトル化に対し、80%のベクトル化効率の向上を実現する LLVM デバッガインターフェースの開発：肥大化するソフトウェアのデバッグを効率化するために、コンパイラの技術を使うデバッグ手法を導入し、10 倍のソフトウェア開発 TAT の短縮を実現する。	は、実行時に自動的にエラーを検出することを確認した。
④セキュアオープンアーキテクチャ向け並列化対応開発環境の設計・開発	組込み用途 OpenMP ディレクティブプログラミング環境：HPC 向け高スループット重視スケジューラと比較し、20%以上の性能改善 RVV に対応する OpenCL/SYCL 処理系：イントリンシック関数により手作業で最適化するベクトル化コードと比較して 80%以上の実行効率	研究計画通り達成済み。RVV 対応の並列化プログラミングツールの開発を達成した。 OpenMP 処理系で静的スケジューリング機能を実現し、スケジューラコストが 27%改善する事を確認した。 OpenCL 処理系が RVV イントリンシックによる C プログラムと比較して 37%高い性能を発揮する事を確認した。
⑤標準的 MCU（SoC）構成での RISC-V 開発環境/RTE の機能・性能実証評価	MCU（SOC)構成のシステム上でのプロジェクト成果物の動作検証	研究計画通り達成済み。Ai-One ボード環境上でのベンチマークを実施し、ベクトル化版の性能あたりの電力化効率がスカラ版と比較して、前者が約 68 倍優れている事を確認した。

当初の目標である「RISC-V 開発環境エコシステムを構築すること」は 100%達成できたと言える。

4.10.4. 成果と意義

本テーマでは RISC-V 向けに、図 4.10.1.1 にて示すシステム階層を包括的に構築し、ハードウェアとアプリケーション・サービスの界面となる基本ソフトウェア群を整備した。今後普及する RISC-V システムで主流となると予測されるヘテロジェニアスシステムを想定し、マルチコア対応 RTE ソフトウェア長ベクトル命令に対応する LLVM/clang コンパイラ、OpenMP ディレクティブプログラミング環境、OpenCL/SYCL プログラミング処理系を実現し、既存の商用システムとも比較され得る 2023 年時点で最高水準の RISC-V 向けソフトウエアエコシステムを開発した事は、今後の国内組込み業界において RISC-V システムを普及・浸透させるためにも非常にアドバンテージが高い事であると言える。

4.10.5. 成果と普及

OpenCL/SYCL に関しては Khronos Group と連携しワールドワイドで共同でのマーケティング活動を実施している。
イーソル株式会社の提案者がチェアを勤める IEEE Std. 2804 で標準化している SHIMXML の RISC-V 版を RISC-V のオープンソースコミュニティに公開することで、RISCV における SHIM XML の標準化の普及を促進する。
株式会社 OTSL の他オープンソース対応ソフトウェアと連携させ、イベント等での紹介を行うとともに、ベータテスタ企業などを選定し、早期に利用を開始してもらうことを予定している。
京都マイクロコンピュータ株式会社、株式会社エヌエスアイテクスの、オープンソース対応の取り組みとしては、2022/11/16-18 Edge Tech+ （展示会）および 2022/11/25DSForum(展示会、講演）において、RVV 対応 RISC-V 用 LLVM/Clang コンパイラや連携デバッグ機能への取り組み内容を紹介した。
本プロジェクトの研究開発成果について、共同ニュースリリースを 2023/4/27 に実施した。

●特許論文等リスト

◎研究開発テーマ「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	伴野 直樹	日本電気株式会社	Three-fold improved set-voltage variability of a Cu atom switch with a split electrode for very-large-scale integration	Japanese Journal of Applied Physics 59, SGGB09 (2020)	有	2020/2

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	伴野 直樹	日本電気株式会社	3x Improved Set-voltage Variability of Cu Atom Switch with Split-electrode for Very Large Scale Integration	Int. Conf on Solid State Devices & Materials (SSDM)	2019/9
2	多田 宗弘	日本電気株式会社	Opportunities and Challenges of Atom Switch for Next AI Hardware	Int. Conf on Solid State Devices & Materials (SSDM)	2019/9
3	丸山 勉	筑波大学	An Implementation of Non-Local Means algorithm on FPGA	The International Conference on Parallel Computing	2019/9
4	宮村 信	日本電気株式会社	革新的 FPGA の軌道上実証結果	第 63 回 宇宙科学技術連合講演会 日本航空宇宙学会	2019/11
5	阪本 利司	日本電気株式会社	原子スイッチが拓く低電力エレクトロニクス	AI チップ設計拠点フォーラム(第 8 回)	2020/1
6	伴野 直樹	日本電気株式会社	Split-electrode による原子スイッチの Set 電圧ばらつきの改善	応用物理学会(JSAP) 春季学術講演会	2020/3
7	岡本 浩一郎	日本電気株式会社	ON-state retention of Atom Switch eNVM for IoT/AI Inference Solution	IEEE International Reliability Physics Symposium	2020/4
8	根橋 竜介	日本電気株式会社	A 171k-LUT Nonvolatile Programmable Logic using Cu Atom-Switch Technology in 28nm CMOS	International Conference on Field Programmable Logic and Applications	2020/8
9	阪本 利司	日本電気株式会社	不揮発 FPGA の宇宙応用	応用物理学会(JSAP) 秋季学術講演会シンポジウム	2020/9
10	阪本 利司	日本電気株式会社	Atom-switch FPGA for low-power IoT applications	MEMRISYS Online Mini-Conference 2020	2020/11

◎研究開発テーマ「動的再構成技術を活用した組み込みAIシステムの研究開発」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名　　称	発明者
1	ルネサスエレクトロニクス株式会社	特願２０１９－１８９６０１	ＪＰ：日本国	2019.10.16	出願継続中	半導体装置およびその制御方法	
2	ルネサスエレクトロニクス株式会社	１７／０６５１６９（ＵＳ）	ＵＳ：アメリカ合衆国	2020.10.7	出願継続中	ＳＥＭＩＣＯＮＤＵＣＴＯＲ ＤＥＶＩＣＥ ＡＮＤ ＭＥＴＨＯＤ ＯＦ ＣＯＮＴＲＯＬＬＩＮＧ ＴＨＥ ＳＡＭＥ	
3	ルネサスエレクトロニクス株式会社	２０２０１１１０２９０４．７（ＣＮ）	ＣＮ：中国	2020.10.15	出願継続中	半導体装置およびその制御方法	
4	ルネサスエレクトロニクス株式会社	１７／３５８５７９（ＵＳ）	ＵＳ：アメリカ合衆国	2021.6.25	出願継続中	ＳＥＭＩＣＯＮＤＵＣＴＯＲ ＤＥＶＩＣＥ, ＤＡＴＡ ＧＥＮＥＲＡＴＩＯＮ ＭＥＴＨＯＤＳ ＵＳＥＤ ＦＯＲ ＴＨＥ ＳＡＭＥ, ＡＮＤ ＭＥＴＨＯＤ ＯＦ ＣＯＮＴＲＯＬＬＩＮＧ ＴＨＥ ＳＡＭＥ	
5	ルネサスエレクトロニクス株式会社	２０２１１０７４３８５１．５（ＣＮ）	ＣＮ：中国	2021.7.1	出願継続中	半導体装置、それに用いるデータ生成方法およびその制御方法	
6	ルネサスエレクトロニクス株式会社	２０２０－１１４５９２	ＪＰ：日本国	2020.7.2	出願継続中	半導体装置、それに用いるデータ生成方法およびその制御方法	

7	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２２／９０４３	ＰＣＴ（全指定）	2022.3.3	出願継続中	情報処理装置、情報処理方法及びプログラム	
8	ルネサスエレクトロニクス株式会社	２０２３－００６４５２	ＪＰ：日本国	2023.1.19	出願継続中	半導体装置	
9	ルネサスエレクトロニクス株式会社	２０２２－１２７０７２	ＪＰ：日本国	2022.8.9	出願継続中	プロセッサ、およびコンパイラ	
１０	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２２／１４０７０	ＰＣＴ（全指定）	2022.3.24	出願継続中	情報処理装置、情報処理方法及びプログラムが格納さ　れた非一時的なコンピュータ可読媒体	
１１	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２１／　３１８８０	ＰＣＴ（全指定）	2021.8.31	出願継続中	情報処理装置、情報処理方法及び非一時的なコンピュータ可読媒体	
１２	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２１／　３１８８１	ＰＣＴ（全指定）	2021.8.31	出願継続中	情報処理装置、情報処理方法及び非一時的なコンピュータ可読媒体	
１３	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２１／　３１８８２	ＰＣＴ（全指定）	2021.8.31	出願継続中	情報処理装置、情報処理方法及び非一時的なコンピュータ可読媒体	
１４	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２１／　３１７８９	ＰＣＴ（全指定）	2021.8.31	出願継続中	情報処理装置、情報処理方法及び非一時的なコンピュータ可読媒体	

１５	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２１／３１７９５	ＰＣＴ（全指定）	2021.8.31	出願継続中	クラスタリング処理装置、クラスタリング処理方法、非一時的なコンピュータ可読媒体及び情報処理装置	
	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２３／２７８８	ＰＣＴ（全指定）	2023.1.30	出願継続中	情報処理装置、学習方法及びプログラム	
	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２３／３０４２	ＰＣＴ（全指定）	2023.1.30	出願継続中	情報処理装置、情報処理方法及びプログラム	
	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２３／２８０１	ＰＣＴ（全指定）	2023.1.30	出願継続中	情報処理装置、情報処理方法及びプログラム	
	ＳＯＩＮＮ株式会社	ＰＣＴ／ＪＰ２０２３／２７９３	ＰＣＴ（全指定）	2023.1.30	出願継続中	情報処理装置、情報処理方法及びプログラム	

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	安藤	東京工業大学	Dither NN: hardware/algorithm co-design for accurate quantized neural networks	IEICE Transactions on Information and Systems、vol. E102	有	2019/12
2	本村	東京工業大学	深層ニューラルネットワーク向けプロセッサ技術の実例と展望	電子情報通信学会和文論文誌 C、J103-C (05)	有	2020/05

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
3	Junnosuke Suzuki, Tomohiro Kaneko, Kota Ando, Kazutoshi Hirose, Kazushi Kawamura, Thiem Van Chu, Masato Motomura, and Jaehoon Yu	東京工業大学	ProgressiveNN: Achieving Computational Scalability with Dynamic Bit-Precision Adjustment by MSB-first Accumulative Computation	IJNC		2021.2
4	Junnosuke Suzuki, Tomohiro Kaneko, Kota Ando, Kazutoshi Hirose, Kazushi Kawamura, Thiem Van Chu, Masato Motomura, Jaehoon Yu	Tokyo Institute of Technology	ProgressiveNN: Achieving Computational Scalability with Dynamic Bit-Precision Adjustment by MSB-first Accumulative Computation	International Journal of Networking and Computing 338-353		2021.5

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	中原	東京工業大学	A Tri-State Weight Convolutional Neural Network for an FPGA: Applied to YOLOv2 Object Detector	The 2018 International Conference on Field-Programmable Technology	2018/12
2	宗形	東京工業大学	雑音畳み込みニューラルネットワークとFPGA 実装	リコンフィギュラブルシステム研究会	2019/1
3	安藤	東京工業大学	Dither NN: 画像処理から着想を得た組込み向け量子化ニューラルネットワークの精度向上手法	リコンフィギュラブルシステム研究会	2019/5
4	植吉	東京工業大学	無効ニューロン予測による DNN 計算効率化手法	リコンフィギュラブルシステム研究会	2019/5
5	本村	東京工業大学	AI チップ: 世界の研究動向と東工大の研究戦略	東京工業大学研究院公開	2019/10
6	本村	東京工業大学	AI Computing: The Promised Land for Computer Architecture Innovation?	Future Chips Forum 2019	2019/12
7	鈴木	東京工業大学	ProgressiveNN: Achieving Computational Scalability without Network Alteration by MSB-first Accumulative Computation	CANDAR 2020	2020/11
8	本村真人	東京工業大学	ポストノイマン・ポストムーア時代の情報処理アーキテクチャ	応用物理学会春季学術講演会	2021.3
9	Masato Motomura	東京工業大学	”Hot” Techs for ”Cool” AI Computing: Do We have Enough Tricks?	Cool Chips 24	2021.4
10	中原啓貴	東京工業大学	二値・三値・量子化ニューラルネットワークの推論ＬＳＩと学習アルゴリズム	多値論理研究会　多値論理フォーラム	2021.12
11	Masato Motomura	東京工業大学	Hiddenite: 4K-PE Hidden Network Inference 4D-Tensor Engine Exploiting On-Chip Model Construction Achieving 34.8-to-16.0TOPS/W for CIFAR-100 and ImageNet	International Solid-State Circuits Conference (ISSCC)	2022.2
12	本村真人	東京工業大学	ＬＳＩ技術が開く構造型情報処理の新展開	ＬＳＩとシステムとワークショップ	2021.5
13	本村真人	東京工業大学	ビットスケーラブルＣＮＮにおける計算量・精度トレードオフ制御手法の検討	ＬＳＩとシステムとワークショップ	2021.5

(b)新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	ＳＯＩＮＮ株式会社	製造現場の最先端機械など披露 名古屋で展示会	産経新聞	2021/10

(c) 展示会への出典

番号	所属	展示会名	発表年月
1	SOINN 株式会社	AI･人工知能 EXPO プース展示	2019/4

◎研究開発テーマ「FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」

【特許】

番号	出願者	出願番号	国内外国 PCT	出願日	状態	名　　称	発明者
1	株式会社Ｐｒｅｆｅｒｒｅｄ　Ｎｅｔｗｏｒｋｓ	２０２３－０４８８９５	国内	2023.3.24	出願継続中	情報処理装置、命令挿入装置及び情報処理装置の制御方法	
2	株式会社Ｐｒｅｆｅｒｒｅｄ　Ｎｅｔｗｏｒｋｓ	２０２３－０４８８９６	国内	2023.3.24	出願継続中	データ処理装置	

(Patent Cooperation Treaty: 特許協力条約)

【外部発表】

プレス発表等

番号	発表者	タイトル	雑誌名・学会名・イベント名等	発表年月
1	株式会社Ｐｒｅｆｅｒｒｅｄ　Ｎｅｔｗｏｒｋｓ	ＭＮ－Ｃｏｒｅ　Ｄｅｅｐ　Ｌｅａｒｎｉｎｇ　Ａｃｃｅｌｅｒａｔｏｒ	ＳＣ２０２２（Ｅｘｈｉｂｉｔ　Ｂｏｏｔｈ：２２２０）	2022.11

◎研究開発テーマ「5G 時代を見据えた高度自律的学習機能搭載のための AI エッジコンピューティング技術の研究開発」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名　　称	発明者
1	株式会社アラヤ	特願2020-063139	国内	2021/3/31	公開	情報処理装置及び情報処理方法	森俊彰、水谷永輔、津田達也、大鳥羽暢彦、蓮井樹生、松本渉
2	株式会社アラヤ	特願2020-071101	国内	2021/4/10	公開	情報処理装置及び情報処理方法	森達也、大鳥羽暢彦

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Keiko Fujii, Hoshinori Kanazawa and Yasuo Kuniyoshi	東京大学	Spike Timing Dependent Plasticity Enhances Integrated Information at the EEG Level: A Large-scale Brain Simulation Experiment	Joint IEEE International Conference on Development and Learning and on Epigenetic Robotics (ICDL-EpiRob 2019) 137 - 142	有	2019年8月
2	玉井信也	株式会社アラヤ	産業用ドローンシステムへの世界モデルの応用に関する一検討	2020年度 人工知能学会全国大会（第34回） OS-18 世界モデルと知能 2D4-OS-18a-02	有	2020年6月

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	杉田博司	KDDI株式会社	最優秀賞をハード・ソフトの2部門受賞	JAPAN DRONE 2021主催『Best of Japan Drone Award 2021』	2019年10月
2		株式会社アラヤ	5G時代を見据えたAIエッジコンピューティングの開発	『マルチメディア推進フォーラム』 ５Ｇ時代のＡＩエッジコンピューティングが切り開くリアルタイムな世界	2019年10月
3	金井良太松本渉	株式会社アラヤ	エッジAIを“自動で”実現するアプリケーション 脳科学者が語るAIの未来と、ニューラルネットワークの最先端圧縮技術	『ET / IoT Technology 2019』 エッジテックトラック　セミナー	2019年11月
4	松本渉	株式会社アラヤ	ニューラルネットワークの圧縮技術によるエッジAIの実現	『GPU Computing Workshop for Advanced Manufacturing 2019』 テクニカルセッション	2019年6月

番号	発表者	所属	タイトル	会議名	発表年月
5	蓮井樹生	株式会社アラヤ	エッジ AI 実装の現状と、実装時に考慮すべき点	ITmedia Virtual EXPO 2021（オンライン配信） 「秋組み込み開発&エレクトロニクス・AI EXPO」基調講演	2021 年 9 月
6	蓮井樹生	株式会社アラヤ	エッジ AI 実装の現状と、実装時に考慮すべき点	AI チップ設計拠点フォーラム（第 27 回）技術講演	2021 年 9 月
7	蓮井樹生	株式会社アラヤ	スケーラブルなモデル学習-デプロイ手法で広がるエッジ AI 技術の可能性	『Design Solution Forum 2022』 スポンサー講演	2022 年 11 月
8	蓮井樹生 大畠佑真井上昌和	株式会社アラヤ	エッジ AI 技術の基礎と AI システム高速化への応用	『日本テクノセンター』 技術セミナー	2023 年 2 月

(b) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	株式会社アラヤ	出典社ブース	『ET / IoT Technology 2019』	2019/11

◎研究開発テーマ「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名　　称	発明者
1	株式会社日立製作所	特願 P2019-218696	国内	2019/12/3	出願	ロボットシステム及びロボットシステムの制御方法	小菅 敦丈, 大島 俊
	株式会社日立製作所	特願 2020-204842	国内			経路計画システム、経路計画方法、および関節を備えたロボットアームの経路計画システム	
	株式会社日立製作所	特願 2021-003454	国内			情報処理装置、および、学習認識システム	
	株式会社日立製作所	US17/513968	US			INFORMATION PROCESSING DEVICE AND LEARNING RECOGNITION SYSTEM	

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Atsutake Kosuge, Keisuke Yamamoto, Yukinori Akamine, Takashi Oshima	株式会社日立製作所	An SoC-FPGA-Based Iterative-ClOSet-Point Accelerator Enabling Faster Picking Robots	IEEE Transactions on Industrial Electronics	有	2020/3

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Neha Chauhan, TsuyoshiIsshiki, Dongju Li	東京工業大学	Speaker Recognition using LPC, MFCC, ZCR features with ANN and SVM Classifier for large input Database	ICCCS (International Conference on Computer and Communications Systems) 2019, Singapore	2019/2
2	小菅 敦丈, 大島 俊	株式会社日立製作所	An Object-POSt Estimation Acceleration Technique for Picking Robot Applications by Using Graph-Reusing K-NN Search	IEEE Graph computing 2019	2019/9
3	小菅 敦丈, 大島 俊	株式会社日立製作所	ソーティングネットワーク回路によるグラフ型近傍点探索を用いたピッキングロボット向け物体姿勢推定高速化手法	IEICE ソサイエティ大会 2019	2019/9
4	Tomoya Kashimata, Toshiaki Kitamura, Keiji Kimura, Hironori Kasahara	早稲田大学	Cascaded DMA Controller for Speedup of Indirect Memory Access in Irregular Applications	SC19	2019/11

番号	発表者	所属	タイトル	会議名	発表年月
5	Viviana Crescitelli, Atsutake Kosuge, Takashi Oshima	株式会社日立製作所	Towards Activity Recognition under variability of lighting conditions for Human-Robot Collaboration	UPINLBS	2019/11
6	Keiji Kimura, Kazuhi Fujita, Kazuki Yamamoto , Tomoya Hashimata , Toshiaki Kitamura, Hironori Kahasara	早稲田大学	Automatically Parallelizing Compiler Cooperative OSCAR Vector Multicore	IWIA2020	2020/2
7	山本 一貴, 藤田 一輝, 柏俣 智哉, 高橋 健, Boma A. Adhi, 北村 俊明, 川島 慧大, 納富 昭, 森 裕司, 木村 啓二,笠原 博徳	早稲田大学, オスカーテクノロジー株式会社, 株式会社, 株式会社エヌエスアイテクス	マルチターゲット自動並列化コンパイラにおけるアクセラレータコスト推定手法の検討	IEICE ETNET	2020/2
8	Boma A. ADHI, Tomoya Kashimata , Ken Takahashi, Keiji Kimura, Hironori Kasahara	早稲田大学	Compiler Software Coherent Control for Embedded High-performance Multicore	IEICE	2020/3

番号	発表者	所属	タイトル	会議名	発表年月
9	Viviana Crescitelli, Atsutake Kosuge, Takashi Oshima	株式会社日立製作所	A camera fusion approach for Multi Person POSe Estimation in low light environments	2020 IEEE Sensors Applications Symposium	2020/3
10	Viviana Crescitelli, Atsutake Kosuge, Takashi Oshima	株式会社日立製作所	Towards Real-Time Multi-Person POSe Estimation in low light environments	IEICE 総合大会 2020	2020/3
11	小菅 敦丈, 大島 俊	株式会社日立製作所	A 1200x1200 8-Edges/Vertex FPGA-based Motion-Planning Accelerator for Dual-Arm-Robot Manipulation Systems	2020 Symposia on VLSI Technology and Circuits	2020/6
12	Neha Chauhan, TsuyoshiIsshiki, Dongju Li	東京工業大学	Speaker Recognition using fusion of features with Feedforward Artificial Neural Network and Support Vector Machine	International Conference on Intelligent Engineering and Management (ICIEM 2020)	2020/6
13	Nabilah Shabrina, Dongju Li, Tsuyoshi Isshiki	東京工業大学	Small Area Fingerprint Verification using Deep Convolutional Neural Network	International Conference on Intelligent Engineering and Management (ICIEM 2020)	2020/6
14	Hironori Kasahara	University of Waseda	OSCAR Automatically Parallelizing Compiler and API for Heterogeneous Multicores	2021 IEEE/ACM Programming Environments for Heterogeneous Computing (PEHC)	2021/11
15	Fumiya Kono, Naohito Nakasato and Naru Hirata	University of Aizu	IEEE 14th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoC-2021)	Acceleration of Gravitation Field Analysis for Asteroids by GPU Computation	2021/12

番号	発表者	所属	タイトル	会議名	発表年月
16	山本一貴, ヶ部拓吾, 小池穂乃花, 川角冬馬, 藤田一輝, 北村俊明, 川島慧大, 納富昭, 木村貞弘,木村啓二, 笠原博徳	早稲田大学, オスカーテクノロジー, エヌエスアイテクス	ORB-SLAM3 におけるローカルマッピング処理の並列化	情報処理学会・電子情報通信学会 合同研究会 ETNET	2022/3
17	Masayuki Ito	NSITEXE Inc.	General-purpose scalar/vector AI processor for accelerating wide range of tasks including automotive and industrial applications	A-SSCC 2022(Asian Solid-State Circuits Conference)	2022/11
18	Masayuki Ito	NSITEXE Inc.	General-Purpose Scalar/Vector Processor for Accelerating Wide Range of Tasks Including Automotive and Industrial Applications	ASP-DAC 2023	2023/1

◎研究開発テーマ「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Seiya Maeda, Yuya Maruyama, Takuya Azumi	埼玉大学, 大阪大学	Static Program Placement Platform for Embedded Multi-Core Multi-Cluster Systems	Demo Session of IEEE Real-Time and Embedded Technology and Applications Symposium (RTAS)	有	2019/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
2	Hiroyuki Chishiro, Kazutoshi Suito, Tsutomu Ito, Seiya Maeda, Takuya Azumi, Kenji Funaoka, Shinpei Kato	東京大学, 株式会社アクセル, 埼玉大学, 株式会社ティアフォー	Towards Heterogeneous Computing Platforms for Autonomous Driving	IEEE 15th International Conference on Embedded Software and Systems (ICESS2019)	無	2019/6
3	安積 卓也, 丸山 雄也, 前田 青也, 加藤 真平	埼玉大学, 大阪大学, 東京大学	Autoware on Many-core Platform: NoC ベース組込みメニーコアプロセッサ向け自動運転プラットフォーム ※優秀論文賞（ベストペーパー）受賞	組込みシステムシンポジウム（ESS2019）	有	2019/9
4	西村 啓佑, 粟本 真一, 千代 浩之, 加藤 真平	東京大学, 東京工業大学	ROOP：ベアメタルプログラム向けオンラインジャッジプラットフォーム	第 31 回コンピュータシステムシンポジウム (ComSys2019)	有	2019/12
5	Keita Miura, Takuya Azumi	埼玉大学	Converting Driving Scenario Framework for Testing Self-Driving Systems	EUC 2020: International Conference on Embedded and Ubiquitous Computing	有	2020/12
6	Yuqing Yang, Takuya Azumi	埼玉大学	Exploring Real-Time Executor on ROS 2	IEEE International Conference on Embedded Software and Systems (ICESS)	有	2020/12

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Seiya Maeda, Yuya Maruyama, Takuya Azumi	Univ. of Saitama/ Univ. of Osaka/ Univ. of Saitama	Static Program Placement Platform for Embedded Multi-Core Multi-Cluster Systems	Demo Session of IEEE Real-Time and Embedded Technology and Applications Symposium (RTAS)	2019/4

番号	発表者	所属	タイトル	会議名	発表年月
2	Hiroyuki Chishiro, Kazutoshi Suito, Tsutomu Ito, Seiya Maeda, Takuya Azumi, Kenji Funaoka, Shinpei Kato	東京大学, 株式会社アクセル, 埼玉大学, 株式会社ティアフォー	System on a Chip and Software Platforms for Fully Autonomous Driving	IEEE 15th International Conference on Embedded Software and Systems (ICESS2019)	2019/6
3	Hiroyuki Chishiro	東京大学	Towards Heterogeneous Computing Platforms for Autonomous Vehicles	The 2019 International Symposium for Advanced Computing and Information Technology [Keynote]	2019/8
4	安積 卓也, 丸山 雄也, 前田 青也, 加藤 真平	埼玉大学, 大阪大学, 東京大学	Autoware on Many-core Platform: NoC ベース組込みメニーコアプロセッサ向け自動運転プラットフォーム ※優秀論文賞（ベストペーパー）受賞	組込みシステム シンポジウム（ESS2019）	2019/9
5	西村 啓佑, 粟本 真一, 千代 浩之, 加藤 真平	東京大学, 東京工業大学	ROOP：ベアメタルプログラム向けオンラインジャッジプラットフォーム	第 31 回コンピュータシステムシンポジウム (ComSys2019)	2019/12
6	Shinpei Kato	東京大学	Heterogeneous Computing Platforms for Autonomous Vehicles	2020 International Solid-State Circuits Conference (ISSCC2020) [Invited]	2020/2
7	Takuya Azumi, Yuya Maruyama, Shinpei Kato	埼玉大学, 大阪大学, 東京大学	ROS-lite: ROS Framework for NoC-Based Embedded Many-Core Platform	IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS 2020)	2020/10
8	Tatsuya Miki, Takuya Azumi	埼玉大学	Porting Evaluation Framework for Self-Driving Software Based on ROS 2	Asia Pacific Conference on Robot IoT System Development and Platform (APRIS2021)	2021/11

番号	発表者	所属	タイトル	会議名	発表年月
9	Bo Peng, Yuqing Yang, Yoshikazu Okumura, Atsushi Hasegawa , Takuya Azumi	埼玉大学	ThreadedCallback: Improving Real-time Performance of ROS 2	Asia Pacific Conference on Robot IoT System Development and Platform (APRIS2021)	2021/11
10	Zihang Li, Atsushi Hasegawa , Takuya Azumi	埼玉大学	Autoware_Perf: Tracing and Performance Analysis Framework for ROS 2 Applications	IEEE International Conference on Embedded Software and Systems (ICESS2021)	2021/12
11	Takahisa Kuboichi, Atsushi Hasegawa , Bo Peng, Keita Miura, Kenji Funaoka, Shinpei Kato, Takuya Azumi	埼玉大学	CARET: Chain-Aware ROS 2 Evaluation Tool	IEEE international conference on Embedded and Ubiquitous Computing (EUC2022)	2022/12
12	Bo Beng, Atsushi Hasegawa , Takuya Azumi	埼玉大学	Scheduling Performance Evaluation Framework for ROS 2 Applications	IEEE International Conference on Embedded Software and Systems (ICESS2022)	2022/12

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1		NEDO「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」事業採択のお知らせ	PRTIMES https://prtimes.jp/main/html/rd/p/000000025.000004053.html	2019/3/29
2		アクセルとティアフォー、AI ハードウェアアクセラレータの製品化に向けて連携を強化	PRTIMES https://prtimes.jp/main/html/rd/p/000000033.000004053.html	2020/6/23

番号	所属	発表内容	発表先	発表年月
3		西新宿エリアで５Ｇを活用した自動運転タクシーの実証実験（フェーズII）を始動	PRTIMES https://prtimes.jp/main/html/rd/p/000000022.000050415.html	2020/10/9

(c) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	株式会社ティアフォー	Autoare をコアとしたオープンエコシステムの紹介	CES 2020	2020/1
2	株式会社ティアフォー	自動運転仕様の JPN TAXI 車両	第 12 回 オートモーティブ ワールド －クルマの先端技術展－	2020/1
3	株式会社アクセル,株式会社ティアフォー	Autoware Ecosystems with ARM Devices	Arm DevSummit 2020 ※オンラインイベント	2020/10
4	株式会社アクセル,株式会社ティアフォー	完全自動運転社会の実現へ！高速データ処理を実現する SoC 研究開発	CEATEC 2020	2020/10

◎研究開発テーマ「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名　　称	発明者
1	株式会社日立製作所	特願 2020-140295	国内	2020/8/21	出願済	データ処理方法、エッジ装置、および、データ処理システム	新保 他
2	株式会社日立製作所	特願 2020-138965	国内	2020/08/19	出願済	シェアリングコンピューティングシステム、リソースシェアリング方法	木下 他
	SH コンサルティング株式会社,国立大学法人電気通信大学	16/910,103(US)	US	2020/6/24	出願継続中	Root of Trust device that improves the safety of IoT device and its operating method	
	株式会社日立製作所	2021-153025	JP:日本国	2021.9.21	出願継続中	プロセッサおよびエンディアン変換方法	

番号	出願者	出願番号	国内外国PCT	出願日	状態	名　　称	発明者
	株式会社日立製作所	17/355251(US)	US:アメリカ合衆国	2021.6.23	登録済み	データ処理方法、エッジ装置、および、データ処理システム	
	株式会社日立製作所	10 2021 116 892.9(DE)	DE:ドイツ	2021.6.30	出願継続中	データ処理方法、エッジ装置、および、データ処理システム	
	国立研究開発法人産業技術総合研究所	2022PRO-2850	JP:日本国	2022.7.5	プログラム著作権 登録済み	Open Trust Protocol (OTrP) proto	
	株式会社日立製作所	2022-091124	JP:日本国	2022.6.3	出願継続中	装置システム、正当性検証システム及び正当性検証方法	
	国立研究開発法人産業技術総合研究所	2023PR0-2897	JP:日本国	2023.1.18	プログラム著作権 登録済み	Trusted Execution Environment (TEE) 共通 API 提供部ソフトウェア (名称:TA-Ref)と、Trusted Execution Environment Provisioning (TEEP)プロトコル実行部のソフトウェア(名称:TEEP-Device)	
	国立研究開発法人産業技術総合研究所	SN0465-2022	JP:日本国	2022.4.27	プログラム著作権 登録済み	Open Trust Protocol (OTrP) proto　プログラム(ソフトウエア)	
	株式会社日立製作所	PCT/JP2022/026785	JP:日本国	2022.7.6	出願継続中	プロセッサおよびエンディアン変換方法	

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Trong-Thuc Hoang, Ckristian Duran, Duc-Thinh Nguyen, Hoang ; Duc-Hung Le, Akira Tsukamoto, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Quick Boot of Trusted Execution Environment With Hardware Accelerators	IEEE Acess, 74015 – 74023 **(Impact Factor 4.098)**	有	2020/4
2	須崎 有康, 佐々木 貴之	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所, 日本電気株式会社, 横浜国立大学	Trusted Execution Environment によるシステムの堅牢化	情報処理学会学会誌, 情報処理	無	2020/05
3	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	Trusted Execution Environment の実装とそれを支える技術	電子情報通信学会 基礎・境界ソサイエティ誌 Foundamental Reviews	無	2020/10

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
4	Trong-Thuc Hoang, Ckristian Duran, Khai-Duy Nguyen, Tuan-Kiet Dang, Quynh Nguyen, Quang Nhu, Phuc Hong Than, Xuan-Tu Tran, Duc-Hung Lee, Akira Tsukamoto, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, DUT, DTU, VNU-UET, VNU-HCMUS, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Low-power High-performance 32-bit RISC-V Microcontroller on 65-nm Silicon-On-Thin-BOX (SOTB)	IEICE Electronics Express, Vol.VV, No.NN, 1–6, pp.1-6 **(Impact Factor 0.788)**	有	2020/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	TEE を中心とする CPU セキュリティ機能の動向	一般社団法 組込みシステム技術協会 (JASA)機関紙 Bulletin JASA	2019/4
2	荒川 文男, 池田 誠, 塚本 明, 須崎 有康	東京大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Trusted Execution Environment (TEE) with Open Processor Cores	MPSoC (Multicore and Multiprocessor SoCs) Forum 2019	2019/7
3	濱口, 柏山	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	「セキュアオープンアーキテクチャ技術基盤とその AI エッジ応用研究開発」のプロジェクト紹介	内閣サイバーセキュリティセンター(NISC)へのセキュリティ関連取り組み説明会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
4	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	ASPLOS2019 参加報告	情報処理学会学会誌、情報処理	2019/9
5	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	RISC-V TEE の開発	RISC-V Day Tokyo 2019	2019/9
6	柏山	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	「セキュアオープンアーキテクチャ技術基盤とその AI エッジ応用研究開発」のプロジェクト紹介	モバイルコンピューティング推進コンソーシアム(MCPC) AI&ロボット委員会講演	2019/10
7	須崎有康, 塚本 明, 小島一元, ホアン トロン ツック, 師尾 彬	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	3 種類の TEE 比較（Intel SGX, ARM TrustZone, RISC-V Keystone）	電子情報通信学会、ハードウェアセキュリティフォーラム 2019	2019/12
8	柏山	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	CASE クルマの Cyber Security 実装検討	ITS Japan 第 17 回 ITS シンポジウム 2019	2019/12
9	Kuniyasu Suzaki, Kenta Nakajima, Akira Tsukamoto, Tsukasa Oi	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	WiP: Library Implementation and Performance Analysis of GlobalPlatform TEE Internal API for Intel SGX and RISC-V Keystone	The 19th IEEE International Conference on Trust, Security and Privacy in Computing and Communications (IEEE TrustCom 2020)	2020/12
10	須崎有康, 塚本 明, 小島一元, 中嶋健太, Hoang Trong Thuc, 師尾彬	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 電気通信大学, 東京大学	TEE比較	電子情報通信学会、暗号と情報セキュリティシンポジウム（SCIS2020）	2020/1
11	荒川文男, 池田 誠, 塚本明, 須崎 有康	東京大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	RISC-Vのセキュリティ仕様のローエンドプロセッサへの適用性の検討	電子情報通信学会、暗号と情報セキュリティシンポジウム（SCIS2020）	2020/1

番号	発表者	所属	タイトル	会議名	発表年月
12	Trong-Thuc Hoang, Akira Tsukamoto, Kazumoto Kojima, Kuniyasu Suzaki	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Survey on Timing Side-Channel Attacks on Microarchitecture and Countermeasures	電子情報通信学会、暗号と情報セキュリティシンポジウム（SCIS2020）	2020/1
13	宮澤 慎一	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	プラットフォームセキュリティの技術の変遷	電子情報通信学会、暗号と情報セキュリティシンポジウム（SCIS2020）	2020/1
14	柏山	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Malware Cyber-Securityへの量子コンピューティング応用可能性に関する考察	モバイルコンピューティング推進コンソーシアム(MCPC) 技術解説書論文集「拡大する量子コンピューティングその社会実装ポテンシャル」	2020/3
15	Ckristian Duran, Trong-Thuc Hoang, Akira Tsukamoto, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	TEE Boot Procedure with Crypto-accelerators in RISC-V Processors	Fourth Workshop on Computer Architecture Research with RISC-V (CARRV 2020)	2020/5
16	Anh-Tien Le, Ba-Anh Dao, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Experiment on Replication of Side Channel Attack via Cache of RISC-V Berkeley Out-of-order Machine (BOOM) Implemented on FPGA	Fourth Workshop on Computer Architecture Research with RISC-V (CARRV 2020)	2020/5

番号	発表者	所属	タイトル	会議名	発表年月
17	Fumio Arakawa, Makoto Ikeda, Akira Tsukamoto, Kuniyasu Suzaki	東京大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Examination of applicability of RISC-V security specifications to low-end processors	IEEE first International Workshop on Secure RISC-V	2020/8
18	Ba-Anh Dao, Anh-Tien Le, Trong-Thuc Hoang, Akira Tsukamoto, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Dynamic Frequency Scaling as a countermeasure against simple power analysis attack in RISC-V processors	IEEE first International Workshop on Secure RISC-V	2020/8
19	Akira Tsukamoto, Kuniyasu Suzaki	産業技術総合研究所 セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	TEEP (Trusted Execution Environment Provisioning) on RISC-V	RISC-V Global Forum	2020/9
20	Kenta Nakajima, Kuniyasu Suzaki	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	Portable Implementation of GlobalPlatform API for TEE	RISC-V Global Forum	2020/9
21	Kuniyasu Suzaki, Kenta Nakajima, Tsukasa Oi, Akira Tsukamoto	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	WiP: Performance and Behavior of Trusted Execution Environment and Rich Execution Environment on ARM, X86-64, and RISC-V	Hardware and Architectural Support for Security and Privacy (HASP) 2020	2020/10

番号	発表者	所属	タイトル	会議名	発表年月
22	須崎 有康, 中嶋 健太, 大居 司, 永田 貴彦, 菊池 正史, 塚本 明, 宮澤 慎一, 磯部 光平, 伊藤 大輔, 木村 貞弘, 安達 浩次, 髙橋 睦史	産業技術総合研究所 セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, セコム株式会社, 株式会社エヌエスアイテクス 電気通信大学,	RISC-V TEEを強化するためのSecure CoProcessorとそれを活用するソフトウェア	コンピュータセキュリティシンポジウム 2020	2020/10
23	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	招待講演：「TEE (Trusted Execution Environment)は第二の仮想化技術になるか？	情報処理学会 第 32 回コンピュータシステム・シンポジウム （ComSys2020）	2020/12
24	Akira Tsukamoto, Kuniyasu Suzaki	産業技術総合研究所 セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	TEEP (Trusted Execution Environment Provisioning) Implementation on RISC-V Keystone and Arm TrustZone	Open Source Forum Japan	2020/12

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	広報文タイトル：RISC-V の上にオープンなセキュリティ基盤を構築するための技術研究組合「TRASIO」が活動開始		2019/11/6

◎研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名　　称	発明者
1	産業技術総合研究所	特願 2019-190852	国内	2019/10/8	出願済	識別補助データ生成技術及び識別情報抽出技術	古原
2	産業技術総合研究所, 早稲田大学	特願 2020-176747	国内	2020/10/21	出願済	個体識別子の付与方法および個体識別子を有する対象物	法元, 島本, 水野, 他

番号	出願者	出願番号	国内外国PCT	出願日	状態	名　　称	発明者
3	国立研究開発法人産業技術総合研究所	２０２２－１３０８８７	ＪＰ：日本国	2022.8.19	出願継続中	電流波形分析装置及び電流波形分析方法	
4	国立研究開発法人産業技術総合研究所	ＰＣＴ／ＪＰ２０２２／０４５６５５	ＰＣＴ（全指定）	2022.12.12	出願継続中	電流波形分析装置及び電流波形分析方法	

（Patent Cooperation Treaty: 特許協力条約）

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	吉田, 松本, 他	横浜国立大学	白色干渉計を読取装置とした光学的ナノ人工物メトリクス	レーザー研究,第 47 巻,第 6 号, pp.295-299	有	2019/6
2	野高, 水野, 他	早稲田大学, 他	QFP/quartz adhesive bonding with surface treatment for physical security of edge artificial intelligence devices	Transactions of The Japan Institute of Electronics, Packaging Vol.13	有	2020/12（採録決定）

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	呂, 葛西, 他	北海道大学, 他	ナノ人工物メトリクスのためのレジスト倒壊ランダムパターン形成と評価	第６６回応用物理学会春季学術講演会	2019/3
2	葛西, 他	北海道大学, 他	ナノ人工物メトリクスのための２次元ランダム構造形成プロセス最適化と電気的読出しの実験的検討	電子情報通信学会 SDM ED CPM 合同研究会	2019/5
3	吉田, 松本, 他	横浜国立大学	複数の受光素子を用いたパルス方式測距 LIDAR の計測セキュリティ	電子情報通信学会技術研究報告,vol.119, no.143, HWS2019-36	2019/7
4	葛西, 他	北海道大学, 他	Formation and Characterization of 2D Random Si Nano-Pattern Using Resist Collapse for Nano-Artifact Metrics	2019 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2019)	2019/7

番号	発表者	所属	タイトル	会議名	発表年月
5	竪, 他	九州大学	ナノ人工物メトリクスのための白色干渉画像群の取得と解析	第 20 回情報フォトニクス研究グループ研究会	2019/9
6	葛西, 他	北海道大学, 他	[招待講演]ナノ人工物メトリクスを実現するランダムナノ構造形成と電気的読み出し技術	電子情報通信学会シリコン材料デバイス研究	2019/10
7	竪, 他	九州大学	Evaluation of original nano-artifact images obtained by a simplified optical equipment based on experimentally calculated FMR/FNMR	The 4th Asian Applied Physics Conference	2019/11
8	竪, 他	九州大学	Security performance of nano-artifact metrics based on customized white light interferometric system	The 9th Korea-Japan Workshop on Digital Holography and Information Photonics (DHIP2019)	2019/12
9	鈴木, 他	三菱電機株式会社	自律システムを想定したセンサ攻撃シミュレータの開発	2020 年暗号と情報セキュリティシンポジウム(SCIS2020)	2020/1
10	梨本, 他	三菱電機株式会社	ファスト FMCW 方式の MIMO レーダの攻撃評価シミュレーション	2020 年暗号と情報セキュリティシンポジウム(SCIS2020)	2020/1
11	松本, 他	横浜国立大学	超音波センサに対する攻撃を分析する音響 シミュレータ	2020 年暗号と情報セキュリティシンポジウム(SCIS2020)	2020/1
12	吉田, 松本, 他	横浜国立大学	局所特徴量に基づく 1 対 N 認証人工物メトリックシステム	2020 年暗号と情報セキュリティシンポジウム(SCIS2020)	2020/1
13	宮園, 吉田, 松本, 他	横浜国立大学	車線検出機能に対する色調改変攻撃	電子情報通信学会技術研究告,vol.119,no.444, HWS2019-113	2020/3
14	泉田	株式会社 IIJ イノベーションインスティテュート	解析対象への前提知識を必要としないバイナリプログラム解析技術	Internet Infrastructure Review (IIR), vol.46, pp.24-31	2020/3
15	竪, 他	九州大学	高度物理セキュリティのための白色干渉像取得系が示す 個体認証性	第 81 回応用物理学会秋季学術講演会	2020/9
16	葛西, 他	北海道大学	ナノ人工物メトリクスのためのナノ構造埋込 Si MOSFET の試作と評価	第 81 回応用物理学会秋季学術講演会	2020/9
17	永田, 他	神戸大学	オンチップ擾乱検知に向けた SAR ADC 搭載 IC チップの評価	2020 年電子情報通信学会ソサイエティ大会	2020/9
18	永田, 他	神戸大学	A Dual-mode SAR ADC Enabling On-chip Detection of Offchip Power Noise Measurements by Attackers	International Conference on Solid StateDevices and Materials (SSDM 2020)	2020/9
19	松本, 他	横浜国立大学	超音波センサに対するレーザー利用攻撃	電子情報通信学会技術研究報告, vol. 120,no. 211 (HWS2020-28)	2020/10

番号	発表者	所属	タイトル	会議名	発表年月
20	水野, 他	早稲田大学	5G 通信への応用可能な特性の実現を目指した LT/Quartz 複合 SAW 基板の作製	第 7 回電子デバイスフォーラム 京都 （招待講演）	2020/10
21	葛西, 他	北海道大学	Fabrication and characterization of nano-convexembedded Si MOSFET toward electrical nanostructure discrimination	33rd International Microprocesses and Nanotechnology Conference（MNC2020）	2020/11
22	水野, 他	早稲田大学	Short Note QFP/quartz adhesive bonding with surface treatment for physical security of edge artificial intelligence	2020 年 12 月 JIEP 英文誌 （Trans. JIEP）	2020/12

◎研究開発テーマ「セキュアオープンアーキテクチャ向けコンパイラバックエンドおよび対応ランタイム環境の設計・開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Jingyong Cai, Masashi Takemoto, Yuming Qiu, Hironori Nakajo	東京農工大学	Trigonometric Inference Providing Learning in Deep Neural	MDPI Applied Sciences (ISSN 2076-3417)		2021/8
2	Tomoaki Tanaka, Ryosuke Higashi, Hidetaro Tanaka, Takefumi Miyoshi, Yasunori Osana, Jubee Tada, Kiyofumi Tanaka and	東京農工大学，北陸先端科学技術大学院大学，琉球大学，わさらぼ合同会社，山形大学	Shared Vector Register of RISC-V for the Future Hardware Acceleration	Sixth Workshop on Computer Architecture Research with RISC-V (CARRV 2022)		2022/6

	Hironori Nakajo					
3	Tomoaki Tanaka, Ryosuke Higashi, Hidetaro Tanaka, Takefumi Miyoshi, Yasunori Osana, Jubee Tada, Kiyofumi Tanaka and Hironori Nakajo	東京農工大学	Shared Vector Register of RISC-V for the Future Hardware Acceleration	Sixth Workshop on Computer Architecture Research with RISC-V (CARRV 2022)		2022/6
	田中友章，東良輔，田中清史，長名保範，三好健文，多田十兵衛，中條拓伯	東京農工大学，北陸先端科学技術大学院大学，琉球大学，わさらぼ合同会社，山形大学	ハードウェアアクセラレーションのためのベクトルレジスタ共有機構	電子情報通信学会 リコンフィギャラブルシステム研究会（RECONF）技術研究報告		2022/6

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Tomoaki Tanaka	東京農工大学	Shared Vector Register of RISC-V for the Future Hardware Acceleration	Sixth Workshop on Computer Architecture Research with RISC-V (CARRV 2022)	2022/6
2	田中友章	東京農工大学	ハードウェアアクセラレーションのためのベクトルレジスタ共有機構	電子情報通信学会 リコンフィギャラブルシステム研究会	2022/6

3	佐藤三久、辻美和子	理研	OpenACC Execution Models for Manycore Processor with ARM SVE	International Conference on High Performance Computing in Asia-Pacific Region Workshops (HPCASIAWORKSHOP 2023)	2023/2

研究開発項目②　次世代コンピューティング技術の開発

※事業原簿　第 2 部に掲載

資料７－２

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発プロジェクト」

研究開発項目② 次世代コンピューティング技術の開発

事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 AI・ロボット部

更新履歴

更新日	更新内容
2024 年 11 月 28 日	初版発行

目次

概　要 概要1

プロジェクト用語集 プロジェクト用語集1

1.　意義・アウトカム（社会実装）達成までの道筋 1-1

1.1.　事業の位置づけ・意義 1-1
1.2.　アウトカム達成までの道筋 1-1
1.3.　知的財産・標準化戦略 1-3

2.　目標及び達成状況 2-1

2.1.　アウトカム目標及び達成見込み 2-1
2.2.　アウトプット目標及び達成状況 2-2

3.　マネジメント 3-1

3.1.　実施体制 3-1
3.2.　受益者負担の考え方 3-4
3.3.　研究開発計画 3-4

4.　目標及び達成状況の詳細 4-1

4.1.　量子計算及びイジング計算システムの統合型研究開発 4-1
4.2.　異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発 4-4
4.3.　ニューロモルフィックダイナミクスに基づく超低電力エッジＡＩチップの研究開発とその応用展開 4-9
4.4.　電圧駆動不揮発性メモリを用いた超省電力ブレインモルフィックシステムの研究開発 4-12
4.5.　実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発 4-15
4.6.　未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明 4-17
4.7.　ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発 4-49
4.8.　イン不揮発性メモリ分散ＡＰＰＲＯＸＩＭＡＴＥコンピューティングの研究開発 4-107
4.9.　物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発 4-118
4.10.　深層確率コンピューティング技術の研究開発 4-127
4.11.　2028 年に性能 100 倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェア技術の探索 4-137

添付資料

●プロジェクト基本計画 添付資料1
●関連する施策や技術戦略 添付資料2
●プロジェクト開始時関連資料 添付資料3

●各種委員会開催リスト 添付資料4
●特許論文等リスト 添付資料8

概　要（事業全体）

<table>
<tr><td>プロジェクト名</td><td>高効率・高速処理を可能とする AI チップ・次世代コンピューティングの 技術開発
（旧：IoT 推進のための横断技術開発プロジェクト）
METI 予算要求名称</td><td>プロジェクト番号</td><td>P16007</td></tr>
<tr><td>担当推進部/
プロジェクトマネージャーまたは担当者及び METI 担当課</td><td colspan="3">AI・ロボット部　ＰＭｇｒ 遠藤勇徳（2024 年 11 月現在）
AI・ロボット部　ＰＭｇｒ 岩佐匡浩（2024 年 11 月現在）
IoT 推進部　PM：伊藤隆夫　（2020 年 7 月～2022 年 3 月）
IoT 推進部　PM：大杉伸也　（2018 年 7 月～2020 年 4 月）
IoT 推進部　PM：千田和也　（2016 年 4 月～2018 年 6 月）</td></tr>
<tr><td>０．事業の概要</td><td colspan="3">来るべきポストムーア時代の IoT 社会を築くため、大量データの効率的かつ高度な利活用を可能とする、基盤技術開発の開発が必要となる一方、IoT 社会の到来が近付くにつれ、データ量の爆発的な増加とその処理に伴う消費電力の増加という、新たな社会課題にも直面している。これらの社会課題解決と日本の情報産業の再興を目的として、本プロジェクトでは、データ量削減のため、ネットワークの末端で中心的な AI 処理を行う「AI エッジコンピューティング技術」、消費電力を劇的に低減するため、これまでの延長線上にない新原理の技術開発を推進する「次世代コンピューティング技術」の開発を実施している。</td></tr>
<tr><td colspan="4">１．意義・アウトカム（社会実装）達成までの道筋</td></tr>
<tr><td></td><td>1.1　本事業の位置付け・意義</td><td colspan="2">情報革命によるインターネットの普及から、すべてのモノがインターネットに繋がる IoT 社会の到来、AI の普及に生成 AI の登場など、世界では情報の蓄積と活用に係るハードウェア技術とソフトウェア技術の重要性が日に日に増している。政府も AI 戦略や半導体・デジタル産業戦略など各種戦略・政策を策定し、必要な支援も講じている。こうした中で、情報社会を支える技術として、先の時代のインフラ構造や想定される技術仕様など、情報処理を支える中核的な基盤技術を定め、早期に研究開発を開始することが、後の我が国の産業競争力の強化に資することは明白である。

本事業では、増加する一方である社会全体が扱う情報量の増加に伴い、端末(デバイス)から得られる大量データ(情報)の利活用により、高度な制御や新たなサービスを実現する「IoT 社会」を支える IoT 情報処理基盤の開発。（研究開発項目③：2016～2020）
IoT 社会の到来により、急増するデータを即時的・効率的に処理するため、情報処理はサーバー(クラウド)集約型から、エッジ分散処理型へシフトする、エッジコンピューティングの実現にかかる技術の開発。（研究開発項目①革新的 AI エッジコンピューティング技術の開発：2018～2022fy）
ムーア則の終焉が叫ばれ、半導体の性能向上が限界を迎えると予想される未来社会において、エッジやクラウド等において、既存技術の延長にない新原理の技術により、著しく増加するデータの処理に要する電力の劇的な低減に資する技術の開発。（研究開発項目②次世代コンピューティング技術の開発：2018～2027fy）
それぞれの時間軸において、IoT 社会の高度化に資する、革新的な技術の実現に貢献する。</td></tr>
<tr><td></td><td>1.2　アウトカム達成までの道筋</td><td colspan="2">現代社会においてはクラウドコンピューティングが主流となっているが、一方でエッジ（端末）側におけるリアルタイム処理はもちろん、AI を用いた高度な情報処理、オフライン状態での処理などエッジコンピューティングの需要が高まっている。本事業では、研究開発項目①において、エッジコンピューティングに必要となる各種基盤技術を 11 のテーマを通じて開発、展示会やセミナーでの成果発表、コンテストの実施、報道発表などを通じて成果の普及段階にあり、今後エッジ領域での情報処理サービスが世の中に普及していく中で、本事業の成果の普及、アウトカムの達成も見込まれている。

一方で、こうしたコンピューティング技術の基礎ともいえるハードウェア、半導体の性能向上は限界が叫ばれている。製造、設計技術の向上や新たなトレンドの登場で年々高性能な半導体が誕生しているが、それでも限界は確実に訪れる。次の時代に向けて、既存の技術の延長になく、また既存の技術以上に高性能かつ省エネルギーな次世代のコンピューティング技術の開発を、本事業では研究開発項目②において実施している。次世代のトレンドとなりえ</td></tr>
</table>

	る技術の“種“の育成を先導研究から探索型研究枠として着手し、そのうえで、量子コンピュータ、光分散コンピュータ、脳型コンピュータというクラウドからエッジまでの中核的な位置づけを成すことが期待される技術の開発を実施している。 高度な情報処理技術の保有は、ある種の国家競争、外交カードにもなりえる時代が到来している。2024 年時点では本項目は残り 3 年の開発期間を残す形となるが、今後は成果の普及を見据え、広報活動以外に、ユーザーとして想定される企業と連携した実証実験やアドバイザリー会議の開催、国際標準取得などを行い、日本独自の技術による、産業競争力強化、国内外市場の獲得に資する、新たなサービスの創出を目指すことで、アウトカムを達成する。
1.3　知的財産・標準化戦略	情報産業は大きな変革期にあり、新たなトレンドがたびたび生まれるだけでなく、世界規模での競争が起こっている。成果最大化のためにはただ成果を知財化するだけでなく、世界的な技術動向を把握したうえで、戦略的な取り組みを進めることが重要と言える。本事業では、2022 年度から知財戦略に係る調査を研究開発項目①、②においてそれぞれ実施。具体的には AI エッジ、次世代（量子、光分散、脳型などの各種コンピューティング技術）において知財の出願動向や競合すると考えられる企業の知財保有状況、出願動向を調査するとともに、それらから考えられる各事業者に今後の知財戦略に関して提言を行い、成果のオープン・クローズ戦略含めて NEDO のマネジメントのもとで実施した。 また標準化施策についても、得られた研究開発成果について、必要に応じて標準化を図ることとし、評価手法の提案、データの提供、標準化活動等を事業内において実施した。 なお、本プロジェクトは、「NEDO プロジェクトにおける知財マネジメント基本方針」を適用している。

2．目標及び達成状況

2.1　アウトカム目標及び達成見込み	想定する社会実装先（自動運転、産業機械、医療・福祉等）での AI 関連ハードウェア世界市場において、研究開発成果の一部が市場に出る 2032 年に約 7,500 億円、さらに成果の普及が加速する 2037 年に約 1.6 兆円の市場獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2037 年において約 2,729 万 t／年の CO_2 削減を目指す。 現在、開発状況、成果の達成状況は概ね順調であり、本アウトカムについては成果の普及とともに達成出来る見通し。
2.2　アウトプット目標及び達成状況	各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。（電力効率で 10 倍～100 倍以上を達成。） 研究開発項目① 事業期間：2018～2022 年度 目標：電力効率 10 倍以上を達成。 達成見込み：すべてのテーマで当初の目標を達成。 研究開発項目② 事業期間：2018～最長 2027 年度 目標：電力効率 100 倍以上を達成。 達成見込み：中間目標としては全てのテーマで達成見通し。

3．マネジメント

3.1　実施体制	プロジェクトマネージャー	AI・ロボット部　ＰＭｇｒ 遠藤勇徳（2024 年 11 月現在） AI・ロボット部　ＰＭｇｒ 岩佐匡浩（2024 年 11 月現在）
	プロジェクトリーダー	**研究開発項目①　東京科学大学　教授　本村真人** **研究開発項目②　産業技術総合研究所　特別顧問　金山敏彦**
	委託先 ※2021～2024 年度	代表実施者：ルネサスエレクトロニクス㈱、東京大学、東京大学生産技術研究所、KDDI㈱、㈱ソシオネクスト、沖電気工業㈱、日本電気㈱、イーソル㈱、熊本大学、東京理科大学、㈱デバイス＆システム・プラットフォーム開発センター、㈱フィックスターズ、㈱エヌエスアイテクス、産業技術総合研究所、㈱Preferred Networks、㈱日立製作所、奈良先端科学技術大学院大学、日本電気㈱、技術研究組合光電子融合基盤技術研究所、早稲田大学、大阪大学、理化学研究所、中央大

		学、日本 IBM㈱、㈱東芝、技術研究組合 NMEMS 技術研究機構、東京工業大学、横浜国立大学、立命館大学、アラクサラネットワークス㈱、等

受益者負担の考え方：
本事業は委託事業であり、次世代の情報産業を担う基盤技術かつハイリスクハイリターンな技術の開発として国が支援するものであり、100%NEDO 負担で実施する。

3.2 受益者負担の考え方

主な実施事項	2021fy	2022fy	2023fy	2024fy	2025fy
研究開発項目① 革新的 AI エッジコンピューティング技術の研究開発	委託	委託	-	-	-
研究開発項目② 次世代コンピューティング技術の研究開発	委託	委託	委託	委託	委託
その他調査など	委託	委託	委託	委託	-

3.3 研究開発計画

事業費推移
［単位:百万円］

主な実施事項	2021fy	2022fy	2023fy	2024fy	総額
研究開発項目① 革新的 AI エッジコンピューティング技術の研究開発	3,669	2,495	-	-	6,164
研究開発項目② 次世代コンピューティング技術の研究開発	5,729	6,739	4,924	5,598	22,990
その他 技術動向調査など	290	222	20	53	585

事業費	2021fy	2022fy	2023fy	2024fy	総額
会計（特別）	9,980	10,046	4,900	4,800	29,726
追加予算・繰り越しなど	1,648	1,916	725	798	5,087
総 NEDO 負担額	11,628	11,962	5625	5,598	34,813

情勢変化への対応

研究開発項目①革新的 AI エッジコンピューティング技術の開発
昨今の AI を用いたコンピューティング技術に関する情勢は日々変化していると言っても過言ではない。中でも大きな情勢変化としては、半導体開発・生産に伴う世界的な動向の変化があげられる。政府は 2021 年 3 月から半導体・デジタル産業総合戦略に係る検討会を開催、当該戦略を発表するとともに、半導体の製造を始めとしたデジタルインフラの整備等に係る大規模な政策を実行している。これにより、将来的にはエッジコンピューティングを支える高性能な半導体の普及や、日本としての開発力、生産力の強化が期待できる状況となった。
NEDO としても 2021 年度から「高効率・高速処理を可能とするＡＩチップ・次世代コンピューティングの技術開発に係る技術動向調査」及び「ＡＩエッジコンピューティング技術領域に係る知財戦略調査」を実施。国内外の技術動向や今後の開発目標、事業化戦略にかかる情報取集を実施するなどし、政策の動向と合わせてマネジメントに活用することで情勢変化に対応している。

研究開発項目②次世代コンピューティング技術の開発
10 年以上先の社会における、既存の技術の延長にないコンピューティング技術の開発を推進する本項目では、どのような技術に可能性、勝ち筋が生じるかの見極めが重要と考えられ

		る。そこで当該項目においても開発項目①と同様に技術動向調査、知財動向調査を実施している。また、学術的には有効性が証明されているが、産業応用に向けてはまだ情報収集や検証が必要となる技術に関するフォローとして探索型研究枠（2018～2022 年度）を実施。 調査と探索研究の成果から今後必要性が高いと考えられる技術として ・量子コンピューティング技術 ・光分散コンピューティング技術 ・脳型コンピューティング技術 の 3 領域を定め、2023 年度から集中的な開発を実施している。 また、2023 年度以降も、それぞれの領域においても継続して調査を実施し、刻々と変化する技術情勢の中で本事業の成果が勝ち筋を見いだせるよう、リソースの選択と集中、あるいは開発項目の新規追加などを実施している。
	中間評価結果への対応	2020 年度に実施された第 1 回中間評価では、 事業の位置づけ・必要性：評価Ａ（非常に重要） 研究開発マネジメント：評価Ｂ（良い） 研究開発成果：評価Ｂ（良い） 成果実用化に向けた取り組み：評価Ｃ（概ね妥当） とする評価を受けた。 評価コメントとしては、事業の位置づけやＮＥＤＯのマネジメント、開発成果については評価を得たものの、全体を通してＮＥＤＯとして世界的な技術潮流に関する情報収集や、市場獲得に向けた方策を検討、拡充する必要があることが求められた。また、次世代のコンピューティング技術の開発に関しては、人材育成やユーザーとなりうる事業主体とのコミュニケーションの場を形成する必用についても求められた。 評価結果への対応： 世界的な技術潮流に関する情報収集としては、2021 年度から技術動向調査、及び知財戦略調査を研究開発項目①、②ともに実施。得られた情報を事業者にフィードバックするとともに、NEDO としてもマネジメントを実施した。加えて、研究開発項目①については、産業応用を推進する方策として、調査結果と中間評価の結果に基づき「省エネ AI 半導体及びシステムに関する技術開発」を新政策として立ち上げ、2022 年度からの助成事業で研究成果の実用化・事業化を推進している。 また、研究開発項目②については、人材育成としては開発した量子コンピュータ共通ソフトウェアをクラウド環境で無償公開するだけでなく、コンテストを開催するなどして先端技術に触れることでの人材の育成に貢献した。さらに、脳型コンピューティングでは開発した脳型チップ、アルゴリズムを活用することが想定される、まさにユーザーとなりうる事業者を集めたアドバイザリーボードを形成し、開発者から成果の共有、意見交換を行うことで事業化にかかる橋渡しを実施している。なお、光分散コンピューティングにおいては 2025 年度から 100 ㎞圏内のデータセンタによる分散情報処理の実証実験を実施し、成果を公開することで早期の事業化に繋げる。
	評価に関する事項	事前評価：**2015 年度実施　担当部　電子・材料・ナノテクノロジー部** **2017 年度実施　担当部　IoT 推進部** 中間評価：2020 年度　中間評価実施 終了時評価：2028 年度　終了時評価実施予定

別添

投稿論文	515 件
特　　許	349 件　※全事業期間
その他の外部発表（プレス発表等）	以下、NEDO としてニュースリリースを実施。 ・動的再構成技術を活用した組み込み AI システムの研究開発（ルネサスエレクトロニクス(株)） ニュースリリース実施日：2022/12/8 ・動的多分岐・結合トレース型 AI プロセッサのエコシステム開発（(株)エヌエスアイテクス） ニュースリリース実施日：2023/6/8 ・５Ｇ時代を見据えた高度自律的学習機能搭載のためのＡＩエッジコンピューティング技術の研究開（KDDI(株)） ニュースリリース実施日：2023/3/22

	・セキュアオープンアーキテクチャ向けコンパイラバックエンドおよび対応ランタイム環境の設計・開発（イーソル(株)） ニュースリリース実施日：2023/4/27 ・実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発（ノーチラステクノロジーズ(株)） ニュースリリース実施日：2023/7/11 他、CEATEC 展等各種展示会に毎年度出展し、各事業者の成果を発表。CEATEC2024 では量子コンピューティング及び脳型コンピューティングの成果展示を実施。	
基本計画に関する事項	作成時期	2016 年 3 月　作成
	変更履歴	（１）2016 年 3 月、制定。 （２）2018 年 3 月、事業名称の変更、研究開発項目①及び②の追加による大幅改訂。 なお、従来からの「IoT 推進のための横断技術開発プロジェクト」は研究開発項目③として実施する。 （３）2019 年 3 月、研究開発項目③の助成事業の追加等による改訂。 （４）2020 年 1 月、研究開発項目②の分割、ステージゲートに関する整理の記載。並びに西暦、和暦の修正等による改訂。 （５）2020 年 12 月、研究開発項目②の分割、指名した PL・最新政策等情報の反映。ステージゲート審査に関する整理の追記。研究開発項目③の事業期間延期等による改訂。 （６）2021 年 12 月、研究開発項目④の追加による改訂。ステージゲート審査に関する整理の追記。 （７）2022 年 5 月、プロジェクトマネージャーの体制変更に伴う改訂。 （８）2023 年 2 月、研究開発項目④の移管、研究開発項目①の事業期間延期等による改訂。 （９）2024 年 7 月、NEDO 組織再編に伴う担当部署名変更に伴う改訂。

プロジェクト用語集

用語	説明
3He 冷凍機	液化した 3He ガスの蒸発潜熱を利用して試料を冷却する冷凍機。ベース温度は 300mK 程であり希釈冷凍機ほどの極低温は実現できないが、3He ガスを循環させる必要がないため比較的コンパクトで安価
Approximate コンピューティング	アプリケーションのユーザが正しいとみなせる範囲の精度内で誤りを許容する代わりに、高実行性能・高電力効率の計算・通信・ストレージ機能を達成するコンピューティング方式
Bayes by Backpropagation (BbB)	ベイジアンニューラルネットワークは、ネットワークのパラメタが確率分布で表現される深層確率モデルである。これに対し、ELBO の勾配を計算し、これを用いてパラメタを更新することで学習を行う計算手法
BeCu（ベリリウム銅）	プローブピンの材料として一般的によく使用される。柔らかく、接触抵抗が低いという特徴を有する
CGRA	粗粒度回路再構成可能アレイ（Coarse-Grain Reconfigurable Array）。FPGA（Field-Programmable Gate Array）のように回路をデバイス上に配置配線してその上で計算処理を実行することが可能なアーキテクチャだが、回路再構成単位がビット単位～の細粒度である FPGA と比べ、8-bit～32-bit 等語調が大きく任意の回路というよりは、数値計算などの特定の回路向けに設計されている。計算カーネルのデータフローグラフを回路として配置配線し実行するような用途が多い。マイクロプロセッサと比べて、低消費電力であり、演算器間のデータ移動を効率良く行えるものと期待される。配置配線という最適化問題を解くためにコンパイルは比較的長時間を要する
Computation-in-Memory	メモリを用いた機械学習の演算回路システム。メモリと演算回路の間のデータ移動を無くすことで、低電力・高速処理を実現
DBx1000	Carnegie Mellon University のデータベース研究グループが開発主導する評価用データベースシステム https://github.com/yxymit/DBx1000
D-wave 社	カナダの量子コンピュータのハードウェアの企業。世界で初めて量子アニーリングマシンを商用化した
FeFET	強誘電体材料を用いたトランジスタ型（FET 型）不揮発性メモリ
FIVO (Filtering Variational Objectives)	変分法では、対数周辺尤度の下限である、Evidence Lower Bound（ELBO）を最大化することでパラメータ学習を進める。FIVO は、ELBO の時系列版であり、粒子フィルタ（正確に言えば、Sequential Importance Sampling 法）をもちいて評価する
Flink	オープンソースの統合ストリーム処理およびバッチ処理フレームワーク https://flink.apache.org/
FLOPS-to-BYTES	近年、多くのアプリケーションがメモリ性能に律速されるため、ポストムーア時代における計算機の継続的な性能向上のために、アーキテクチャ設計において FLOPS(演算性能)の増加から BYTES(メモリや通信のバンド幅やメモリ容量)の増加に重点を移行していくべきという設計思想。本プロジェクトの 3 名を含む日本の学者により CF'16 において発表された
FPGA	Field Programmable Gate Array の略で、任意のハードウェア回路を

	実現できるように論理素子を二次元アレー状(Gate Arrayu)に配置し、それらを任意に接続できるようにしたもの。設計現場のフィールドで機能を変更するプログラミングができるのでこのように呼ばれる
FPGA	Field-Programmable Gate Array、書き換え可能ゲートアレイの略。ユーザ側が回路をプログラム可能な LSI で、比較的大規模な回路まで実装できる。性能は専用 LSI に及ばないが、初期コストが安く開発できる。
GAN (Generative Adversarial Networks)	訓練データの分布を模倣するように、新しいデータを生成する深層学習モデルの一つ。顔画像の生成などが典型的な応用である。
geoSpark	大規模空間データの解析に利用されるフレームワーク https://sedona.apache.org/
GPU	Graphics Processing Unit の略で、画像処理などに特化したアクセラレータ。コア数が多く、またメモリアクセス速度も速いため、画像処理にとどまらず、機械学習や科学技術計算など一般的な用途として解くに並列性の高い計算に用いられる
HSR	TOYOTA HSR（Human Support Robot）はトヨタ自動車が開発する生活支援ロボットである。国内外 13 カ国、49 機関で研究開発に活用され、家庭やオフィス、病院、介護施設等での実証実験が進められている。経済産業省と NEDO が主催する World RobotSummit の競技会 Partner Robot Challenge (Real Space) および RoboCup@HomeDomestic Standard Platform League の標準ロボットとして採用されており、HSR を用いた片付けタスクなどの各種ロボットベンチマークも世界的に競われている
HTAP	HTAP は hybrid transactional analytical processing の略であり、ガートナーによって定義された用語。トランザクション処理と分析の「壁を打ち破る」新しいアプリケーションアーキテクチャを指す
In（インジウム）	超電導材料の１つであり、超電導転移温度は 3.4K
Irregular Access	不連続なアドレスに対するメモリアクセス列のこと。CPU・GPU を問わず現在主流のキャッシュアーキテクチャとの相性が非常に悪く、例えば 128 バイトのキャッシュラインの 4 バイトしか使わないような効率の悪い資源(キャッシュ容量やメモリバンド幅)浪費を引き起す。疎行列で定式化されるアプリケーション(多くの科学技術計算やグラフ処理など)における配列の間接参照などによって頻繁に出現する。Gather/Scatter 処理のニアメモリプロセシングにより、これまで未開拓な加速要因として活用可能である
i 線ステッパ	高精度の光学系を持つことで解像度が高く、またレチクルと呼ばれる回路パターンを作りこんだフォトマスクを用いて試料表面に塗布したフォトレジストに回路パターンを露光することで高速の露光も実現する。露光されたレジスト部分がのちの現像工程で除去されて、回路パターンが転写されたレジスト層が微細回路パターン加工用マスクとして用いられる。i 線の波長は 0.365 um であり露光の解像度は 0.5-1um 程度
LHZ 法	量子アニーリングを実行する際にどの素子とどの素子を相互作用させるか、ということについてのアルゴリズムの一つ。この方法では、隣接する素子との相互作用のみで、任意のイジング問題を扱うことができる。その代わり、四つの隣接する素子間の四体相互作用が必要である
Material Requirement Planning (MRP)	資材所要量計画は工場などで使われる生産管理手法の一つ

McIM	本プロジェクトの課題 3 が提唱しているポストムーア時代向けのアーキテクチャ。汎用性と連続性と実装容易性を確保しながら、主に高いメモリ性能を実現するために、多数の低電力汎用コアをメモリ側に配置することを特徴とする。FLOPS-to-BYTES を志向するアプローチの一つ
MINN (Model Identification Neural Network)	VAE に基づく時系列向けのネットワークを、状態空間モデルとして理解しやすい形に改造したネットワーク群
Nb（ニオブ）	低温で超伝導となる金属の 1 つ。アルミニウムより硬く、超伝導転移温度も高い
OLAP	OLAP は online analytical processing の略であり、複雑で分析的な問い合わせに対し高速に結果を返すシステム
OLTP	OLAP は online transactional processing の略であり、データの入力と検索のトランザクション処理を扱うシステム
OpenMVG	Structure From Motion (SfM) のためのライブラリ。 複数の位置から撮影した静止画像群から、3 次元空間で点群を構築する
OpenMVS	点群データから、より密な点群を求める Multi-View Stereo のためのライブラリ
PLC	Planar Lightwave Circuit、平面光波回路のこと
QAM 方式	Quadrature Amplitude Modulation ：直交振幅変調方式のこと。16QAM は、位相が直交する 2 つの波を合成して搬送波とし、それぞれを 4 段階の振幅で識別する方式。1 つの偏波で 4 ビットの伝送ができる。本事業では 2 つの偏波を多重して、それぞれを 16QAM 変調する DP（Dual Polarization）-16QAM 方式を採用している。また、QAM 方式以外に振幅識別を用いない QPSK（Quadrature Phase Shift Keying）変調も光コヒーレント伝送では多用されるため、本事業でも検討対象の変調方式も一つとしている
RBL 法	LHZ 法の変型版
Read only Anomaly	データベースにおける Anomaly とは Serializable ではない実行を引き起こす状態を指す。Read only Anomaly は 2004 年に見つかった Anomaly であり、とくに HTAP システムでは問題が顕在化する https://dl.acm.org/doi/10.1145/1031570.1031573
RISC-V	UC Berkeley を中心に開発されたオープンな RISC プロセッサ仕様。Rocket コアを中心とするフリーの実装も存在する。
ROS	ROS (Robot Operating System) はロボットアプリケーション作成を支援するミドルウェアで、ライブラリとツール群（ハードウェア抽象化、視覚化ツール、メッセージ通信など）を提供している。ロボットミドルウェアのデファクトスタンダードで、全世界で 10 万人以上のユーザがいる一大 OSS（Open Source Software）コミュニティを形成している。本プロジェクトから提案する様々なデバイスを ROS 対応することで、世界中のロボットプログラマへ一気に広めることが可能である
SEM	走査型電子顕微鏡（SEM）は電子線を磁気レンズで細くしぼって観察対象物表面に走査・照射し、観察対象物表面近傍から放出される二次電子等を検出することで主に観察対象物の表面形状を観察する。光学顕微鏡よりも分解能が高い
SQUID	Superconducting Quantum Interference Device の略。ジョセフソン接合を含む超電導ループ構造を持つ。ループ内の磁束の数は飛び飛び

	の値（磁束量子と呼ばれるものの整数倍）しか取れないため、高感度な磁場センサとしても用いられる
TEG チップ	素子が設計通りに動作しているか、および、製造上の不具合の有無等を調べるためのテスト用チップ。Test Element Group の略
TPC-H	トランザクション処理性能評議会（Transaction Processing Performance Council：以下 TPC）が定義するデータベースの処理性能指標の１つであり、意思決定支援のワークロードによるベンチマーク
TSV	Si 貫通電極（through-silicon via）。電子部品である半導体の実装技術の 1 つであり、シリコン製半導体チップの内部を垂直に貫通する電極のことである。複数枚のチップを積ねて 1 つのパッケージに収める場合に、従来ではワイヤ・ボンディングで行なわれている上下のチップ同士の接続をこの貫通電極で行なう。
Vivado 高位合成システム	FPGA の供給会社である Xilinx 社が提供している C プログラムを直接ハードウェアに変換するソフトウェアツール
World Robot Summit	総称 WRS は，ロボットの活躍が期待されるさまざまな分野において、世界中から集結したチームがロボットの技術やアイディアを競う競技会「World Robot Challenge（WRC）」と、ロボット活用の現在と未来の姿を発信する展示会「World Robot Expo（WRE）」とで構成されている.
アニーリング素子	（結合した複数個の）量子ビットを用いて量子アニーリングを実現するためのデバイス
アモルファス層	原子が周期的な結晶構造を持たない層
アンローリング	C プログラムのループ for (i=0; i < n; i++) { … } では i が 1 つずつ変わってゆくが、それを i が 2 つずつ(あるいはもっと大きく)変わるようにして一度に処理される演算の数を大きくし、可能なら並列化してハードウェアでの効率化を行う手法
イジングハミルトニアンイジング問題	イジング問題で考える、二値変数で表される多変数関数。物理的には、対象とするシステムのエネルギーを表す関数。一般に、エネルギーを表す関数をハミルトニアンと呼び、イジング問題におけるハミルトニアンをイジングハミルトニアンと呼んでいる
イジングマシン	イジング問題を解くことを主な目的とする専用ハードウェア。イジング問題を解くソフトウェアを意味することもある
イジングマシン	量子アニーリングマシンをはじめ、内部にイジングモデルと呼ばれる模型を持ち、その基底状態（最小エネルギー状態）を求めることで、高速に組合せ最適化問題を解法するコンピュータ
イジング項	イジング型の相互作用
イジング問題	たとえば、変数 s1、s2 を考え、どちらも 1 か-1 のみを取り得るとし、s1×s2＋s1 - s2 を最小にする s1 と s2 の値の組合せを見つける問題はイジング問題の一例である。一般にイジング問題は二つの値（「1 か-1」など）のみを取る変数で表される多変数関数を考え、それが最小になるような二値変数の値の組合せをみつける問題である。変数の 2 次以下の項（2 個以下の変数の積）しか含まない場合を考えることが多い。組合せ最適化問題は基本的にイジング問題の形式で表すことができる
インターポーザ	貫通電極によって表裏の回路の導通をとるために用いられる基板のこと。3D の高集積化技術として活用されている
エアブリッジ	上記クロストークを抑制するために、量子ビットチップの高周波伝送線路によって分断されているグラウンド電極間を、伝送線路には触れ

	ないように空中で架橋する構造
エッジ・コンピューティング	スマホやロボット、ドローン、自動運転車、センサなどのエッジ・コンポーネント側にデータ処理装置を分散配置して、データ処理を行う技術の総称。従来のデータセンターを中心としたクラウド・コンピューティングと対比的に用いられる概念である
エミュレーション	物理現象の模擬をソフトウェアで行うシミュレータをハードウェア化したもの
カーネル法	非線形なデータ解析を行うための機械学習技術のひとつ。正定値カーネルと呼ばれるクラスの関数でデータを表現する
クエンチ	ハミルトニアンのパラメータを急激に変化させる操作。断熱型量子計算では、ハミルトニアンのパラメータをゆっくりと変化させることによって量子状態を常にハミルトニアンの基底状態に保つ。一方、クエンチのあるダイナミクスでは基底状態にとどまらず、より複雑なダイナミクスを伴う
クライアント側	サーバー側のインターフェース。反対側の伝送方面はライン側と呼ぶ
クロストーク	ここでは、２ビット素子において片方のビットの周波数を変化させるために磁場を印加した際に、もう片方のビットの周波数も意図せず変化する現象を指す
ゲート方式	ノイマン型のコンピュータのビットに対する演算処理（ゲート）の量子版に相当する演算を行うタイプの量子コンピュータ
コヒーレンス時間	一般的には重ね合わせ状態の継続する時間を意味するが、量子ビットに対して用いる際は上記の位相緩和時間を指す場合が多い
コヒーレント光信号	位相変調させた信号光に局発光を干渉させて信号を検出するコヒーレント受信を用いる光信号。偏波多重も組み合わせて大容量化する
サイクル精度のエミュレーション・シミュレーション	実際のディジタルハードウェアでは、レジスタファイルやメモリ要素などへの信号値の書き込みが、クロックサイクルのエッジに同期して行われる。計算に伴うそのような書込み動作を模擬し、計算処理にかかるサイクル数を正確に評価することが可能なエミュレーションまたはシミュレーションを、サイクル精度と表現している。尚、ここではそれぞれ、エミュレーションとはFPGA等による実ハードウェア上で論理記述された CGRA のハードウェアを動作させることを、シミュレーションではソフトウェアで CGRA の論理動作を模擬することを意味している。開発した環境では、VHDL により記述された CGRA のパラメータ化論理回路を、GHDLというソフトウェアによりCコードに変換しそれを実行している。これは、シミュレーションである。また、その VHDL は FPGA 上に配置配線すればエミュレーション可能なものである
ジョセフソン接合	非常に薄い絶縁体を２つの超伝導体で挟んだ構造のこと。ジョセフソン接合を介して、２つの超伝導体の波動関数の位相差に応じたトンネル電流が流れる
シンボルレート	変調情報を伝送する速度のこと。変調による変化を 1 秒間に何回伝送できるかを示す。フランス人技術者 J. M. E. Baudot の名をとって baud rate（ボーレート）と呼ばれることも多い
スキーマ	データベースのデータ構造の定義
スパッタリング	真空チャンバー内に薄膜としてつけたい金属をターゲットとして設置し、高電圧をかけてイオン化させた希ガス元素（普通はアルゴンを用いる）や窒素（普通は空気由来）を衝突させ、ターゲット表面の原子がはじき飛ばされ、基板に到達して製膜する方法。そのため、スパッ

	タリングはいわゆる「乾式めっき法」(真空めっき)に分類され、コーティングする対象物を液体や高温気体にさらすことなくめっき処理が出来ることが特徴
スピン	原子などの電気を帯びた粒子が回転した場合の磁場(N 極の向き)のこと。上を向くか下を向くかを 1 と -1 で表すことが多い
スピンレザバー	スピントルク発振素子におけるスピンの多様なダイナミクスを利用した物理リザバーであり、ナノメートルサイズの磁気抵抗素子を用いるため小型・省電力なシステムの実現が期待される
スピン波	磁性体は局在したスピン角運動量をもった元素の集合である。スピンはベクトル量で、その空間内の配置場所と大きさは変化しないが、その方向は様々な要因で変化する。磁性体内の一部のスピンの方向が変化すると、その変化は波の様に空間を伝搬する。これをスピン波と呼ぶ
スペクトロスコピー	観測量の周波数（または波長）依存性を調べる実験。分光法
セレクタスイッチ	N 入力 1 出力のスイッチで、N 個の入力ポートのうちの 1 つを出力ポートに接続するスイッチ
ソフトウェア擬似量子アニーリング	スピンをもつ量子の集合がその総エネルギーを最小にする現象を、疑似的に二値のスピン変数の集合に対する処理をソフトウェアで行うこと。焼鈍しを疑似的に行うシミュレーティッドアニーリングになぞらえて量子アニーリングと呼ばれる
ソフトロボット	単に身体がやわらかな素材で構成されているのみでなく、やわらかな素材が発現する機能（例えばなじみといった環境との高い適応性や、やわらかな身体に根ざした計算能力など）を積極的に活かしたロボットを指す
ダイナミック酸化	真空チャンバ内に酸素を一定の流量で導入しながら一定の排気速度で排気することで、真空チャンバ内の酸素分圧を一定に保つトンネルバリアの形成方式。
ため込み式酸化	真空排気後に排気を止めた状態で真空チャンバ内に酸素を一定量導入し、真空チャンバ内の酸素分圧を一定に保つトンネルバリアの形成方式
トグル	二値(1, -1 あるいは 1, 0)のいずれかをとるスピン変数の値を別の値に変化させること
ドライエッチング	反応性の気体（エッチングガス）やイオン、ラジカルによって材料をエッチングする方法。主に化学的な反応によるエッチングを指し、反応による生成物は気体である場合が多い
トンネルバリア	非常に薄い絶縁体を二つの超電導体ではさんだジョセフソン接合が超電導量子ビットの主要な構成要素であり、この薄い絶縁体層をトンネルバリアと呼ぶ
ニアデータプロセシング	メモリのできるだけ近くに CPU コアを配置してできるだけデータがある場所で処理することで、移動するデータ量やアクセス遅延や消費エネルギーの削減をはかる高速化手法またはアーキテクチャ。古くは Processing in memory(PIM)と呼ばれていたが、ビッグデータ処理のコンテクストでは Near data processing が用いられることが多い。Near memory processing と同義で、RAM 上に大半のデータを配置することで高速化する手法を除く In memory processing とも同義であることが多い
ニューラル・ネットワーク	生物の脳の認知機能と構造に基礎を置いている機械学習モデル。神経細胞を数理的にモデル化した人工ニューロン素子のネットワークによって構成される

ニューロモルフィズム	脳や身体に宿る生物の神経機構に内在する本質を捉え、その工学的な実現を通じて、人工物を設計・作動させ、その経緯や結果を通して、生物系の神経機構の新たな理解を生み出し、さらに工学的再現にフィードバックするといった「科学と工学の微視的にも巨視的にも相互浸透的な動的循環による新たな学際的アプローチの理念」を指す
ニューロモルフィックダイナミクス	ニューロモルフィズムの理念のもとに、デバイス/材料や集積回路/アーキテクチャからモデル/アルゴリズムやシステム/応用に至るまでの各分野を統合した超域
ニューロモルフィックダイナミク理論	超域ニューロモルフィックダイナミクスの核となる脳と身体のそれぞれのダイナミクス及びそれらの結合ダイナミクスを表す一般的な計算モデルの理論
ハウジング	ソケットを構成する部材の１つ。ソケットは、主に信号を伝送するためのプローブピンと、プローブピンを保持するためのハウジングで構成される。ハウジングは絶縁材料であると同時に誘電体でもあるため、高周波伝送のためには、材料物性値として誘電率と誘電損失（tan δ）が重要な値となる。また、本開発ではプローブピンの接続状態を室温から極低温（10mK）まで保持する必要があるため、ハウジングの熱膨張率も重要な物性値となる
パフォーマンスカウンター	システムの状態や動作を計測する手段で、アプリケーションを実装した際にどの計算リソースがどのくらい使用されたかがわかり、その値を取得することによりアプリケーションの特徴を理解することができる
パラメトリックオシレータ	パラメトリック発振をする振動子
パラメトリック発振	共振周波数の２倍の周波数で共振周波数を変調すると、パラメータ共振による増幅効果が生じる。変調強度がある閾値を超えたときに起きる自励振動をパラメトリック発振と呼ぶ
パラメトロン共振器	パラメトロンを構成する共振器
フリップチップボンディング	Flip Chip Bonding：FCB。チップの能動面と基板面が対向した状態で実装される手法
プローブピン	ソケットを構成する部材の１つ。ソケットは、主に信号を伝送するためのプローブピンと、プローブピンを保持するためのハウジングで構成される。本開発で求められるプローブピンの特性としては、高周波伝送を可能にする低損失に加えて、高密度実装を実現するための挟ピッチ対応（極細径）が重要となる。また、コンタクトを取るために内蔵されているバネは、通常、ニッケル系の磁性材料を含むが、超電導チップの動作に悪影響を及ぼす可能性があるため、非磁性バネへの変更も検討する必要がある
プロトタイプシミュレータ	何等かの物理現象の模擬(シミュレーション)をソフトウェアで行うシステムであるシミュレータの暫定版のこと
ベイズ推論	推論したい事柄に関する事前知識を表す事前確率と、観測されたデータとから、ベイズの定理を使って事後確率を求めることによって確率的な推論を行う、統計的推論の方法論。
ベーシックブロック	CPU で実行される分岐のない命令の集まり。すなわち、内部のコードが他のコードの分岐先になっておらず連続して実行される命令郡
ポンプ	上記パラメトリック発振を起こす目的で、量子ビットの共振周波数を変調するために高周波信号を入力すること
マイクロ波	周波数が 300MHz から 30GHz 程度の電磁波の総称。転じて、同周波数の交流電流をもマイクロ波と呼ぶ

マスクレス露光機	光学露光装置ではあるがデータをもとに描画・露光するためレチクル（回路パターンを作りこんだフォトマスク）が不要。i 線ステッパよりも解像度は低い
ミドルウェア	アプリケーションプログラムを特定のハードウェアで動作させる際に、その仲立ちとなって動作するソフトウェアならびにその集合
リザバー・コンピューティング	ニューラル・ネットワークのアーキテクチャの 1 つ。入力データを高次元空間へ変換するリザバー層とその状態を読み取って所望の出力へと変換するリードアウト層からなる。リザバー層は学習を必要とせず、学習はリードアウト層のみで行われるため、学習負荷が非常に軽い。リザバー層は水面に喩えられ、そこにデータを入力すると、静かな水面に石を投げ込んだ際に拡がる波面の様子を読み取るように推論が進むことから、この名前になっている
ルーフラインモデル	メモリバンド幅と演算器性能の 2 つのハードウェア制約により導かれるアプリケーションの浮動小数演算速度(FLOPS)の上限(Roofline)を示した性能モデル。グラフで表示した際に右肩上がりのバンド幅律速な領域と、ピーク演算性能で飽和する演算律速な領域に分かれ、個々のアプリケーション特性は必ず Roofline の下側にプロットされる
レーザー	光共振器を用いて人工的に生成された、位相や波長の揃った光。光リザバー・デバイスでは、レーザーの性質を利用してリザバー層を実現している
レザバーコンピューティング	再帰的ニューラルネットワークの特殊なモデルを一般化した概念で、時系列情報処理に適した機械学習の枠組みの一つ。尚、レザバーは、リザバーやリザヴァ、レザヴァなどとも呼ばれるが、本プロジェクトでは、レザバーに統一する.
レザバーチップ	典型的なレザバー計算モデルでは、レザバー内はスパースな固定荷でランダムに結合されたリカレントニューラルネットワークであるが、内部に非線形なダイナミクス（履歴を残した非線形な状態の時間発展）が必要である。これを、CMOS 集積回路で構成する場合、ディジタル/アナログ双方の手法で実装が可能であり、FPGA での実装例もあるが、トランジスタの非線形特性を利用したアナログ回路で構成すると、より効率的な実装が可能である。
ロボカップ@ホーム	2050 年までに、11 体のヒューマノイドロボットチームが FIFA のワールドカップチャンピオンチームを破ることを最終目標とするロボカップにおいて、災害救助のロボカップレスキューに続いて、日常生活支援ロボットの能力を競うロボカップ@ホームが 2005 年に構想発表され、2006 年から正式競技会として運営され、毎年、全世界から数十チームが参加し、様々なタスクを競い、技術向上と応用範囲の拡大が図られている
位相緩和時間	外界の周波数揺らぎの影響を受けて、量子ビットの 0 と 1 の重ね合わせ状態のコヒーレンスが失われる典型的な時間スケール
音声認識	機械学習により，人間の発話データからの文字起こしや発話者の特定などを行う手法.
希釈冷凍機	4He とその安定同位体である 3He の混合液から選択的に蒸発させた 3He ガスを、再度混合液に注入する際の希釈熱によって試料を冷却する冷凍機。mK オーダーの極低温を実現することができる
機械学習	人間が計算機に対し明示的にルールを与えるのではなく，計算機に**多くの例をデータとして与えて，そのデータの中に潜む有用な規則，ルール，知識表現，判断基準などを自動的に抽出する手法．ビッグデータ時代の到来により，近年その重要性が高まっている**.

擬似量子機構	スピンをもつ量子の集合がその総エネルギーを最小にするようにスピンの値を決定する現象を疑似的に実現する方式のこと
局所磁場	イジングハミルトニアンの$\Sigma\ J_{ij}\ \sigma_{iz}\ \sigma_{jz}$ を、２スピンの平行反平行を±１とするあらたなスピンを用いて$\Sigma\ J_{k}\ \sigma_{kz}$ と表した際の J_k を局所磁場と呼ぶ。実験的には各ビットのシグナルラインにマイクロ波を注入することが局所磁場を印加することに相当する
近接相互作用	隣接した量子ビット同士の間にのみ相互作用があること
金属破壊モード	ダイシェア試験で実装されたチップを破壊した際の接合部における破壊状態の一つ。強固に接合されていた場合は、接合界面ではなく母材の金属より破壊する。
係数行列	二値(1, -1 あるいは 1, 0)をとる変数 x_i を用いた最小化したい二次式 $\sum_{i=1}^{n}\sum_{j=i+1}^{n}J_{ij}x_ix_j$の係数値 J_{ij} を二次元の行列の形で表したもの
原子スイッチレザバーチップ	原子スイッチを非線形演算素子とするレザバーと CMOS を集積したチップ。シリアル時分割入出力の原子スイッチレザバーおよび原子スイッチアレイのスキャン・読み出し・書き込みを行う CMOS 回路により構成される
固体量子ビット	量子ビットの０，１状態が、半導体等の固体素子における電荷、スピン、磁束、位相等の量子力学的な２準位によって構成されるタイプの量子ビット
誤り訂正回路	符号誤りを訂正するアルゴリズムを搭載した回路
光子	（可視光等の）電磁波を構成する最小単位。有限のエネルギーを持ち、質量は０の粒子
光波長送受信器	一般的な光デジタル・コヒーレント・トランシーバーと主要構成はほぼ同じであるが、局発光の波長切替時間が 100μs 程度と高速である
酸化膜	熱したりすることで、金属や半導体表面に酸素と反応して生成する皮膜。銅ならば酸化銅、シリコンならばシリコン酸化膜ができる。また、スパッタリング法等により膜厚を制御して意図的に堆積することも可能
酸素分圧	真空チャンバ内における酸素のみの圧力
磁束量子ビット	超電導ループを永久電流が時計回りに流れる状態と反時計回りに流れる状態を０，１状態として利用するタイプの量子ビット
室温接合抵抗評価システム	ジョセフソン接合の室温抵抗値を評価するシステム。この測定値から極低温での接合特性を推測できる
実時間ダイナミクス	実数軸上の時間発展。（実時間に対して、熱平行状態を生成する操作は、時間 t を虚数とする虚時間発展とも呼ばれる）
斜め蒸着装置	試料表面にあらかじめ形成しておいたマスクを用いて微小寸法のジョセフソン接合を作製するための蒸着装置。試料の傾斜・回転機構を有しており、蒸着物質流の試料表面への入射角度を変えることができることが特徴
巡回セールマン問題	n 個の都市に対して、一度ずつすべての都市を回る経路の中で総距離が最小のものを求める問題、セールスマンが都市をめぐるという意味で名前がつけられた
深層確率モデル	深層ニューラルネットワークを用いて表現された確率分布モデル。データの生成過程のモデルの場合には、深層生成モデルと呼ぶこともある
世界モデル (World Model)	環境からの限られた観測情報を元に、環境で行動した際の行動と観測の関係を学習によって構築する枠組み。世界モデルを用いることで，直接には観測できない状態での行動による状態と観測の変化をエミュ

	レーションできるようになる
制御ポスト	フリップチップボンディングで量子チップをインターポーザ上へ実装する際に、量子チップとインターポーザ間のギャップをある一定の高さにするための突起構造
制約項	LZH 法において、元の問題にある長距離相互作用を効率よく表すために入る量子ビット同士の制約の項
生体レザバー	生体組織そのものあるいは培養神経細胞とそのネットワークにより構成される物理レザバー。脳型レザバーの構造探査に用いられるとともに、サイバネティックニューロモルフィックコンピューティングにおける埋め込みレザバーの最終形態にもなりえる
積和演算のエネルギー効率	浮動小数点計算を行う通常のディジタル計算機の演算性能指標 FLOPS に対して、固定小数点演算でよい特定用途プロセッサ（AI チップ等）では OPS（Operations Per Second）が用いられる。演算効率（エネルギー効率）とは，消費電力当たりの演算性能であり、専用 AI チップで使われる単位は TOPS/W = (Tera Ops per sec)/(Joule per sec)=Tera Ops/Joule。この逆数は、1 演算当たりの消費エネルギー = 1/(TOPS/W) [pJ/op]となる。すなわち、1 演算に 1pJ 消費する場合、1TOPS/W となる。積和演算の場合、乗算と加算で 2 演算とみなす。ただし、効率は演算のビット精度にも依存するため、極端な場合、2 値演算畳込み NN などでは、乗算を 1 ビット演算（XNOR）で行うことで、ディジタル方式でも 700TOPS/W という極めて高い効率が実現できる。この場合，「1-b TOPS/W」という表記がされることもある
絶縁層	２つの導電性（半導体や金属）の層または構造の間の絶縁を取るために設けられる層
全結合	ここでの結合とは、ハミルトニアンにおける変数の積を意味する。変数 s1 と変数 s2 が積になっている、つまり s1×s2 という項がハミルトニアンに含まれるとき、両者が結合していると考える。特に、全ての二つの変数の組が積になっている場合を全結合と呼ぶ。また、全結合ではないものは部分結合と呼ばれることもある
組合せ最適化問題	順番や物の配置のように、ある条件を満たす範囲で最も良い組合せを探すという問題。例）工場の生産ラインの計画
組合せ最適化問題	多数の組合せの中から最適な組合せを選択する問題。組合せ最適化問題の例として巡回セールスマン問題などがある
側壁粗さ(スキャロップ)	Si 貫通電極（TSV:through-silicon via）を形成する際に、貫通孔のドライエッチング加工を行う際に、貫通孔が深い穴形状の場合、保護膜の形成とドライエッチングを交互に行う必要がある。その時のプロセスの切り替え時間によりエッチング加工面であるシリコンの側壁にリング状の凸凹になる構造がスキャロップと呼ばれる
多体相互作用	物理的な素子間が互いに影響を及ぼし合う状況は、通常二つの素子間のみの互いの影響を考える。しかし、三個以上の素子が同時に影響を及ぼし合う状況もあり、これを多体相互作用と呼ぶ。イジング問題においては、イジングハミルトニアンにおける三個以上の変数の積（3 次以上の項）がこれに対応し、これも多体相互作用と呼ばれる
超電導パラメトロン	超電導回路におけるパラメトリック発振の２つの位相状態を量子ビットの０，１として用いる素子
超電導バンプ	Nb や In などの超電導材料で構成された接続端子
長距離相互作用	遠くの量子ビット同士の間に相互作用があること

適応制御	符号間干渉を抑制するため、通信路特性や信号品質の変化に応じて等化器回路、多値処理回路、誤り訂正回路の統制を自動的に調整する制御
電子線描画装置	磁気レンズで細くしぼった電子線を試料表面に塗布したレジストに走査・照射して回路パターンを試料表面に転写するための装置。電子線照射された部分のレジストがのちの現像工程で除去され、回路パターンが転写されたレジスト層が微細回路パターン加工用マスクとして用いられる。データをもとに描画するためレチクルが不要。i 線ステッパやマスクレス露光機のような光学露光装置よりも解像度が高くより微細な構造を作製することができる一方で、電子線走査に時間を要するため作業時間がかかる
脳・身体結合の大規模シミュレータ	筋骨格系の大自由度性や冗長性などの生物学的特徴を有した複雑身体シミュレーションやロボットに、生物規範の大規模脳モデル・シミュレーションを統合したシステムであり、神経系や身体に内包される構造的および機能的特性や神経系-身体-環境の相互作用によって生じる動的特性の実験や検証に用いる
脳型レザバー	脳構造に近い並列入出力かつ近傍結合構造を持つ物理レザバー。半導体ニューロモルフィック素子による構成を前提としたもの
反応性イオンエッチング装置	フッ素などの化学反応性のあるイオンに加速電圧を加えて試料表面に衝突させ、異方性のあるエッチングにより材料を除去することで微細な回路パターンを作製する
反交差	相互作用のある２状態のエネルギー（または周波数）が近づいたとき、２状態のエネルギーが交わらずに、ギャップを形成するように分裂する様子を反交差と呼ぶ
物理イジングモデル	特定のイジングマシンハードウェアに依存したイジングモデル。論理イジングモデルに比較して、係数のビット幅が限られる、スピン数が限られるなどの制約がある
物理リザバー・コンピューティング	物理系のダイナミクスをリザバー層として利用した、リザバー・コンピューティングの実現方法の一つ。アルゴリズムとしての簡便さに加え、物理系を直接計算過程として用いるため、高効率での動作が期待できる
物理レザバー	通常のレザバーコンピューティングでは、ソフトウェア上で実装された再帰的ニューラルネットワークをレザバーとして活用し情報処理を実現する。これに比して、物理レザバーでは、物理系のダイナミクスそのものをレザバーとして活用する
分散機械学習	複数の計算機やアクセラレータ（FPGA や GPU）を利用して、深層学習等の学習処理を行うことで、高速・大量データの学習を可能にする機構
変分オートエンコーダ (Variational Auto-Encoder: VAE)	代表的な、潜在変数を持つ深層確率生成モデルの一つ。画像などの複雑で高次元のデータの確率分布を学習することができる
万能型量子コンピューティングマシン	計算途中のエラーを訂正する能力を備えたゲート型の量子コンピュータマシン。任意のゲート操作を任意の回数こなすことができる
問題項	LZH 法において、元の問題そのものを表す項
有限要素法	数値解析手法の一つ。解析的に解くことが難しい微分方程式の近似解を数値的に得る方法の一つ。方程式が定義された領域を小領域（要素）に分割し、各小領域における方程式を比較的単純で共通な補間関数で近似する。つまり、有限要素法では、複雑な形状や構造の部品を単純な形状の集合体となるまで分割し、その単純形状ごとの熱応力や

	変形を求め、それを全体構造まで積み重ねることによって解くことで、各部の熱応力や変形を求めることができる
溶融金属充填法	シリコン(Si)やガラス等の基板に微細な貫通孔を形成した後、溶融した金属をその貫通孔に充填する方法。貫通孔内部に導体を埋め込むことで Si 貫通電極（TSV:through-silicon via）を実現できる。通常のめっき法による金属充填に比較してアスペクト比が大きい貫通孔に適しているとされる
量子アニーリングマシン	ゲート型のようにビット内またはビット間の演算を繰り返すことで問題を解くのではなく、全ビットの重ね合わせ状態が最もエネルギーの低くなるような状態に量子力学的に時間発展することを利用して組合せ最適化問題を解くタイプの量子コンピュータ
量子センシング	量子化したエネルギー準位を用いて、高感度な計測を行うセンシングの総称
量子ダイナミクス	量子力学に従う物理系の時間発展
量子ビット	量子コンピュータで情報を扱う最小構成単位。古典ビットでは０か１の２状態のどちらかを取るが、量子ビットでは０と１のどちらでもある状態（重ね合わせ状態）を取ることができる
量子力学的効果	古典力学では説明できない、重ね合わせ状態等の量子力学に基づく効果
論理イジングモデル	特定のイジングマシンハードウェアに依存しない理想的なイジングモデルで、最適化問題から直接導出される

1.　意義・アウトカム（社会実装）達成までの道筋

1.1.　事業の位置づけ・意義

IoT、人工知能（AI）、ビッグデータ、ロボット等の技術革新により、これまで実現不可能と思われていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。しかしながら、これらの社会実装を持続的に継続していく上で、「データ量の増大」と「消費エネルギーの増大」がボトルネックとなっている。世界のデータ量は 2 年毎に倍増している。加えて、増大するデータを収集、蓄積、解析する IT 機器の消費エネルギーも増大の一途をたどっている。また、昨今では生成 AI の登場により情報処理に係るエネルギーの増加は社会課題として一層現実的なものとなっている。

こうした課題に対して、情報産業界は主に 1970 年代から続くムーア則というメガトレンドに則り、半導体の微細化、高性能化によって課題を解決、あるいは対応してきた。しかしながら、ムーア則の終焉が叫ばれ、既存技術の延長による課題解決アプローチは限界を迎えつつある。また、ハードウェアではなくソフトウェアに目を向けても、処理したいデータ量が爆発的に増加した結果、従来のノイマン型対応技術では効率的なデータ解析が難しくなりつつある。今後もデータ量と IT 機器の消費エネルギーは増大することが見込まれるため、より一層の通信負荷の軽減、データ処理能力の向上、エネルギー利用効率の向上等が求められている。

以上のことから、本事業研究開発項目②においては、半導体微細化等による性能向上ではなく、既存の延長にないハードウェア技術ならびにソフトウェア技術による次世代のコンピューティング技術によって、情報通信機器の性能を飛躍的に向上させることを目的とする。

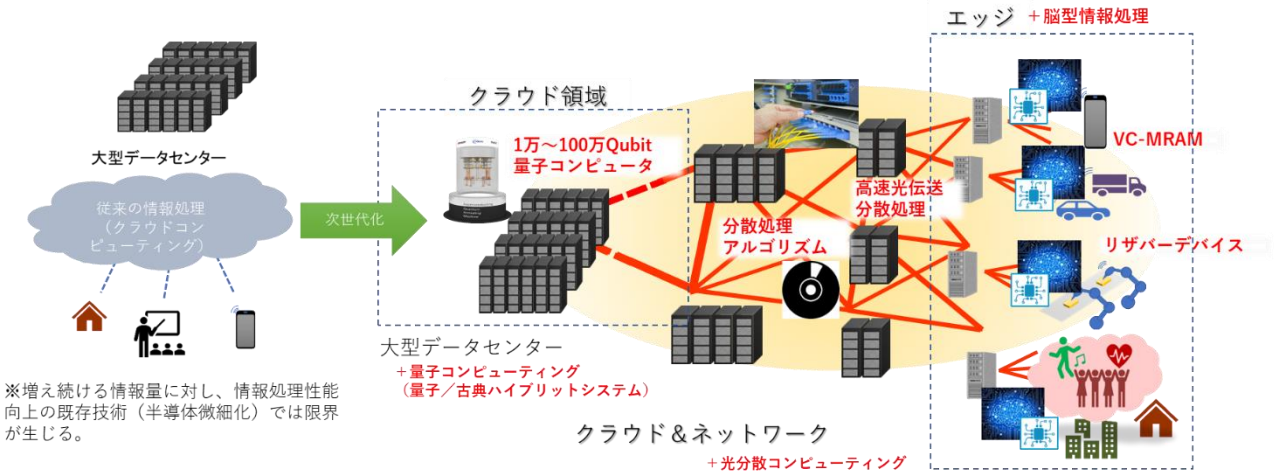


図 1-1　研究開発項目②において構築する次世代コンピューティング技術のイメージ

1.2.　アウトカム達成までの道筋

研究開発項目②においては、大きく分けて 2 つの道筋で研究開発を推進し、最終的に社会実装、アウトカム達成を目指している。一つは量子コンピューティング技術や次世代データセンタ技術など、事業開始時点で競合する企業や研究機関の存在があり、産業応用

に向けた取り組みが社会的に動き出している技術に関する開発を行う研究開発枠での事業実施である。課題は社会情勢、技術動向、あるいは先導研究などによる成果の創出に鑑み、必要に応じて年度ごとに設定して追加公募も実施する。企業や技術研究組合を主体として体制を構築し、研究開発の状況に応じて体制や予算の拡充を図り、各テーマそれぞれの状況に応じた事業化を見据えた取り組みを、研究開発期間中から実施する。

もう 1 つは、次世代のトレンドとなりえる技術の“種“の育成を、探索型研究枠として着手するものである。探索型研究枠で研究開発を実施する内容については、学術的には確立されたものであっても、産業応用においてはその有効性の検証含めて更なる基礎・調査的な研究開発が必要な技術が想定されており、産業応用に向けた技術開発の方向性や、当該技術が特に有効と考えられる応用分野の確度を高めることを目的とし、大学等学術研究機関を主体として当該研究開発を行う。そのうえで、成果が得られたテーマをもとに課題を設定して追加公募を行い、研究開発枠へのステージアップを実施する。本事業では 5 件のテーマについて探索型研究枠での開発を実施し、1 件のテーマ（脳型コンピューティング）が研究開発枠へのステージアップを実現した。

以上の 2 つの道筋から 2022 年度時点で、クラウド領域では量子コンピューティング、クラウドとエッジを繋ぐネットワーク領域では光分散コンピューティング、エッジ領域では脳型コンピューティングという、クラウドからエッジまでの中核的な位置づけを成すことが期待される基盤技術開発が体制として本事業に整う形となった。

以降、それぞれの技術においてアウトカム達成の道筋は異なるが、大枠としては、事業期間中から産業応用を見据えた取り組みとしてオープンソース公開や無償サンプル提供、事業からスピンオフした成果を用いた早期事業化、実証研究として本番運用を前提としたアプリケーションとの連携などによって情報を収集し、次世代コンピューティング技術としての用途を確立することで、新たなサービスの創出も目指す。以上により、事業終了後は他社との連携も進め、アウトカムの達成に繋げる。



図 1-2　次世代 RDBMS（リレーショナルデータベースマネージメントシステム）としてオープンソースで公開されたミドルウェア劔“Tsurugi”

1.3.　知的財産・標準化戦略

情報産業は大きな変革期にあり、新たなトレンドがたびたび生まれるだけでなく、世界規模での競争が起こっている。成果最大化のためにはただ成果を知財化するだけでなく、世界的な技術動向を把握したうえで、戦略的な取り組みを進めることが重要と言える。

また、2020 年度に実施した本事業の中間評価においては、

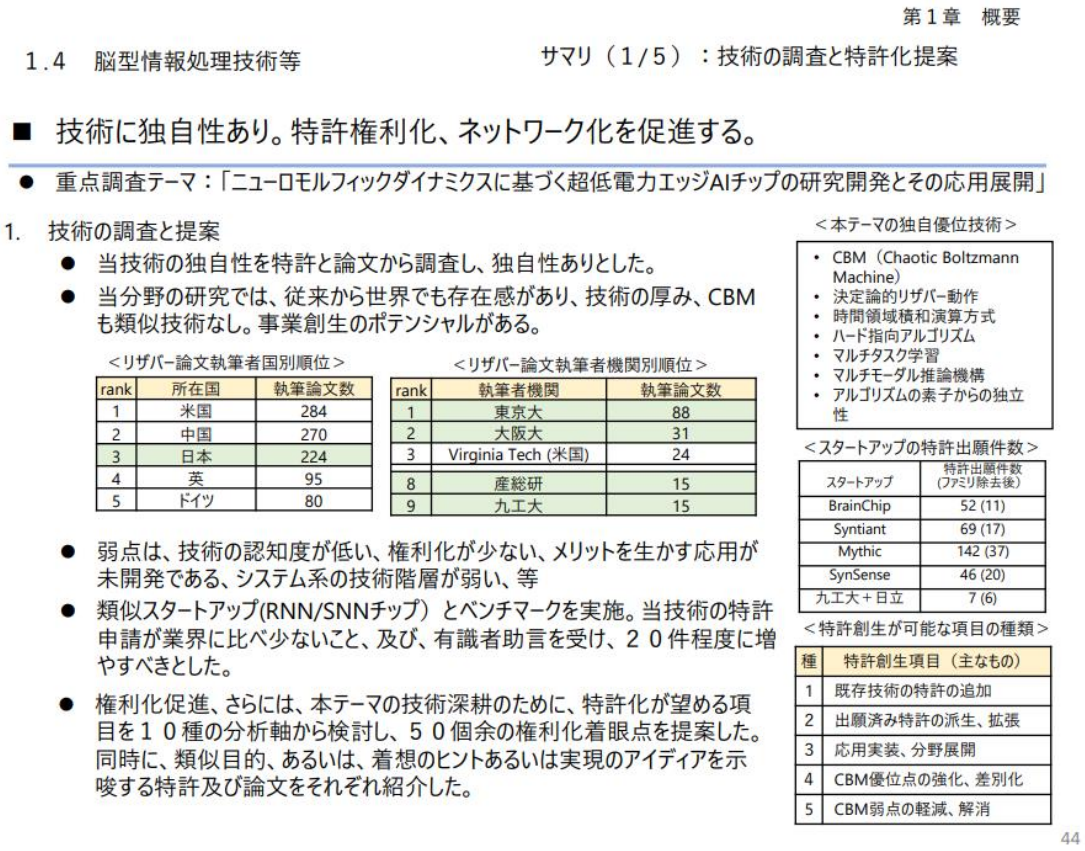
・世界的な技術潮流に関する情報収集や、将来の市場獲得に向けた方策を検討、拡充する必要があること。
・事業化の観点からみた優位性検討と目標の見直し、テーマの取捨選択や整理統合を、適宜行うことにより、選択と集中を加速すること。

とする NEDO が主体となって行う情報収集に伴うマネジメントに関する評価がまとめられた。そこで本事業では、2021 年度から「高効率・高速処理を可能とするＡＩチップ・次世代コンピューティングの技術開発に係る技術動向調査（以下、「技術動向調査」という」を開始、世界規模での調査を実施し、国内外の技術動向、市場動向の情報のとりまとめを実施した。また、そうして得られた情報を基板として、2022 年度には知財戦略に係る調査「次世代コンピューティング技術領域に係る知財戦略調査（以下、「知財戦略調査という」）」を実施し、情報収集と戦略的な知財等へのアプローチを拡充したところである。

調査結果から、次世代コンピューティング領域において 2022 年度の以降、プロジェクト後半の開発領域として重要な基盤技術に量子、光分散、脳型、それぞれのコンピューティング技術を位置づけ、それらの領域について世界の主要国の知財の出願動向や競合すると考えられる企業の知財保有状況等を調査するとともに、そこから考えられる各事業者に今後の知財戦略に関して提言を行い、成果のオープン・クローズ戦略含めて NEDO のマネジメントのもとで実施している。

また、2023 年度以降のフォローについては、研究開発項目②は重点項目とした量子、光分散、脳型、それぞれの領域ごとに個別の掘り下げを行う調査を実施し、知財、標準化戦略と合わせてフォローを継続している。

なお、標準化施策についても、得られた研究開発成果について、必要に応じて標準化を図ることとし、評価手法の提案、データの提供、標準化活動等を事業内において実施している。



第１章　概要

1.4　脳型情報処理技術等　　サマリ（1/5）：技術の調査と特許化提案

■ 技術に独自性あり。特許権利化、ネットワーク化を促進する。

● 重点調査テーマ：「ニューロモルフィックダイナミクスに基づく超低電力エッジAIチップの研究開発とその応用展開」

1. 技術の調査と提案
   - 当技術の独自性を特許と論文から調査し、独自性ありとした。
   - 当分野の研究では、従来から世界でも存在感があり、技術の厚み、CBMも類似技術なし。事業創生のポテンシャルがある。

＜リザバー論文執筆者国別順位＞

rank	所在国	執筆論文数
1	米国	284
2	中国	270
3	日本	224
4	英	95
5	ドイツ	80

＜リザバー論文執筆者機関別順位＞

rank	執筆者機関	執筆論文数
1	東京大	88
2	大阪大	31
3	Virginia Tech (米国)	24
8	産総研	15
9	九工大	15

   - 弱点は、技術の認知度が低い、権利化が少ない、メリットを生かす応用が未開発である、システム系の技術階層が弱い、等
   - 類似スタートアップ(RNN/SNNチップ）とベンチマークを実施。当技術の特許申請が業界に比べ少ないこと、及び、有識者助言を受け、２０件程度に増やすべきとした。
   - 権利化促進、さらには、本テーマの技術深耕のために、特許化が望める項目を１０種の分析軸から検討し、５０個余の権利化着眼点を提案した。同時に、類似目的、あるいは、着想のヒントあるいは実現のアイディアを示唆する特許及び論文をそれぞれ紹介した。

＜本テーマの独自優位技術＞

- CBM（Chaotic Boltzmann Machine）
- 決定論的リザバー動作
- 時間領域積和演算方式
- ハード指向アルゴリズム
- マルチタスク学習
- マルチモーダル推論機構
- アルゴリズムの素子からの独立性

＜スタートアップの特許出願件数＞

スタートアップ	特許出願件数（ファミリ除去後）
BrainChip	52 (11)
Syntiant	69 (17)
Mythic	142 (37)
SynSense	46 (20)
九工大＋日立	7 (6)

＜特許創生が可能な項目の種類＞

種	特許創生項目（主なもの）
1	既存技術の特許の追加
2	出願済み特許の派生、拡張
3	応用実装、分野展開
4	CBM優位点の強化、差別化
5	CBM弱点の軽減、解消

44

図 1-3　「技術動向調査報告書査」報告書から抜粋。
脳型コンピューティング関連の知財動向調査と提言

2.2.1　D-Waveの特許詳細分析　　重要と思われる登録特許

■ 2010年代前半に重要特許

- 2009~2012年に出願された特許は1件を除いて米国で登録されている。PCT出願、日本出願もあり
- 回避困難と推定される登録特許を下表に整理

番号	特許権満了時期	概要
US9015215	2032年8月30日	量子ビットに磁場を印加してハミルトニアンを定義し、磁場を徐々に減少させることによって永久電流の変化を引き起こす。量子ビットの状態を測定する。
US9218567	2032年7月11日	量子コンピュータとデジタルコンピュータの両方を備え、量子プロセッサとデジタルコンピュータが互いに通信され、量子プロセッサがサンプル生成器として動作するハイブリッド問題解決システムの動作方法
US8700689	2032年9月19日	第1のコンピュータと第2のコンピュータプロセッサからなる。第1のコンピュータプロセッサを使用して論理回路表現を離散最適化問題として符号化し、第2のコンピュータプロセッサにマッピングする。この際の信号伝達方法を定める特許
US8655828	2029年1月27日	古典コンピュータを用いて問題をQUBO(Quadratic Unconstrained Binary Optimization)問題としてマッピングし、量子コンピュータを用いて最適解を求める方法
US9026574	2033年11月20日	古典コンピュータと量子コンピュータを活用してNビットの整数を素因数分解する方法。問題を分割して小型化し、分割された問題を解くことで全体の素因数分解を行う。
US9984333	2028年11月25日	ジョセフソン接合、キャパシタから成る第1、及び第2のqubitループ、及び両ループを結合する結合器から構成されるシステム
JP5400872	2029年5月19日	US9015215の日本出願。日本でも登録済
JP5513507	2029年9月3日	ジョセフソン接合素子の非対称性を補償する機構を有する回路

図 1-4　「知財戦略調査」報告書から抜粋。
量子コンピューティング関連競合企業の知財動向調査

2. 目標及び達成状況

2.1. アウトカム目標及び達成見込み

本事業におけるアウトカム目標は

・エッジやクラウド等の省電力化を実現し、2037 年において 2,729 万 t／年の CO_2 削減を目指す。

・想定する社会実装先（自動運転、産業機械、医療・福祉等）において、2032 年に約 9,300 億円、2037 年に約 1.9 兆円の市場獲得を目指す。

以上を事業全体で掲げている。

2032 年並びに 2037 年度に予想される次世代コンピューティング領域の市場規模としては、図 1-5 に示す通り、アウトカム目標が含まれる 2035 年前後にかけて特に大きな伸びが予想されている。特に、AI 関連技術の普及から、データセンタ関連技術の需要が高いと考えられる。

研究開発項目②においては、最長 2027 年度までの事業期間が設定されており、本評価を実施する時点では事業の約 3 分の 2 を終えたところであるが、2022 年度をもって研究開発を終了した研究開発枠テーマは次世代データセンタ技術に関する「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」、「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」の 2 件であり、その成果は 2024 年度時点で社会実装が一部進進められている。

事業者である㈱ノーチラステクノロジーズは、2023 年 7 月から次世代型 RDBMS のオープンソースとしての公開を開始。処理速度として世界最速の性能を発揮する同システムは業界内から高注目を集め、大手企業を中心に導入が進んでいる。当該技術はシングルノード版が公開されているが、現在分散コンピューティング対応版も開発されており、2026 年度以降順次公開される見通しであり、波及したシステムによる市場獲得効果は極めて高いと考えられる。

一方、量子コンピューティング、脳型コンピューティングについても 2035 年～2040 年にかけて大きな市場の伸びが予想されている。量子コンピューティング技術については、2023 年度からは本事業の事業者である Fixstars 社が、プロジェクトの成果を一部スピンオフし、量子コンピューティングにおいて課題となる定式化と入力を自動化する共通ソフトウェア“Fixstars Amplify”をクラウドで商用公開した。同ソフトは商用化されているイジングマシン（量子アニーリングコンピュータ、量子ゲートコンピュータ、デジタルアニーリングコンピュータ等）すべてに対応しており、クラウドで公開されたプラットフォームはそれらすべてのイジングマシンを利用可能なシステムとして構築されている。2023 年度だけで 1300 万回の利用実績があり、今後量子コンピュータの市場が広がることでさらなる需要増、市場獲得が見込まれている。

以上の成果だけでなく、本プロジェクトではこれから生み出される成果も多くある。のこのままこれらの成果の社会実装が進むとともに、現在開発を継続するテーマの事業化も将来的に進むことで、市場獲得規模だけでなく、省エネ効果量についてもアウトカム目標の達成が可能となると見込まれる。

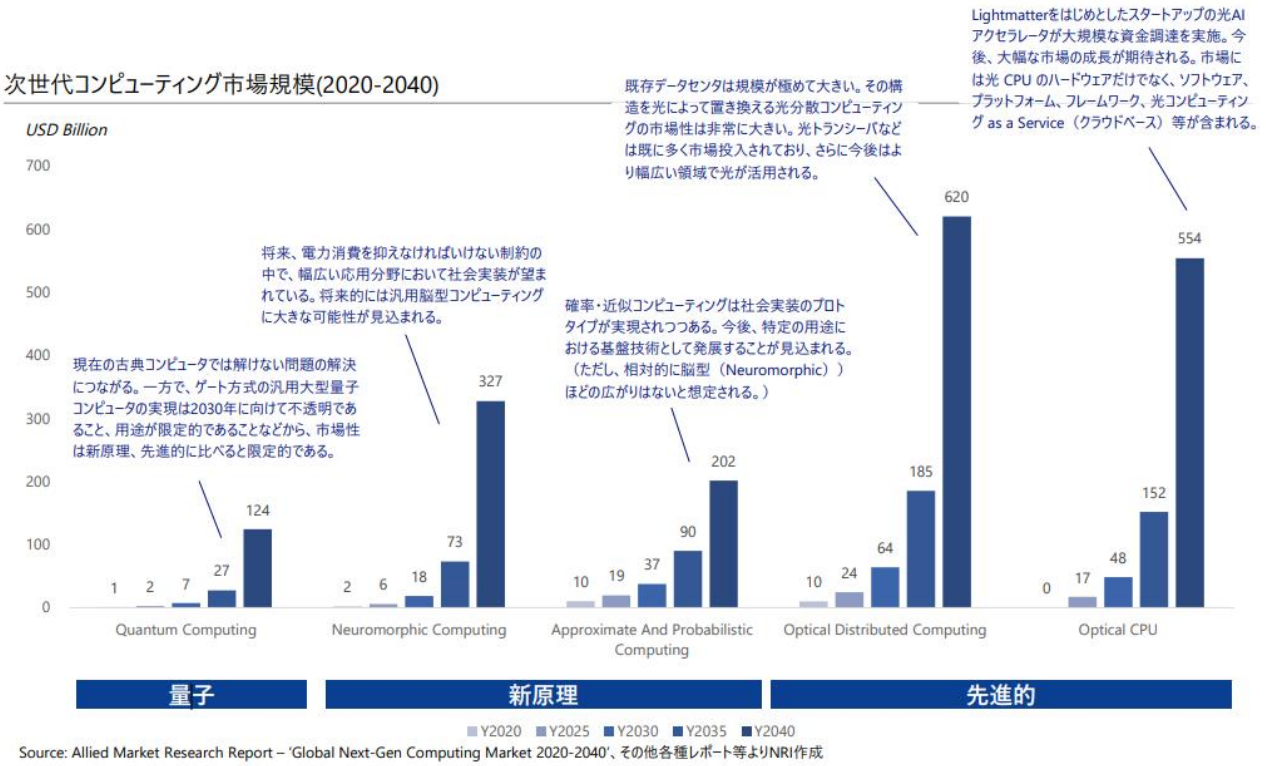


図 1-5 次世代コンピューティング市場の将来的な規模予想（技術動向調査報告書より）

2.2. アウトプット目標及び達成状況

研究開発項目②「次世代コンピューティング技術の開発」は、事業終了時点で、既存技術に対して以下の通り、電力消費効率で 100 倍以上を達成することを各テーマにおける統一的な目標としている。目標達成状況の把握は、年に 1 回以上開催している外部有識者による技術推進委員会での事業者の報告に基づき把握しており、必要に応じて計画の前倒しや後ろ倒しなどの見直しを含めて実施している。

＜中間目標（2020 年度）＞

- 開発成果を組み込んだ要素技術に係る検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100 倍以上となる見込みを示す。

＜中間目標（2022 年度）＞

- 開発成果を組み込んだ要素技術に係る検証等を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100 倍以上となる見込みを示す。

＜中間目標（2024 年度）＞

- 開発成果を組み込んだシステムレベルでの検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始

時点における同等の技術と比較し、100 倍以上となる見込みを示す。

＜最終目標（2027 年度）＞

- 開発成果を組み込んだシステムレベルでの検証等を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100 倍以上となることを示す。

※探索型研究については、以下を達成することを目標とする。

＜中間目標（2020 年度）＞

- 各種調査や要素技術の研究開発を通じ、開発する技術のエネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100 倍以上となる可能性を示す。

＜最終目標（2022 年度）＞

- 各種調査や要素技術の研究開発による根拠データの取得等を行い、開発する技術のエネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100 倍以上となる技術の確立に見通しを付ける。

以下、2022 年度時点で開発が終了したテーマに関しては 2022 年度時点を最終目標とし、継続中の研究開発テーマについては 2023 年度時点の達成状況を記載する。

評価の基準は
◎：大きく上回って達成
○：達成
△：達成見込み(中間)／一部達成(事後)
×：未達
とする。

なお、2022 年度に開発を終了した研究開発枠 2 テーマ、探索型研究枠 5 テーマについては、2023 年度に事業原簿の提出を求め、そのうえで全テーマの主要事業者を訪問し、研究成果や開発の状況についてヒアリングするなどして、達成状況をフォローアップしている。

本中間評価の対象期間となる 2021 年～2024 年は、コロナ禍という世界的に前例のない状況に直面した中での研究開発期間となったが、全テーマが目標達成水準にある一定以上の成果を得ることができている点は特筆すべきことであると考えられる。NEDO のマネジメント以上に、事業実施者各位の並々ならぬ努力があったであろうことは、そうしたフォローアップ中の事業者との意見交換からも改めて感じ取ることができた。
成果の詳細については、４．目標及び達成状況の詳細を確認されたい。

表 2-1　研究開発項目②全体の目標達成状況

目標	成果	達成度 2020	達成度 2022～2023
＜中間目標（2022 年度）＞ 開発成果を組み込んだ要素技術に係る検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100 倍以上となる見込みを示す。 ※探索型研究枠については、100 倍以上となる可能性を示す。	2018 年度 本研究開発項目の実施体制を構築すべく、情報提供依頼（RFI）の結果や政策的観点から以下の重点課題例を設定し、公募を実施した。結果、研究開発枠 4 テーマ、探索型研究枠 5 テーマを採択し、研究開発に着手した。 ※2020 年度～2022 年度にかけて、先導研究や探索型研究枠の成果に加え、国の戦略として重要とされる領域に関して拡充する公募を実施。研究開発枠に 4 件のテーマを採択した。 2022 年度 各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認した。 年度途中には、加速によるシンポジウムの開催を実施するなど、研究開発のみならず、関連技術の認知度向上やユーザーニーズ把握のための活動を実施。	○	○

表○2-2　研究開発項目② 研究開発枠個別テーマ毎の目標達成状況

テーマ名		代表事業者	研究開発項目	2022～2023 年度 達成状況説明	
実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発		日本電気株式会社	OLTP および OLAP の高速化や統合などの基礎研究	○	予定通り目標を達成見込み。
			実行エンジンの開発などの実用化研究	○	予定通り目標を達成見込み。
			災害発生後対策への活用や e-Science への適用などの実証研究	○	予定通り目標を達成見込み。
超電導パラメトロン素子を用いた量子アニーリング技術の研究開発	量子計算及びイジング計算システムの統合型研究開発 **※2021 年度から 3 テーマを 1 テーマに統合して実施**	日本電気株式会社	高コヒーレンス超電導パラメトロンアニーリング素子の研究開発	△	一部開発に遅れがあり、2024 年度にかけて達成見込み。
			多ビット化を支える 3 次元実装技術の研究開発	○	予定通り目標を達成見込み。
			多体相互作用の高効率な表現方法の研究開発	○	予定通り目標を達成見込み。
			量子アニーリング機構の設計最適化技術に関する研究開発	○	予定通り目標を達成見込み。

超伝導体・半導体技術を融合した集積量子計算システムの開発 **※2020 年度追加公募から事業を開始**		産業技術総合研究所			
			量子磁束回路を用いた量子ビット用制御・読出し回路の研究開発	○	予定通り目標を達成見込み。
			量子ダイナミクスの高速並列シミュレーションによる量子アニーリングの性能評価の研究開発	○	予定通り目標を達成見込み。
			半導体量子・古典イン ターフェースの研究開発	○	予定通り目標を達成見込み。
イジングマシン共通ソフトウェア基盤の研究開発		早稲田大学	イジング計算共通ソフトウェア基盤の研究開発	◎	予定通り目標を達成見込み。 ※成果をスピンオフし、早期の事業化を達成。
			イジング計算アプリケーションの研究開発	○	予定通り目標を達成見込み。
実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発 ※2022 年度で研究開発期間満了		日本電気株式会社	OLTP および OLAP の高速化や統合などの基礎研究	◎	予定通り目標を達成し、成果を公開
			災害発生後対策への活用や e-Science への適用などの実証研究	○	予定通り目標を達成見込み。
			実行エンジンの開発などの実用化研究	◎	予定通り目標を達成し、成果を公開
ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発 ※2022 年度で研究開発期間満了		光電子融合基盤技術研究所	コントロールシステムと光スイッチシステムアーキテクチャの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
			光 ToR スイッチの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
			光コアスイッチの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
			国際標準化	○	予定通り目標を達成見込み。
			光電ハイブリッドスイッチシステム実証	○	予定通り目標を達成見込み。
異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発 **※2021 年度追加公募で採択** **（NEDO エネルギー環境先導プログラムの成果を活用）**		光電子融合基盤技術研究所	異種材料集積プラットフォーム技術を利用した大規模光集積デバイスの研究開発	○	予定通り目標を達成見込み。
			10 Tbps 級低消費電力光トランシーバ技術の研究開発	○	予定通り目標を達成見込み。
			コンピューティング融合多方路エラスティックネットワーク技術の開発	○	予定通り目標を達成見込み。
			分散コンピューティングシステム動作基盤の構築に関する技術開発	○	予定通り目標を達成見込み。
ニューロモルフィックダイナミクスに基づく超低電力エッジＡＩチップの研究開発とその応用展開 **※2022 年度追加公募で採択** **（探索型研究枠からのステージアップ）**		九州工業大学	デジタル ESN 型レザバープロセッサ開発とシステム化及び応用展開	○	予定通り目標を達成見込み。
			レザバーチップとその応用	○	予定通り目標を達成見込み。
			アナログ AI チップ開発	○	予定通り目標を達成見込み。
			AI チップ応用探索	○	予定通り目標を達成見込み。

電圧駆動型不揮発性メモリを用いた超省電力ブレインモルフィックシステムの研究開発 **※2020 年度追加公募で採択**	産業技術総合研究所	脳型記憶処理モデルの開発	○	予定通り目標を達成見込み。
		脳型記憶処理回路・アーキテクチャ の開発	○	予定通り目標を達成見込み。
		VC-MRAM のための電圧制 御 MTJ 素子の新材料開発	○	予定通り目標を達成見込み。
		電圧制御 MTJ 素子のメモリ 応用技術開発	○	予定通り目標を達成見込み。

表 2-3　研究開発項目②　探索型研究枠の個別テーマ毎の成果達成状況

テーマ名	代表事業者	研究開発項目	2022～2023 年度達成状況	説明
未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明	大阪大学	身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成	○	予定通り目標を達成。
		ニューロモルフィックデバイスの探索	○	予定通り目標を達成。
		ロボカップ@ホームによる脳型アーキテクチャの実証実験	○	予定通り目標を達成。
深層確率コンピューティング技術の研究開発	理化学研究所	深層確率コンピューティングに適した計算アルゴリズムの研究開発	○	予定通り目標を達成。
		確率プログラミング言語の研究開発	○	予定通り目標を達成。
		深層確率コンピューティングに適したハードウェアシステムの開発	○	予定通り目標を達成。
イン不揮発性メモリ分散 Approximate コンピューティングの研究開発	中央大学（東京大学）	Approximate メモリ	○	予定通り目標を達成。
		Approximate 分散処理	○	予定通り目標を達成。
		Approximate アクセラレータ	○	予定通り目標を達成。
		Approximate ネットワークプログラミング	○	予定通り目標を達成。
2028 年に性能 100 倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	理化学研究所	2028 年ポストムーア時代の 100 倍の性能向上を示す性能モデリング及びシミュレータ環境	○	予定通り目標を達成。
		データフローによる特化型計算のための非ノイマン型計算機構とプログラミングモデル	○	予定通り目標を達成。
		メモリアーキテクチャ革新に対するシステムソフトウェア技術	○	予定通り目標を達成。
		新計算原理に基づく高性能プログラミングモデルと実装技術に関する研究	○	予定通り目標を達成。
物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	日本アイ・ビー・エム株式会社	物理リザバーの数理・アルゴリズムの研究開発	○	予定通り目標を達成。
		レーザ・リザバー・デバイス設計技術の研究開発	○	予定通り目標を達成。
		スピン・リザバー・デバイス設計技術の研究開発	○	予定通り目標を達成。
		物理リザバーのコンポーネント化の研究開発	○	予定通り目標を達成。
		物理リザバー・コンピューティングのミドルウェアの研究開発	○	予定通り目標を達成。
		物理リザバー・コンピューティングのアプリケーションの研究開発	○	予定通り目標を達成。

3. マネジメント

3.1. 実施体制

前節までにまとめた通り、本事業研究開発項目②は、2030 年以降を見据えたポストムーア時代のコンピューティング技術として、既存技術の延長線上にない次世代コンピューティング技術を開発することで、高速化と低消費電力化を両立するコンピューティング技術の確立を目指す。

具体的には、量子コンピューティング技術、脳型コンピューティング技術等、社会的に注目の集まる新技術に加え、次世代のデータセンタにおける効率的な情報処理を可能とする技術や、サーバ内部の光化に関する技術等、ムーア則によらず、情報処理の更なる高度化、効率化を可能とする技術の開発を進める。

各研究開発課題については、RFI（Request For Infomation）を実施することにより、内外から特に有効と考えられる研究課題を選定したうえで事業者の公募を実施している。追加公募については、2020 年度、2021 年度、2022 年度にそれぞれ実施した。

また、本研究開発項目は先導的な技術において長期的な開発を実施するものであるため、産学官の連携による研究開発体制で、要素技術の確立から将来的な実用化・事業化を見据えた開発（研究開発枠）を実施するものである。しかし、これまでも記載してきた通り、技術によっては、学術的には確立されたものであっても、産業応用においてはその有効性の検証含めて更なる基礎・調査的な研究開発が必要な技術も考えられる。従って、技術開発の方向性や、当該技術が特に有効と考えられる産業応用分野の確度を高めることを目的とし、大学等学術研究機関を主体として当該研究開発を行う、探索型研究を 2018 年度から最長 5 年間の事業期間で実施した。

なお、探索型研究枠で実施したテーマについては、技術推進委員会の評価、及び技術動向調査の結果を踏まえて、脳型コンピューティング技術のステージアップを実施した。

表 2-4　実施体制（2022～2023 年度時点）

研究開発項目	テーマ名	区分	実施体制
次世代コンピューティング技術の開発	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	研究開発枠	日本電気株式会社
			株式会社ノーチラス・テクノロジーズ
			国立大学法人東京工業大学
			国立大学法人大阪大学
			国立大学法人東海国立大学機構
			学校法人慶應義塾
			株式会社パスコ
	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	研究開発枠	技術研究組合　光電子融合基盤技術研究所
	量子計算及びイジング計算システムの統合型研究開発	研究開発枠	国立研究開発法人産業技術総合研究所
			日本電気株式会社

			国立研究開発法人理化学研究所
			株式会社東芝
			国立大学法人横浜国立大学
			学校法人早稲田大学
			国立大学法人東京工業大学
			大学共同利用機関法人情報・システム研究機構
			豊田通商株式会社
			株式会社フィックスターズ
	電圧駆動不揮発性メモリを用いた超省電力ブレインモルフィックシステムの研究開発	研究開発枠	国立研究開発法人産業技術総合研究所
			ソニーセミコンダクタソリューションズ株式会社
			国立大学法人九州工業大学
	異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発	研究開発枠	技術研究組合　光電子融合基盤技術研究所
			日本電気株式会社
			株式会社ノーチラス・テクノロジーズ
	ニューロモルフィックダイナミクスに基づく超低電力エッジＡＩチップの研究開発とその応用展開	研究開発枠	国立大学法人九州工業大学
			株式会社日立製作所
			株式会社セック
			株式会社フローディア
			株式会社アイヴィス
	未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明	探索型研究枠	国立大学法人大阪大学
			国立大学法人九州工業大学
			株式会社日立製作所
			国立研究開発法人産業技術総合研究所
	深層確率コンピューティング技術の研究開発	探索型研究枠	国立大学法人東京大学
			学校法人中央大学
			国立研究開発法人理化学研究所
			大学共同利用機関法人情報・システム研究機構
			国立研究開発法人産業技術総合研究所
			国立大学法人京都大学
	イン不揮発性メモリ分散Ａｐｐｒｏｘｉｍａｔｅコンピューティングの研究開発	探索型研究枠	国立大学法人東京大学
			大学共同利用機関法人情報・システム研究機構

	２０２８年に性能１００倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	探索型研究枠	国立研究開発法人理化学研究所
			富士通株式会社
			国立大学法人東京工業大学
			国立大学法人東京大学
	物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	探索型研究枠	日本アイ・ビー・エム株式会社
			国立大学法人東京大学
	高効率・高速処理を可能とするＡＩチップ・次世代コンピューティングの技術開発に係る技術動向調査	調査	株式会社野村総合研究所
	次世代コンピューティング技術領域に係る知財戦略調査	調査	株式会社古賀総研

続いて表 2-1,2-2 に記載の事業者をマネジメントする、NEDO（PL、PMgr）及び各種委員会等の考え方について記載する。

本研究開発項目では、技術的成果及び政策的効果の最大化、産業社会への還元等を目指し、プロジェクト全体の企画・推進・管理を行うためにプロジェクトマネージャー（以下 PMgr という）を設置している。

加えて、効率的な研究開発の推進を図る観点から各実施者の研究開発能力を最大限に引き出し、性格の異なる各研究機関のベクトルを束ねるため、当事業には NEDO が指名する研究開発責任者（プロジェクトリーダー、以下 PL という）を設置し、各実施者はプロジェクトリーダーの下で研究開発を実施する体制をとっている。

PL：研究開発項目② 産業技術総合研究所　特別顧問　金山敏彦
PMgr：AI・ロボット部　生成 AI チーム長　遠藤勇徳

PL は、プロジェクトをより効率的かつ効果的に遂行するために、プロジェクトの技術目標等の達成に向けた取り組み、研究開発の進捗状況の把握、プロジェクトの実施体制の構築・改変及び事業者間等の予算配分に係る助言、プロジェクトの成果の評価等に係る業務の全部又は一部について、PMgr と緊密な連携を図っている。

プロジェクト推進中の各種評価の実施に当たっては、NEDO が外部有識者を委嘱して立ち上げる技術推進委員会及びステージゲート審査委員会。事業者がテーマ内の成果の把握や事業化推進のために開催する技術会議、事業化推進会議、アドバイザリーボードがある。

本研究開発項目は、次世代コンピューティングという既存のトレンドにない様々な革新技術にかかる研究開発を推進している。そのため、評価に当たっては量子、光分散、脳型、あるいは新原理、探索型領域など、それぞれの領域に特化した委員会を個別に組織し、的確な評価、助言が行えるよう努めている。

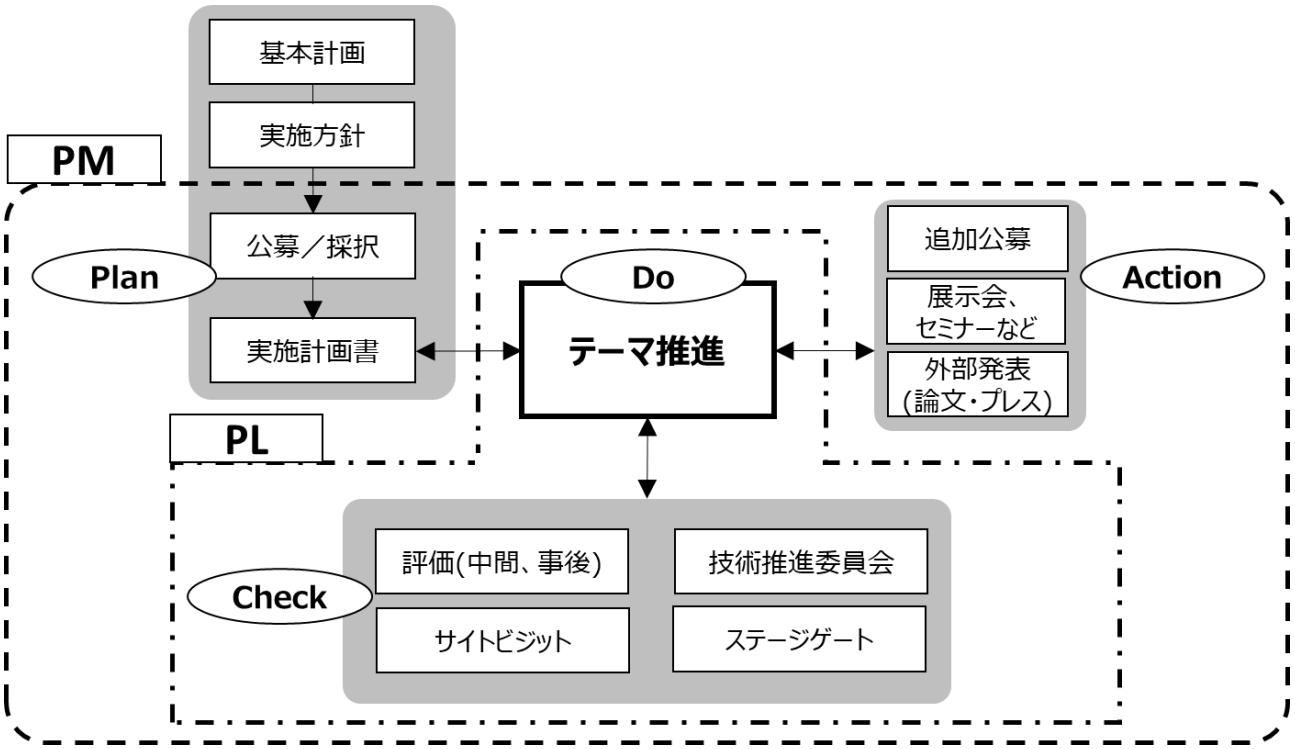


図 2-1　マネジメント体制

表 2-3　マネジメントツールとなる委員会の種類と開催頻度

会議名	主なメンバー	対象・目的	頻度	主催
NEDO技術推進委員会	・外部有識者 ・PL、SPL、PMgr、PT	・各研究開発項目ごとに設置し、個別の技術開発の進捗状況等について外部有識者が確認	・研究開発項目ごとに年に1～2回	NEDO
ステージゲート審査委員会	・各コンソの実施者 ・PL、SPL、PMgr、PT	・プロジェクトの継続可否、目標の大幅な見直しなどに対して外部有識者が評価、確認	・3に1回	NEDO
知財運営委員会	・知財運営委員会のメンバー	・研究開発の成果についての権利化・秘匿化等の方針決定や実施許諾に関する調整を行う。知財に係る進捗管理を実施	・年に1回	実施者
技術会議	・NED（PMgr）、事業者 ・必要に応じて外部有識者	・プロジェクトを共同で実施する事業者が、成果や進捗を共有する会議。	・年に複数回	実施者
事業化推進会議	・事業者、外部有識者	・プロジェクトを共同で実施する事業者が、成果最大化と早期事業化を目指して成果や進捗を共有する会議。	・年に複数回	実施者
アドバイザリーボード	・事業者、外部有識者、NEDO（PMgr）	・プロジェクトを共同で実施する事業者が、成果最大化と早期事業化を目指して想定ユーザー等に成果や進捗を共有する会議	・年に複数回	実施者
NEDO内会議	・PMgr、PT	・PMgr等のNEDO内関係者で定期的にプロジェクト全体の進捗を確認し、今後の方向性を議論	・月に4回	NEDO

3.2.　受益者負担の考え方

本事業は、次世代の情報産業を担う基盤技術かつハイリスクハイリターンな技術の開発として国が支援するものであり、100%NEDO 負担の委託事業として実施する。年度ごとの予算額の推移等については、概要資料を参照されたい。

3.3.　研究開発計画

本研究開発項目②について 2021 年度～2024 年度の主たる研究開発計画を以下に年度ごとに記載する。

前提として、研究開発項目②では、2030 年以降を見据えたポストムーア時代のコンピューティング技術として、既存技術の延長線上にない技術の開発を実施することで、高速化と低消費電力化を両立するコンピューティング技術の確立を目指すものである。また、長期間の開発を行うに先だって、技術開発の方向性や目標の確度を高めること等を目的とし、本格的な開発を行う前段階にあたる探索的な研究（以下「探索型研究」という。）の実施も行うものである。

2020 年度までの段階では、次世代コンピューティングの研究開発枠は量子コンピューティング技術の開発か、次世代データセンタ技術、あるいは新原理コンピューティング技術の開発（量子以外）というイジングマシンか否かで整理されていた。2021 年度以降、これまでの調査結果や研究開発の成果、そして政策的な動向を踏まえて、本研究開開発項目では柔軟な調整を実施している。

<u>2021 年度：</u>

・量子コンピューティングの研究開発体制について、ハードウェア開発、ソフトウェア開発、インターフェース（制御技術開発）の 3 体制を 1 体制に統合、コンピューティングとして成果の共有や設備の共有などが行われ、開発の加速が可能な体制を整備。
・中間評価（2020）の結果を受け、技術動向調査を開始（2021～2022 年度）
・先導研究の結果を踏まえ、次世代情報インフラの中核技術の一つとして期待できる「光分散コンピューティング」を課題設定、追加公募を実施し、1 テーマを採択。
・CEATEC 展への量子コンピューティング技術の成果出展を実施。
・中間評価 2020 の結果に関する CSTI 評価が実施。
・各領域において、技術推進委員会を開催し成果の把握や助言、加速を実施。

<u>2022 年度：</u>

・技術動向調査の結果や各政策の動向を踏まえ、プロジェクトの見直しに着手。
・2023 年度以降の研究開発継続可否に関して、ステージゲート審査委員会を開催。
・2023 年度以降の本研究開発項目の重点課題を定めた。
　小項目として
　（1）量子コンピューティング関連技術
　（2）新原理コンピューティング技術（脳型等データ処理高度化関連技術）
　（3）先進的コンピューティング技術（光コンピューティング等関連技術）
　を設け、それぞれについて開発を実施。
・技術動向調査の結果をさらに深堀りするべく、知財戦略調査（2022 年度）を実施。
・探索型研究枠で得られた成果から課題を設定し、追加公募として脳型コンピューティング技術に関するステージアップ公募を実施、1 テーマを採択。
・各領域において、技術推進委員会を開催し成果の把握や助言を実施。

2023 年度：

・知財戦略調査の結果をもとに、今後の成果の公開に係る議論を実施。
・コロナ禍に係る自粛解消。探索型研究枠 5 件、研究開発枠 2 件、2022 年度に研究開発期間を満了したテーマのフォローアップを実施（サイトビジットも同時に実施）。
・2022 年度終了テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」の結果得られた成果を、光分散コンピューティングの研究開発に活用するべく、有識者評価を実施したうえで「異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発」に統合。
・脳型コンピューティング（リザバーコンピューティング）テーマにおいて、産業応用領域の絞り込みや成果の早期普及に繋げるため、事業者並びに想定ユーザー、有識者で構成されるアドバイザリーボードを組織し、2～3 か月に 1 度程度の頻度で成果の共有とユーザーサイドからのリクエストを共有しあうミーティングを実施。
・各領域において、技術推進委員会を開催し成果の把握や助言を実施。

2024 年度：

・光分散コンピューティング領域において、国内外の技術動向等の情報をアップデートすべく、「分散型データセンタ実現のための次世代低遅延光ネットワーク構築に係る技術動向調査」を開始。
・2024 年度～2025 年度にかけて開催する予定であるステージゲート審査委員会に向けて、量子コンピューティング、脳型コンピューティングの事業現場を有識者と共に訪問するサイトビジットを実施。
・CEATEC 展への量子コンピューティング技術、脳型コンピューティング技術の成果出展を実施。
・脳型コンピューティング技術のステージゲート審査委員会を予定（2024 年 12 月）
・中間評価（2024）を予定。
・各領域において、技術推進委員会を開催し成果の把握や助言を実施。（5 月、9 月に開催。2025 年 2 月にも開催予定）
・2024 年 9 月の技術推進委員会（量子）では、2025 年度以降の量子コンピューティング技術の開発領域、課題に関し、これまでの成果や国内外の動向を踏まえた選択と集中を議論。

4. 目標及び達成状況の詳細

4.1. 量子計算及びイジング計算システムの統合型研究開発

テーマ名	量子計算及びイジング計算システムの統合型研究開発	達成状況	○
実施者名	産業技術総合研究所、株式会社フィックスターズ、豊田通商株式会社、情報・システム研究機構、東京工業大学、早稲田大学、横浜国立大学、株式会社東芝、理化学研究所、日本電気株式会社		
達成状況の根拠	共通ソフトウェア基盤技術のイジングマシンクラウドビジネス Fixstars Amplify への導入、世界に先がけてクライオ CMOS の低温伝導機構の解明と超伝導制御回路の開発に成功、世界初の超伝導パラメトロン量子アニーリングマシンの開発と動作実証の成功など、当初目標を達成したため。		

●背景・目的・プロジェクトアウトカム目標との関係

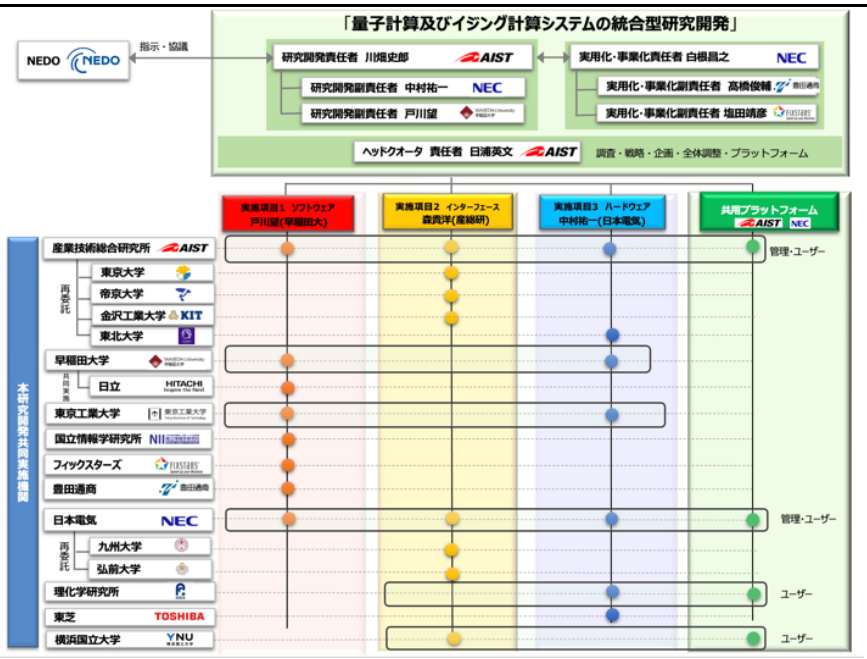
超スマート社会の実現のため、多様な産業分野における DX 化の進展と、これに伴う高性能次世代コンピューティングに対する社会的要請が急速に高まっている。本プロジェクトにおいては、参画機関が優位性を持つソフトウェア、ミドルウェア、アプリケーション、統計物理学、量子情報理論、計算機工学、半導体デバイス物理、半導体プロセス工学、集積回路工学、超伝導量子回路、超伝導デジタル集積回路、マイクロ波工学の技術を有機的に融合することで、量子アニーリングマシン及び量子コンピュータを主軸とした量子計算システムのソフトウェア、インターフェース、ハードウェアに跨がるフルスタック型の研究開発を行う。そして、量子計算による次世代クラウドコンピューティング基盤技術の基盤確立を目指す。それにより、開発成果を組み込んだシステムレベルでの検証等を行い、エネルギー消費効率あるいは電力効率を、事業開始時点における同等の技術と比較して 100 倍以上となることを示す。

●アウトプット目標

ソフトウェアに関しては、現実課題とイジングマシンハードウェアの中間層として、ミドルウェア群および共通 API 等から構成される「共通ソフトウェア基盤」を開発し、さまざまなイジングマシンに共通的なソフトウェア基盤を提供することで「複雑かつ多様な現実課題の処理」を可能と技術の実現を目指す。また、インターフェースに関しては、量子ビット集積度の増大にも対応可能となる拡張可能性（スケーラビリティ）を有し、量子ビットのコヒーレンスを実用可能な水準に保ちうる回路性能を有する量子古典インターフェース集積回路の実現を目標とする。具体的には、CMOS 集積回路及び超伝導磁束論理回路によるクライオ制御集積回路の基盤技術開発を実施、開発された基盤技術によって制御集積回路の設計・試作・動作検証により、制御回路消費電力を従来の 1～5W/量子ビットに対して、1/1000 を達成目標とする。さらに、ハードウェアに関しては、先行する D-Wave Systems 社超伝導量子アニーリングマシンよりも量子コヒーレンス性及びスケーラビリティにおいて優位性を有する超伝導パラメトロン型量子アニーリングマシンの開発を行い、1000 量子ビット級の超伝導量子アニーリングマシンとクラウド利用の公開に向けた技術開発を目指す。

●実施体制

ソフトウェア、インターフェース、ハードウェアの研究開発を 3 つの実施項目と体制ですすめると同時に、実施項目間の連携も強固に進める。また、研究開発責任者及び実用化・事業化責任者を中心とするマネージメント・ガバナンス体制を構築すると同時に、研究開発動向調査・研究戦略・企画・全体調整を担うヘッドクォーターを産業技術総合研究所に設置する。



●成果とその意義

実施項目 1「共通ソフトウェア基盤の開発」に関しては、イジングマシン・アニーリングマシンと古典計算機を組み合わせ効果的に利用するための基本アルゴリズムを構築するとととともに、これら基本アルゴリズムをベースとすることで、国内外のさまざまなイジングマシン・アニーリングマシンを接続し共通的に利用することを可能としたソフトウェア基盤（Fixstars Amplify SDK と呼ぶ）のプロトタイプを研究開発した。これまで国内外で商用利用可能なイジングマシン・アニーリングマシンすべてと接続可能な共通ソフトウェア基盤の研究開発例はなく、大きな優位性がある。共通ソフトウェア基盤そのものを SaaS（Software-as-a-Services）として商用化するとともに、研究開発された共通ソフトウェア基盤をもとに、モビリティ分野をはじめさまざまな応用分野での利用が想定される。

実施項目 2「量子-古典インターフェースの開発」に関しては、量子計算を担うハードウェアを制御するために冷凍機内に配置されるインターフェース集積回路の研究開発を実施した。半導体集積回路と超伝導集積回路の 2 者を対象とし、ベストミックスを希求、今後の量子ビット集積数の増加に対応可能な低消費電力性を確保した集積回路技術の創出を志した。特に半導体集積回路に関しては、本プロジェクトが当該技術を扱う初めてのものであった。極低温下での半導体集積デバイス・回路評価環境を構築し、回路設計に必要な極低温下トランジスタ動作諸元を解明、その設計用モデル構築を推進し、量子ビット制御信号送出集積回路の実作に国内では初めて成功した。また、超伝導集積回路と半導体集積回路のハイブリッドインターフェース回路の実作・動作にも世界で初めて成功した。このような 2 種技術の活用による低消費電力性希求は世界的にも例が無く、1000 量子ビット超の大規模集積時代に向けて優位性を持つ。

実施項目 3「超伝導量子プロセッサの開発」に関しては、超伝導パラメトロン素子と LHZ 方式と呼ばれる量子ビット配列を組合せた 25 量子ビット回路を作製し、その部分動作実証に成功した。また、さらなる多量子ビット化に向けた接続要素評価として、100 量子ビット相当チップサイズの 3 段積層構造（量子チップ-超伝導インターポーザ-高多層インターポーザ）を実現したことである。これにより 100 量子ビット回路の動作実証に近づいたことになる。この成果の先行技術(D-wave)に対する優位性は、コヒーレンス時間の長さであり計算精度の向上が期待できる。また、本成果の実用化・事業化の観点での意義は組合せ最適化問題を高速に解けることである。

●実用化・事業化への道筋と課題

実施項目 1「共通ソフトウェア基盤の開発」に関しては、国内外のさまざまなイジングマシン・アニーリングマシンを接続し共通的に利用することを可能としたソフトウェア基盤として、 Fixstars Amplify SDK が研究開発され、そのプロトタイプ版が国内外のアカデミア、産業界ですでに無償ならびに商用利用可能となっている。今後、2027 年度～2030 年度ごろを目指してゲート式量子コンピュータにも拡張対応し、アニーリング・ゲート式を含め、あらゆる方式の量子コンピュータに対応した共通ソフトウェアとして実用化・事業化を目指す。加えて、研究開発された共通ソフトウェア基盤をもとに、モビリティ分野をはじめさまざまな応用分野で実用化・事業化を目指す。

実施項目 2「量子-古典インターフェースの開発」に関しては、10000 量子ビット級の大規模集積量子コンピュータについて実機製造を志す事業者との連携が必須である。プロジェクト開始当時に比べ、実機製造を目指す事業者が国内にも増加してきている。本プロジェクトで確立した基盤技術を実機開発に展開

し、2035 年頃を目標に、世界的にもまだ例のないインターフェース集積回路を用いて制御する量子コンピュータの実現を目指す。そのための課題は、1 量子ビット当たりの制御に要する消費電力の低減化である。特に半導体集積回路でこれを実現する必要があり、そのためには極低温動作向けトランジスタ技術の開発が鍵を握る。これを推し進め、解決を目指していく。

実施項目 3「超伝導量子プロセッサの開発」に関しては、NEC においてベクトルマシンなどの古典イジングマシンを活用し、グループ企業において製造、物流分野で実利用をすでに開始しており、民間企業との PoC も複数件実施している。これらの企業を想定顧客とし、数百～1000 量子ビットアニーリングマシンを開発することで、事業終了後の 2028 年度からの実用化・事業化を目指す。そのための課題はマシン開発に加えて、古典マシンに対する量子マシンの優位性があるアプリケーションを明確にすることであり、後者については実施項目 1 の参加機関と協力その解決を目指す。

●期間・予算 (単位:百万円)	2020FY	2021FY	2022FY	2023FY	2024FY
	864	1,898	1,802	1,723	1,835

●特許出願及び論文発表

特許出願	論文発表	発表・講演	雑誌掲載	その他
８３件	１００件	３３６件	５５件	５件

4.2. 異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発

テーマ名	異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発	達成状況	○
実施者名	技術研究組合光電子融合基盤技術研究所、日本電気株式会社、株式会社ノーチラス・テクノロジーズ		
達成状況の根拠	高効率・高速処理分散コンピューティングシステムの実証に向け各要素技術の研究開発は、実施計画通り進捗し各年度（2021 年度～2023 年度）の目標を達成した。また、2024 年度においてもネットワーク関係の装置の立上げ及び周辺環境の整備を完了し、9 月からは、本システムを使用したミドルウェアの実証を開始する予定であり、計画通りに進捗している。		

●背景・目的・プロジェクトアウトカム目標との関係

[背景]

AI 技術の進化･活用の拡大、及びスマート社会の発展に伴い、ネットワークトラフィックは大幅に増加しており、2030 年代には現在の 50 倍程度の伝送容量が必要になると予測されている。これに伴いデータが発生する場所とデータを処理する計算資源が地理的に分散するケースが生じ、地域的に離れたコンピューティング拠点同士を相互に接続し、状況に応じて計算資源を最適に分かち合う高速分散コンピューティングの実現が必須となる。分散したコンピューティング拠点間を繋ぐ光トランシーバには低消費電力かつ 10 Tbps 級の伝送速度が要求され、更にその速度を有効利用する新たなコンピューティングネットワークアーキテクチャが必要となるなど、実現に向けて種々の技術課題がある。

[目的]

技術課題を解決し得る高効率・高速処理分散コンピューティングシステムの実現を目指し、10 Tbps 級で低消費電力のトランシーバを実現する「新アーキテクチャ光トランシーバ技術」、そのコア部品となる光集積回路を実現する「異種材料集積光デバイス技術」、低遅延かつ弾力的構成変更が可能な光ネットワークを実現する「多方路エラスティックネットワーク技術」、及びリアルタイム分散データベース上の同期を実現する「分散データベース検索ミドルウェア技術」の研究開発を行い、これらの要素技術を融合した動作基盤システムを構築し実証を行う。

[プロジェクトアウトカム目標との関係]

新アーキテクチャ光トランシーバ技術の開発、及び多方路エラスティックネットワークアーキテクチャの技術導入により、高速かつ低電力データ伝送技術を実現し、通信負荷の軽減とエネルギー利用効率の向上により CO_2 削減に貢献する。また、大容量データをリアルタイムで効率的に処理可能とするスケーラブルな分散ミドルウェア技術の開発を行うことで、ハードウェアのみならずミドルウェアを含めた大きな市場を創出することが期待される。

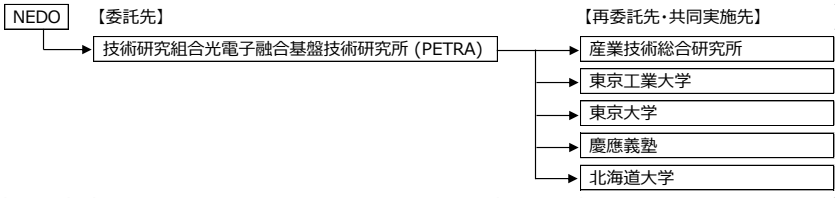
●アウトプット目標

[最終目標]

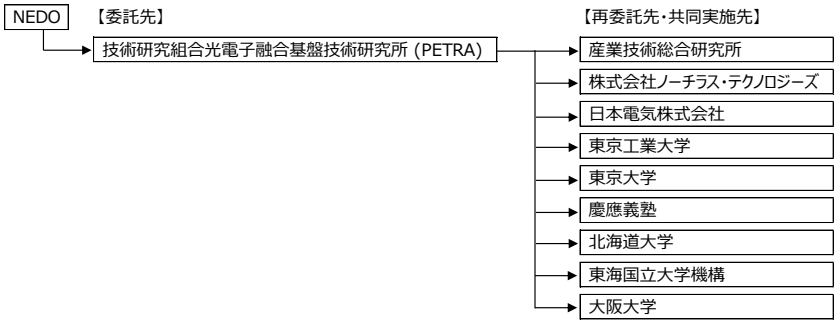
光エレクトロニクス分散コンピューティング動作基盤の実証エラスティックネットワークシステムを構築し、模擬版の金融アプリ及びテレメトリデータのリアルタイム AI 解析アプリを開発し、分散レプリケーション・分散トランザクション、及びデータベース-GPU 間のデータ連携の実証を行う。併せて上記の実証ネットワーク内にトランシーバプロトタイプを実装して、エラスティックネットワークにおけるサイト間帯域自動切換及び伝送品質の最適化を行うとともに、将来の新アーキテクチャ光トランシーバ技術のコア部品となる異種材料集積光デバイス技術を用いた多波長波長可変 LD アレイの動作実証も行う。

●実施体制

[2021 年度、2022 年度]

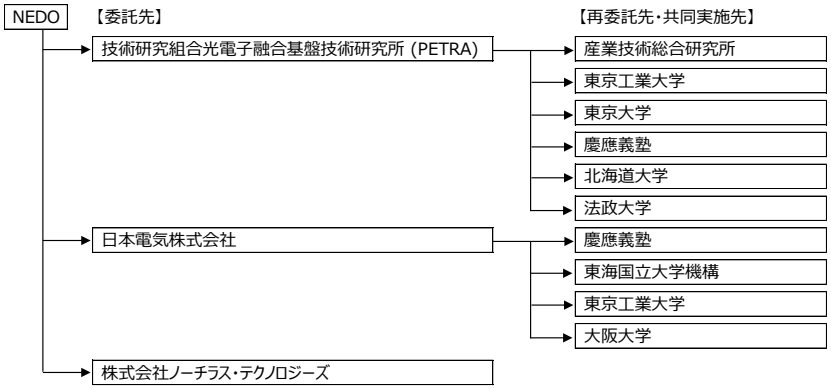


[2023 年度]



※ 技術推進委員会にて『ソフトウェア領域の更なる体制拡充』についての検討指示を受け、ミドルウェア領域の研究開発を行う株式会社ノーチラス・テクノロジーズ、日本電気株式会社等の機関を実施体制に追加。

[2024 年度以降]



※ ハードウェアに先行して事業化を進めるミドルウェアの研究開発をより効率的に実施できるよう日本電気株式会社と株式会社ノーチラス・テクノロジーズを PETRA 再委託から NEDO 委託へ体制変更し、指揮系統の見直しを実施。

●成果とその意義

(1)異種材料集積プラットフォーム技術を利用した大規模光集積デバイスの研究開発

10 Tbps 級・低消費電力光伝送システムに資する大規模光集積回路の実現に向けて、Ⅲ-Ⅴ族半導体である InP の小片をシリコンフォトニクスプラットフォーム上に接合する異種材料集積技術を立ち上げ、世界最小サイズの InP 小片(<1 mm^2)を高密度に接合集積することが可能であることを実証した。この接合技術を用いて、シリコン光回路上に InP 系利得材料を接合集積した波長可変レーザを試作し、異種材料集積の特長を活かすことで、従来の InP 系材料単体を利用したレーザでは実現不可能であった広波長可変域動作(波長可変域: 57 nm)と狭スペクトル線幅(全波長可変域で 60 kHz 以下)を達成した。本特性は、デジタルコヒーレント伝送用光源としての実用化に向けて十分な結果であり、異種材料集積波長可変レーザとしても世界トップレベルである。また、半導体光増幅器を集積することで、10 dB 以上の光増幅(最大光出力: 26 mW)性能が得られた。この接合技術を変調器、受光器にも展開し、動作を実証した。

(2)10 Tbps 級低消費電力光トランシーバ技術の研究開発

10Tbps 級のスループットを<10pJ/bit の電力効率で実現するコヒーレントトランシーバアーキテクチャと構成技術について、プロトタイプ開発による動作実証を進めている。送信器技術について、光 DAC 送信器のプロトタイプ機を開発し、当該送信器の世界最高動作速度、同一容量の従来送信器と比較して約 2 倍高い電力効率を示した。並列トランシーバについて、送信 DSP 処理の一部を光合波器に移管して 4.6pJ/bit の低消費電力化を実現するアーキテクチャの有効性を実験的に示した。キーデバイスである光合波器について試作を行い、2 波長コヒーレント光信号に対する実用的な自律制御動作を世界で初めて示

した。以上の成果は各技術の事業化において重要な技術的マイルストーンに位置づけられる。

(3)コンピューティング融合多方路エラスティックネットワークアーキテクチャの研究開発
光ネットワーク制御プレーンの開発として、資源割り当て手法のベースとなる FBD(Functional Block-based Disaggregation)モデルを拡張し、OSS(Open Source Software)の GNPy(Gaussian Noise model in Python)と連携した伝送品推定を可能にした。資源割り当ての結果を実機制御に反映する管理制御メカニズムの実装に着手し、実証システム環境において部分動作確認を進めている。FBD モデルは波長選択スイッチや光カプラーなど、光ノードの構成要素単位でのモデル化のため、従来手法となるノード単位のモデル化に比べ、光ネットワーク構成における高いフレキシビリティの実現、更にはアプリケーションにファインチューンしたノード構成による低コスト化を可能とする。

(4)多方路エラスティックネットワーク上 分散コンピューティングミドルウェアの研究開発
従来開発では未開拓分野となっている低遅延・高スループット環境に適応したソフトウェアとして分散データベースを研究開発し、異種材料集積光エレクトロニクスによるトランシーバと多方路エラスティックネットワークによって実現される低遅延環境の有効性を実証することを目的とする。かつて NEDO プロジェクトで研究開発した次世代サーバ・単一ノードで動作するデータベース・Tsurugi をベースに分散データベースのコア技術として分散トランザクション/低遅延レプリケーション/同期管理/分散インデックス/分散クエリ最適化/読み取り一貫性/分散監視の各技術において設計を進めている。分散化にむけて Tsurugi 自体の機能拡張・品質強化も実施し OSS として公開を継続している。また、低遅延分散環境の有用性評価に向けてユーザ企業を明確化・実際に連携し、テレメトリ/金融業/製造業/e-Science など複数のテーマにおいて実証アプリケーションの設計を推進している。

(5)国際標準化の研究
増大するデータ量に対応するため高速トランシーバの開発が熾烈であるが、これに付随して、市場拡大、マルチソース化による製品の安定供給・価格低減ならびに製品間の相互運用性確保等を目的とした国際標準策定の動きが活発になっている。このため、光トランシーバに関する規格を策定している国際標準化団体（OIF、IEEE 等）における審議動向を調査するとともに、本プロジェクトが開発している超高速光トランシーバの国際標準化に向けた仲間づくりを行っている。

(6)10 Tbps 超光トランシーバ実現のための革新的研究開発
実用化に向けて取り組んでいる技術において、更に性能向上をはかるため大学にて研究開発を進め、これまでに以下の成果が得られている。
Ⅲ-Ⅴ族半導体導波路薄膜を用いた MOS 型光変調器を提唱し、理論的に 500 GHz 以上の動作帯域の実現可能性を示し、光変調動作の原理実証に成功した。
長波長帯(>1.5 μm)量子ドットレーザにおいて、しきい値電流密度 633A /cm²を達成し、この波長帯の量子ドットレーザとしては最小のしきい値電流密度を達成した。
光コム光源において、実際の市中ファイバを用いて世界唯一の 10ch の波長多重伝送の実証実験に成功した。
集積型光アイソレータにおいて、新たに考案したリング共振器構造で挿入損失 4.3 dB、アイソレーション比 22 dB 、回路面積 0.042 ㎟を達成し、開発開始時の挿入損失 13.5 dB から大幅な改善に成功した。
多波長セルフコヒーレント光トランシーバにおいて、マイクロリング型変調器を用いた多波長一括コヒーレント変調回路を新たに提案し数値実証するとともに、リングフィルタを集積した受信回路を設計・試作し、16QAM 信号受信に成功した。

(7)光エレクトロニクス分散コンピューティング動作基盤の実証
プロジェクトで取り組むハードウェア技術、ソフトウェア技術を連携した分散コンピューティング技術の実証システムを構築してデモ動作を行う事で、技術基盤としての優位性を示すと共に開発技術の事業化に向けたフィードバックを獲得する。異種材料集積光デバイスと新しいトランシーバアーキテクチャを組み合わせた光トランシーバプロトタイプについて仕様を決定し、構成ボードの試作を開始した。エラスティックネットワーク上で分散コンピューティングミドルウェアを動作させるネットワーク構成とハイレベル仕様を決定し、先行導入した伝送装置とサーバを用いた検証を開始した。更に 100km 程度離れた複数の DC/拠点を模擬する実証システムを導入した実証センタを開所、設備導入を完了した。また、最終年度に向けたトランシーバ/ネットワークの連携動作およびデモアプリケーションの詳細内容を決定した。

●実用化・事業化への道筋と課題

(1)異種材料集積プラットフォーム技術を利用した大規模光集積デバイスの研究開発
新規技術である異種材料接合技術の実用化への重要課題である長期信頼性について、単体デバイスであるレーザ素子にて通電試験を実施し、安定動作を実証している。研究開発としての最終目標は多機能集積であるが、単機能デバイスの先行的な製品化も視野に入れており、将来的に製造・販売を担う住友電工デバイス・イノベーション株式会社と、2027 年度以降の事業化に向けて定期的な議論を行っている。また、顧客等に新規技術を早期にアピールし、フィードバックを得ることを目的として、本業界で世界最大規模の展示会である OFC2025 において、波長可変レーザ搭載モジュールの動態展示を計画している。
(2)10 Tbps 級低消費電力光トランシーバ技術の研究開発
次世代以降の光伝送装置や光トランシーバへの開発技術適用と事業化を想定して、技術開発と並行して知財獲得、標準化、顧客・パートナーからのフィードバック獲得を進めている。知財について光 DAC 送信器や並列アーキテクチャの基本特許を 8 件出願した。標準化に関して OIF 等の団体におけるトランシーバ標準化動向を項目 5 と連携して把握し、並列アーキテクチャ提案に向けた仲間づくり活動を開始した。顧客・パートナーからのフィードバック獲得を目的として、本業界で世界最大規模の展示会である OFC2025 におけるデモ動作出展を計画し、その準備を開始している。

(3)コンピューティング融合多方路エラスティックネットワークアーキテクチャの研究開発
FBD モデルの経路計算、伝送品質推定のソフトウェアプログラムについて、2025 年度中の OSS としての公開を目指し、コードの開発を進めている。学会や展示会での成果報告において、OSS 化の予定を合わせて発表し、情報発信を行っている。

(4)多方路エラスティックネットワーク上 分散コンピューティングミドルウェアの研究開発
低遅延・高スループット環境に対応したミドルウェアとして、分散版 Tsurugi を OSS で公開を予定しており、サポートサービス、製品組込、データセンターでの PaaS(Platform as a Service)等での利用を可能とする。
各種コア技術は学会で発表するとともに、分散版 Tsurugi としてはユーザ企業が参加するイベント等で概要を公開し、情報発信を行っている。実証アプリケーションについては、WhitePaper として公開することを予定しており、低遅延・高スループット環境でのシステム開発の指針となることを目指す。

(5)国際標準化の研究
現在は、1.6 Tbps の国際標準化の議論が行われており、3.2 Tbps 及び 6.4 Tbps の審議は 2026 年以降と見込まれるため、異種材料集積技術を使った新しいアーキテクチャに関する技術セミナー等の開催を通じて、当該技術の関心を高める活動を計画している。

(6)10 Tbps 超光トランシーバ実現のための革新的研究開発
光変調器では、Ⅲ-Ⅴ薄膜導波路への選択的ドーピング技術や接合形成、金属コンタクト形成プロセスを開発し、寄生抵抗の低減化を進める。項目(1)のデバイス研究開発機関(PETRA 大船分室)に技術移転し、MOS 型変調器を共同で試作中である。
集積型光アイソレータでは、シリコンフォトニクスプラットフォーム上でのⅢ-Ⅴ族化合物半導体および磁気光学結晶の異種材料集積を一貫して行う作製プロセスを項目(1)のデバイス研究開発機関(PETRA 大船分室)と連携し開発中である。
多波長コヒーレント送受信回路の実装に向けて、項目(2)の光トランシーバ技術研究開発機関(PETRA 鹿島田分室)と連携を進めている。
以上のように、順次大学の技術を企業への移管を進めており、移管後は、各企業の判断において、実用化・事業化が検討される。

(7)光エレクトロニクス分散コンピューティング動作基盤の実証
開発するハードウェア技術、ソフトウェア技術の優位性を示す実証システムの開発と並行して、分散コンピューティングのコンセプトと各構成技術がもたらす価値、発展可能性を広く理解いただくための取り組みを精力的に進めている。国内展示会では interOpto に 2021 年度より毎年出展を行っている。2024 年度は新たに Interop Tokyo 2024 に出展とセミナー講演を実施し、より広い顧客層へのアピールを進めた。技術面では 2022 年度より毎年、主催国際シンポジウム ISPEC を実施し本技術分野内での仲間づくりを進めている。

●期間・予算 (単位:百万円)	2021FY	2022FY	2023FY	2024FY	2025FY
	1,902	2,726	2,359	2,427（見込み）	1,945（見込み）

●特許出願及び論文発表（2024年7月末までの実績）				
特許出願	論文発表	発表・講演	雑誌掲載	その他
33件 2021FY： 0件 2022FY： 7件 2023FY：23件 2024FY： 3件	30件 2021FY： 5件 2022FY：10件 2023FY： 8件 2024FY： 7件	220件 2021FY： 15件 2022FY： 79件 2023FY：104件 2024FY： 22件	0件 2021FY：0件 2022FY：0件 2023FY：0件 2024FY：0件	5件 2021FY：0件 2022FY：3件 2023FY：1件 2024FY：1件

4.3. ニューロモルフィックダイナミクスに基づく超低電力エッジＡＩチップの研究開発とその応用展開

テーマ名	ニューロモルフィックダイナミクスに基づく超低電力エッジＡＩチップの研究開発とその応用展開	達成状況	○
実施者名	国立大学法人九州工業大学，株式会社日立製作所，株式会社セック，株式会社フローディア，株式会社アイヴィス		
達成状況の根拠	レザバーFPGA プロセッサ開発について，目標を上回る性能を実現した．アナログ ASIC チップについてはファウンドリの事情により試作が遅れたが，基本性能を確認した．一部事業者は目標に先行して事業化を開始した．成果最大化の活動について目標通り進めた．		

●背景・目的・プロジェクトアウトカム目標との関係

演算処理モデル，集積回路方式，記憶デバイスの 3 レイヤーの研究成果を結集して，従来技術の 100 倍を超える超高効率な AI チップを実現し，低電力・高効率エッジ AI ハードウェアとしてロボット・IoT などに応用展開して実用化・事業化することを主な目的とする．開発した AI チップを社会実装へ繋げるために，ソフトウェア開発と連携するためのキット（SDK）を開発し，各種応用分野への適用を図る．

演算処理モデルとしては，単純なネットワーク構造から高効率なハードウェア化に適し，内部のダイナミクスを利用して時系列情報処理をはじめとする様々な AI 応用を可能とするレザバー計算（RC）モデルを採用する．基本的なエコーステートネットワーク（ESN）をまず実装し，さらに超高効率化・高性能化が期待できるカオスボルツマンマシン（CBM）モデルを利用したレザバー計算モデルを実装する．集積回路方式としては，設計資産の可搬性に優れるディジタル方式により応用展開を先導し，引き続いて本事業の目標を達成すべく 1,000TOPS/W 超，6 ビット演算の超高効率演算を実現できる SONOS 型フラッシュメモリ素子を用いた時間領域アナログ方式による専用チップを開発する．成果最大化の活動体制を運用して，事業化に向けて事業全体をコントロールする．本事業に関心を示す企業の技術者からなるアドバイザリーボードを構成し，事業化に向けた課題などについてヒアリングおよび成果説明会を実施する他，NDA を締結して個別に事業成果を活用し，事業化の端緒とする．

●アウトプット目標（2024 年度末）（①等は実施項目番号）

① ディジタル ESN レザバーAI の高速推論・高速学習技術を開発・検証完了し，それを適用したアプリケーション検証を完了する．ノード数 1,000 以上，AI 実行速度 40ksps 以上，レザバー演算部の消費電力 5W 以下を目標とする．これにより高速センサ信号を扱うことができ，ファンレス動作による小型・軽量デバイスを実現できるため，設備点検 AI システムの構築が容易になり信頼性向上が期待できる．

② ディジタル CBM-RC プロセッサについて，ノード数 12,000，演算性能 100TOPS，演算効率 1.8TOPS/W の FPGA 実装を目指す．SDK を TOYOTA HSR コミュニティなど既に活発な活動を進めている有力コミュニティへ公開し FPGA ボードを配布する．ソフトロボットの身体拡充テーマについては，最大把持可能幅 150mm，最大把持重量 0.5kg が可能なソフトロボットを目指す．ソフトロボット，レザバーチップ，生活支援ロボットの融合システム確立と SDK への組込みを実現し，日常生活支援ロボットプラットフォーム構築と標準試験法による要求仕様を細分化し確定する．ソフトハンドを装着した家庭用サービスロボットに対して遠隔と自律の融合システムを展開し，実環境で運用する．ソフトハンドタスクについても家庭内片付けタスクと同様のスコア評価を行い，従来手法との比較を行い，10%以上のスコア向上を図る．

③ SONOS メモリ素子を用いた時間領域アナログ AI チップについて，1,000 ノード，アナログフラッシュメモリ使用，～2.0TOP（ノード数比） 2,900TOPS/W （テクノロジ比）のチップを試作・評価し，荷重更新機能搭載アナログ AI チップのα版試作・評価を行う．

④ 自律移動台車の自律徘徊による世界モデル構築（エッジ，FPGA での実行）．運動制御と感覚情報処理のためのレザバー強化学習モデルと予測符号化レザバーモデルを構築し，ロボット制御のために有効なレザバーの動力学特性を明らかにする．成果最大化の活動体制を運用して事業全体を事業化に向けて推進．10 社以上からなるアドバイザリーボードを組織し，事業化に向けた課題等についてヒアリング/成果説明会を実施する．IoT コンソ/オープンコミュニティ形成の準備を開始する．実応用データによる第 2 次ベンチマーク評価を実施する．展示会・セミナー・ロボカップ活動等の情報発信を各 1 件以上実施する．

●実施体制

九州工業大学②③④.日立製作所①.セック②.フローディア③.アイヴィス②④.（以下，再委託）日立情報通信エンジニアリング①.はこだて未来大学②④. 大阪大学,キビテク（2023 年度～）,玉川大学（～

2023 年度）,東京情報デザイン専門職大学（TID）（2024 年度～）,京都大学（2024 年度～）,以上② .

●成果とその意義
先行 NEDO 探索研究事業（「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明 」研究開発責任者：浅田 稔，実施期間 2018.10-2023.3）において RC モデルの性能向上・改良とハードウェア化手法の研究開発を進め，RC モデル・ハードウェアがエッジ向け AI として優位性を有することを実証した．本事業移行後も含めて知財獲得（特許出願）に注力した．深層学習系 AI に比べて，少量データで学習可能なこと，学習演算自体が軽量であることを利用して，エッジ向け学習機能搭載 AI ハードウェアとしての優位性を明らかにした．
2023 年度末までの 2 年間で，各社が分担してディジタル RC プロセッサ開発を推進した．**日立製作所①**はハードウェアリソースの限られたエッジ向け FPGA デバイスを適用して，目標を上回る 1000 ノード，1,400ksps,4W の ESN 型ディジタル RC を開発した．**日立情報通信エンジニアリング①**は，設備の異常検知タスクに特化して，精度劣化が少ない演算量削減手段を検討し，実装設計に適用した．**アイヴィス②**は，ディジタル CBM-RC プロセッサとして，ハイエンド FPGA を導入し，実装方式の改良により目標を上回る 16,000 ノードの CBM-RC を実現した．**セック②**が開発を進めているソフトウェア開発キット（SDK）は各社が開発したプロセッサ・チップを統合して制御でき，ユーザの使用感が統一される．
大阪大学/京都大学②は，ソフトロボット(SR)プラットフォーム(PF)として， 2 指および 5 指ヒト型ロボットハンドの設計開発を進めた．ソフトセンサの課題である自己変形や姿勢変化によるセンサ値変動を ESN により補償した．SR は RC 応用の重要な展開先としてアドバイザリボードメンバー企業（日本電気通信システム株式会社）も注目して検証を進めている．さらに，開発中の SR-PF による日常生活支援タスクの実現に向けて RC による運動制御手法を考案した．**九州工業大学②**は SR，ディジタル CBM-RC プロセッサ，生活支援ロボットの融合システムを構築した．**玉川大学/TID②**は日常生活支援ロボット PF 構築と，標準試験法による要求仕様の細分化と確定に向けて，ロボカップ@ホーム競技を評価軸として日常生活支援ロボットのタスク実証を進めた.**キビテク②**は，日常生活支援ロボットの家庭内片付けタスクに対応した実用化レベルで利用可能な遠隔と自律の融合システムを開発し，RC を組み込む開発を行っている．
フローディア③は，本事業の最終目標である超低電力アナログ CBM-RC およびスパイキングニューラルネットワーク（SNN）チップを，SONOS 型フラッシュメモリ混載技術（130nm）を用いて，アナログ荷重を有する時間領域アナログ方式で開発中である．試作チップでの評価により，アナログ荷重機能（>6 ビット精度）と積和演算機能を実証した．
アイヴィス④は，実際の自律移動台車(4 足ロボット)を実世界で自律徘徊させることで，世界モデルを構築する手法を開発した．世界モデル構築後は，将来の衝突を予測できるようになることを確認した．世界モデルの性能はレザバーを階層化することで向上できるので，多様な構造のレザバーおよび学習方式を効率よく構成し，RC パッケージ機能を拡張した．**はこだて未来大学④**は，FPGA 上で CBM-RC を用いたレザバー強化学習を実装し，行動計画タスクでその有効性を示した．このモデルは，ロボットが障害物に衝突することなく目的地に到達するように学習した．また，視覚情報のみを使用してエージェントの行動を計画するためのレザバー・ベースのメンタルシミュレーションモデルを提案した．
九州工業大学④は，関係する 10 社以上の研究者・技術者からなるアドバイザリーボードを設置し，参画機関を中心に事業化に向けた課題などについてヒアリングおよび成果説明会を実施した．公開済データを中心に第 1 次ベンチマーク評価を行った．EdgeTech+2023 展示会で研究開発成果を公開した．ロボカップ競技会活動などでも開発成果の情報発信を行った．

●実用化・事業化への道筋と課題
ディジタル RC システムは，まずは FPGA で商品化を進め，相当数の需要が見込めると判断した段階で，専用チップ（ASIC）での量産を開始する．ASIC について九工大が 2024 年度から試作を開始して性能評価を進める．RC-ASIC については（アナログ方式を含めて），現行 AI（生成系 AI を含む）のように最先端 CMOS 製造技術（～数 nm）を必要とせず，20～40nm ノード以上でも必要な性能を実現できる．これは地政学的観点から国内での一貫した設計・製造が熱望されている近年の半導体産業の状況に適合する．量産化も低コストで可能なため，エッジ向け AI ハードウェアとして中小企業を含めて広く普及が期待できる．
今後のチップレット時代では製造技術の相違は大きな問題とならず，チップ IP としての販売を視野に 2025 年度以降，事業化を進める．2024 年度以降，開発完了分から，各社が事業化に向けて先行して活動開始する（特にセック/アイヴィス）．日立は RC 技術のアピールを開始するとともに，社内事業部への接続を継続する．2024 年度から RC プロセッサ・チップ開発を日立が主導し，日立ブランドを利用して業界にアピールする．アドバイザリボード中心に事業化の目処を立てることを最優先とする．
RC 技術についてはすでにソフトウェアで事業化している株式会社 QuantumCore に，本事業の成果である

ハードウェアの提供を行っており，低電力・低レイテンシーを必要とする応用への適用を進めていく.

●期間・予算 （単位:百万円）	2020FY	2021FY	2022FY	2023FY	2024FY
			436	468	538

●特許出願及び論文発表

特許出願	論文発表	発表・講演	雑誌掲載	その他
７件	１１件	６０件	件	２件

4.4. 電圧駆動不揮発性メモリを用いた超省電力ブレインモルフィックシステムの研究開発

テーマ名	電圧駆動不揮発性メモリを用いた超省電力ブレインモルフィックシステムの研究開発	達成状況	○
実施者名	国立研究開発法人産業技術総合研究所 ソニーセミコンダクタソリューションズ株式会社 国立大学法人九州工業大学		
達成状況の根拠	家庭用サービスロボット・自動搬送ロボット応用を目指した研究開発では、既存手法では実現が難しい経路探索が可能な「海馬・扁桃体モデル」を開発し、システムに実装して家庭用サービスロボットで実証した。さらに、VC-MRAM を CMOS 素子で模擬したインメモリ計算回路をチップ化して FPGA 制御ボードと結合してシステム化して家庭用サービスロボットに搭載し、実験により機能を実証した。深層学習ベースの現行 AI では環境・個人に固有の知識を極めて少数の事例で学習することは困難なため、本開発成果は現行の AI では置換できない技術として有用であり、知財化も進めた。 イメージセンサ等に応用可能な不揮発性メモリ VC-MRAM の研究開発では、記憶素子特性や回路動作のばらつきに耐性がある「自己適応方式」の書き込み回路を考案し、回路シミュレーションによりメモリアレイ・書き込み・読み出しなどの要素回路の動作を評価した。記憶素子の制御方法を中心に知財化を進めた。 VC-MRAM の最重要基盤技術である電圧書き込み型 MTJ 素子の開発では、量産可能な多結晶 MTJ 素子として世界最高性能(海外競合グループ比で約 2 倍)を達成するとともに、低書き込みエネルギー書き込みと良好な制御性を両立する新材料記録層の開発に成功した(世界初)。これらの素子技術について知財化を進めた。		

●背景・目的・プロジェクトアウトカム目標との関係

Society 5.0 の実現に向けて全ての人に質の高いサービスを提供するためには、現行 AI のように万人に共通の知識と判断材料を提供するだけでなく、個人の判断をサポートする脳型エッジコンピューティング技術を開発することが重要となる。本研究開発では、ユーザ個人の経験を AI が共に体験し、個人の行動・判断をサポートする脳型 AI エッジコンピューティング技術を実現するために、脳の海馬・扁桃体の機能をモデル化して、ハードウェア指向のブレインモルフィックシステムを開発する。また、このハードウェアの中核をなす超低消費電力の不揮発性メモリ技術を開発する。不揮発性、省電力書き込み、事実上無制限の書き換え耐性、優れた SoC 親和性などの非常に高いポテンシャルを有する電圧駆動型 MRAM（VC-MRAM）の技術開発を行い、AI チップ内の全てのメモリを VC-MRAM で置き換えるための基盤技術を確立する。

●アウトプット目標

ハードウェア指向の視覚系・海馬・扁桃体を含む脳型モデルおよびその回路構成を確定し、特に本プロジェクトのコア技術である海馬モデルのチップ試作を行い、機能検証用システムにより評価する。また、最終デバイスパラメータを確定し、イメージセンサ搭載 AI エッジ情報処理チップのためのメモリ機能として VC-MRAM の有効性を回路シミュレーションにて確認する。VC-MRAM の記憶素子となる電圧制御 MTJ 素子において、高効率の電圧書き込みと情報読み出し性能を両立する。

●実施体制

国立研究開発法人産業技術総合研究所
ソニーセミコンダクタソリューションズ株式会社
国立大学法人九州工業大学
国立研究開発法人物質・材料研究機構（再委託）

●成果とその意義

実施項目 1 では、まず海馬・扁桃体モデルの開発に取り組んだ。エピソード記憶のリプレイや他者場所表現などの機能を統合したネットワークを構築するため、複数のオブジェクトを保存できる嗅内皮質―海馬モデルを提案した。提案モデルを用いた迷路タスクを実行すると、分岐点において順方向と逆方向のリプレイを起こし、未経験の経路もリプレイすることができた。このなかには目的オブジェクト地点までの

最短経路を表すリプレイが含まれることがあり、行動決定に影響を与える情報として活用できる。海馬のスパイキングニューラルネットワークにおいても、スパイクタイミング依存性可塑性 (STDP)の形状に依存する場所細胞間のシナプス結合分布と、未経験経路のリプレイの関係を見出した。本成果は自律移動ロボットのナビゲーションに応用することができ、既存手法では実現が難しい経路探索が可能になる。また、視覚系などの感覚刺激の重要度や、タスクに成功したか失敗したかを情動価値として表現する扁桃体機能としてモデル化して、システムに実装して家庭用サービスロボットで実証した。

実施項目 1 ではさらに、海馬・扁桃体機能を実現する回路・アーキテクチャの開発も行った。海馬モデルを実装するために、VC-MRAM を CMOS 素子で模擬したインメモリ計算回路をチップ化し、FPGA 制御ボードと結合してシステム化して、家庭用サービスロボットに搭載した。このシステムを用いて、イベントを示す手がかり（キュー）とそれが発生する場所情報を結合した場所・キュー結合細胞モデルを実装し、キューを探索する実験により機能を実証した。さらに、環境または個人固有の知識を蓄積する海馬モデルに、一般的知識を記憶蓄積して活用できる大規模言語モデル（LLM）を連携させるモデルを考案した。これを個々の家庭環境に即した形で家庭用サービスロボットを動作させる応用に適用し、効果を実証した。環境・個人に固有の知識を極めて少数の事例（エピソード）で学習することは深層学習ベースの現行 AI では困難なため、他の技術では置換できない技術として有用であり、知財化も進めた。

実施項目 2 では、VC-MRAM の書き込みに関して、MTJ の抵抗変化を検出して電圧パルスを自己適応的に停止する回路を考案した。従来の書き込み方法では高精度な数ナノ秒幅の電圧パルス制御が必要であり、記憶素子特性や回路動作のばらつくと書き込みできない事が課題であった。また、従来は書き込み電圧の印加前に初期読み出しを行う必要があり、総書き込み時間が長くなる事も課題であった。考案した方法を用いると、実用化に必須なばらつき対応が可能で、総書き込み時間の短縮が可能となる。回路による記憶素子の制御性を検証するため記憶素子の Verilog モデルを作成し、メモリアレイ・書き込み・読み出し回路などの要素回路を接続した動作評価を実施した。記憶素子の制御方法を中心に知財化を進めた(特許出願 10 件)。

実施項目 3,4 では、低温成膜プロセスを開発し、これを活用して電圧駆動型磁気トンネル接合(MTJ)素子の開発に取り組み、量産可能な多結晶 MTJ 素子として世界最高性能となる電圧磁気異方性制御効率を達成した(海外競合グループ比で約 2 倍)。また、エピタキシャル MTJ 素子の界面酸化状態制御プロセスの最適化により、トンネル磁気抵抗変化率の世界最高値を更新した(プレス発表 2023.4.13)。さらに低書き込みエネルギーとバイポーラ磁化反転を両立する新材料記録層の開発に成功した(世界初)。現在これら新規開発した MTJ 素子を CMOS ウェハ上に集積するプロセスを構築し、実施項目 1,2 提案回路の動作実証を推進中である。

●実用化・事業化への道筋と課題

実施項目 1 で開発する海馬モデルによるエピソード記憶に基づくロボットナビゲーション機能は、株式会社キビテクが保有するデータで検証し、工場内を自律・遠隔移動するロボットに実装し技術移転する方向で開発を進める。LLM と海馬機能を組み合わせたモデルは一般的知識と個別環境固有の知識を併用・補完できるため、今後広い範囲での AI 応用が期待できる。別途実施しているレザバー計算主体の NEDO 事業に統合し、脳型 AI 技術としてアドバイザリボードメンバー企業での事業化を検討する。技術的には確立しており、知財化も進めてきたので、どのような応用に適用できるかが課題である。

実施項目 2 で開発する VC-MRAM の書き込みの書き込み技術に関しては、反転に必要な磁界をチップ内に実装した先行技術はなく、実用化に向けて、記憶素子機能と記憶素子を制御する要素回路を実装したチップ開発と、磁界印加のない一般的な装置での評価が必要である。必要機能を揃えた原理検証の後、素子特性と回路の改善を進めて、アレイ効率や消費電力など競争力を向上させて事業化を判断する。製品への搭載においては、用途・顧客要望も勘案する。VC-MRAM は理想的な動作は他メモリに比べて優れており次世代メモリとして期待が高いが、技術課題のハードルが高い。まずは必要機能を揃えて実証することが課題である。

●期間・予算 (単位:百万円)	2020FY	2021FY	2022FY	2023FY	2024FY
	303	394	313	374	319

●特許出願及び論文発表

特許出願	論文発表	発表・講演	雑誌掲載	その他（受賞）

2020 年度　0 件	2020 年度　5 件	2020 年度　3 件	2020 年度　0 件	2020 年度　8 件
2021 年度　1 件	2021 年度　6 件	2021 年度　18 件	2021 年度　9 件	2021 年度　20 件
2022 年度　8 件	2022 年度　13 件	2022 年度　23 件	2022 年度　0 件	2022 年度　10 件
2023 年度　9 件	2023 年度　6 件	2023 年度　22 件	2023 年度　1 件	2023 年度　7 件
2024 年度　4 件	2024 年度　1 件	2024 年度　5 件	2024 年度　0 件	2024 年度　0 件

4.5. 実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発

テーマ名	大項目：高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発 中項目：次世代コンピューティング技術の開発 小項目：実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	達成状況	○
実施者名	株式会社ノーチラス・テクノロジーズ		
達成状況の根拠	開発終了の時点で、データベースとしての基本的な部分は完成しているが、まだまだ改善の余地が多く、継続して機能の充実とバグの解消を実施していく予定。2023年 3 月時点では、OSS としての公開について品質の問題から見送ったが、2023 年度10 月に OSS として公開し、本格的に一般の事業者が活用できる形としている。 また、PETRA との光ネットワークの研究開発事業において、更に一段上の分散データベースの機能開発を進めており、その中で新しい実証が始っている。一方で営業活動による提案なども実施しており、将来的に利用いただけそうな顧客が見えてきており、2022 年度までに実証していたアンデルセンサービス様においては、本番の適用に向けた開発を始めている。		

●背景・目的・プロジェクトアウトカム目標との関係

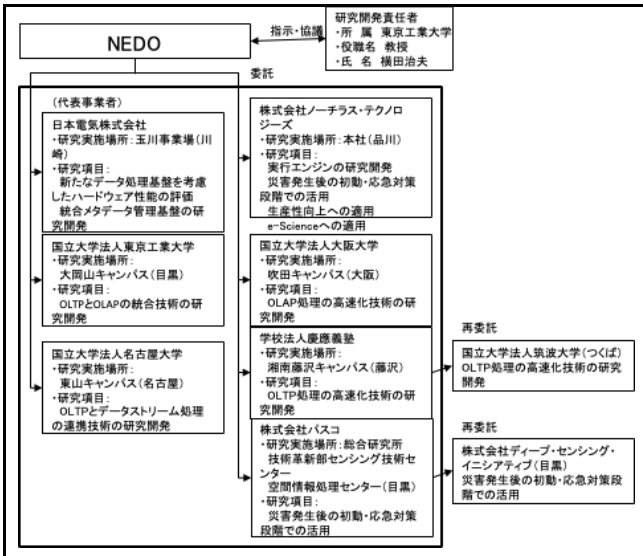
近年の目覚ましい ICT の発展に伴い、データ量が爆発的に増え、データを取り扱う品質はより高いものが求められるように、データベースの重要度が一層高まっている。そのデータベースは、海外製品（特に米国）が圧倒的に優位で、オープンソースソフトウェア（OSS）へシフトしつつあり、 ICT システムにおける競争領域はデータベースではなく、それを基盤とするより上位の層、すなわち、ユーザーにサービスを提供する層にシフトしている、という状況となっている。このため、今から企業が新規にデータベースを開発・製品化して市場提供を目指す意味は薄い。しかしながら、上位層の特性や競争領域であるハードウェア層（特に独自ハードウェア）に適した機能強化やチューニングを実施するかどうか、そして実施する際の優先順位やスケジュールの決定を特定ベンダ（更には米国）の都合に左右されてしまうというのは、我が国産業の競争力という観点からみて不都合な状況といえる。この要因と上記データベース事業環境とを併せて考えると、データベースは我が国の産業界にとって重要な協調領域に位置する技術分野と帰結できることから、それを共通の産業基盤として研究開発し、その成果を公開する意義は大きいと考える。

●アウトプット目標

本事業では、今後とも継続して進歩していくハードウェア技術を活用する次世代データ処理基盤技術の研究開発を目標とする。具体的には、これまでのリレーショナルデータベース（RDB）や NoSQL では直接解決できなかったデータの増大・処理の複雑さの深化といった課題を解決し、新しいハードウェア環境（ディスアグリゲーテッドコンピューティング、メニーコア、大容量メモリ、不揮発性メモリ）を活用するデータベースを研究開発するとともに、これまでは実現できなかった新しい業務に適用することによって提案するデータベースの有用性を実証する。

そのうえで、OSS として製品を公開し、広く一般で活用されるものとし、ビジネスをそれに合わせて展開することを目標とする。

●実施体制



●成果とその意義

データベースは、国産のデータベースはほとんど残っておらず、残っているものでも新規の開発を取りやめているケースもある。劔”Tsurugi”のような、純国産でいちから開発をしてビジネスを行うものは現状では唯一の存在であり、国内の IT 産業においても画期的な取り組みと言える。

一方で、現状のデータベースは、海外での製品が市場を寡占しているものの、現状のデータベースは既存のテクノロジー、ここでは、旧来のハードウェアの特性（少ないコア（CPU）と容量の小さいメモリ）に合わせた範囲で作られており、現状の新しいハードウェア特性（複数コアと大容量メモリ）を活かしきれないものとなっている。

劔”Tsurugi”は、この新しいハードウェアの特性を活かして、処理速度を極大化し、分散のテクノロジーを組み合わせ、世界最速レベルの性能を生み出すものとして開発をされ、実際にその性能を本事業の中で達成をすることができた。

インメモリ・メニーコアを利用して、処理性能の向上を図るデータベースは他にも存在するが、もう一つの 劔”Tsurugi”の特徴である、書き込み性能に強くロックフリーで強一貫性を担保するデータベースは他に存在するものがなく、唯一の存在であると言える。

●実用化・事業化への道筋と課題

OSS として公開され、シングルノードでの分散データベースとしての活用が始まっている。様々な企業や団体でダウンロードされている様子は、Github でのアクセス履歴から伺えている。また、書籍も 1,000 部ほど販売されていることから、潜在的に検討をしているところがあることもわかっている。これらのことから、一定の需要が見込まれるといえるだろう。

技術的な側面では、劔”Tsurugi”は、当初の目論見の半分ほどの過程をたどったところで、分散データベースとしての本当の到達点は、複数ノードの環境で、より高速でかつ強一貫性をもった分散環境の高可用性データベースであり、そこに向けて開発を継続中である。営業活動の中で、現在のシングルノードでの劔”Tsurugi”の需要よりも、高可用性のある分散環境での劔”Tsurugi”への期待が強い。

今後の実用化・事業化においては、現在のシングルノードでの劔”Tsurugi”で、小～中規模システムでの導入、5 年後以降を見据えた PoC の案件で、事業展開を行っていき、今後 5 年以内に展開できる高可用性の分散環境での劔”Tsurugi”で、より大規模な環境での導入が進み事業規模が最大化することを目指すものとする。最大の課題は、これらの実現するための技術的ハードルが高いことで、これを地道な研究で成果を上げていくものとしていきたい。

●期間・予算（単位:百万円）	2020FY	2021FY	2022FY	2023FY	2024FY
	307	296	391		

●特許出願及び論文発表

特許出願	論文発表	発表・講演	雑誌掲載	その他
０件	１件	１０件	５件	１件

※以降は 2022 年度終了テーマであり、作成年度が 2023 年度であるため様式が異なる。

4.6.　未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明

1.　研究開発成果について

<u>全体概要</u>

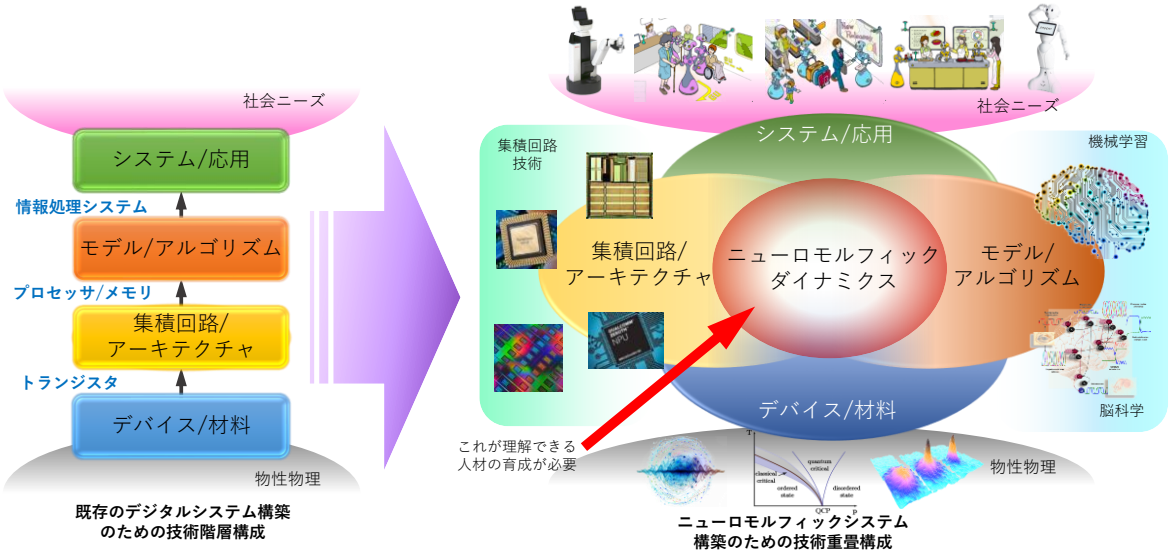


図1：従来型の個別ゴール設定（左）から，関連領域を統合した超域として「ニューロモルフィックダイナミクス」領域の構築（右）

深層学習に代表される AI 技術は，Big Data や IoT と相まって，高機能の人工システムを生み出し，Society5.0 に代表される，持続可能かつ上質の未来共生社会を強力に推し進める勢いである．しかしながら，脳のメカニズム，特に視覚情報をはじめとする感覚情報の認識・判断処理などを計算機上で実行する現在の深層学習の課題には，1）大量のデータを必要とし，ロボットの行動生成への応用が遅滞し，自己位置推定や瞬時の経路探索に基づく障害物回避などの反射運動系のクリティカルなミッション遂行が困難，2）処理能力が計算機性能に大きく依存，3）エネルギー効率の向上が困難な点が挙げられる．これに対し，脳の超省電力な情報処理機構（約 20 W）のより深い理解，すなわちニューロモルフィックコンピューティングの考え方を導入することで，課題解決のヒントが得られる．それは，(A) 最新の生理学の知見，(B) 工学的な応用を可能にするモデル化の理論研究，(C) 実装するためのハードウェアアーキテクチャを中心とするデバイス研究の三位一体による解決手法である．これにより，ロボット等，反射運動系の処理を担うエッジデバイスの実現，脳メカニズムの工学応用のためのモデル化に基づき，それを実装するためデバイスのハードウェアアーキテクチャの研究開発が可能になる．

これらを実現する上で，最も困難な問題は，情報処理システム開発の各階層で個別のゴールが設定されて個別に技術開発されてきたという体制にある（図 1 左）．そのため，デバイス開発からシステム応用に至る一貫した課題とプロセスが共有されず，これらを有機的に結びつけるコンピューティング方式とハードウェア方式が定まっていなかった．本探索プログラムでは，この課題を解決するための基本理念としてニューロモルフィズムを

提案・共有し，これに基づき，関連領域を統合した超域として「ニューロモルフィックダイナミクス」領域を構築した（図 1 右）．さらに，ニューロモルフィズムの具現により，日本独自のものづくりを活かしたニューロモルフィックコンピューティング基盤技術の構築を可能にする課題を探索することを目的とした．その際，アナログデバイスでの実装を想定しつつも，デジタルデバイスの利用も考慮し，これらに見合うロボット身体（ソフトロボティクス）も視野に入れた．また，社会的にアピールするために，代表者が創設者の一人であるロボカップ競技会の日常生活応用のロボカップ@ホームを実証実験場として利用した．

ニューロモルフィックコンピューティングにかぎらず，次世代コンピューティング技術の開発における最大の課題は，デバイス／材料や集積回路／アーキテクチャなどのハードを主体とした分野とモデル／アルゴリズムやシステム／応用などのソフトを主体とした分野を包括したコンピューティング方式が定まっていない点である．すなわち，既存の情報処理システムでは，ブール代数と 2 進数計算に基づく計算方式を，広義のフォン・ノイマンアーキテクチャに基づくデジタル計算機での実行しているのに対して，次世代コンピューティング技術では，デバイス・回路技術から生じる制約と，脳型計算様式の双方を深く理解して最適な計算方式を見いだす必要がある．本探索研究プログラムでは，この課題の抜本的な解決にむけ，基本理念としてニューロモルフィズムを創出し，関連分野を統合した超域「ニューロモルフィックダイナミクス」を構築する．

ニューロモルフィズムとは，脳や身体に宿る生物の神経機構に内在する本質を捉え，その工学的な実現を通じて，人工物を設計・作動させ，その経緯や結果を通して，生物系の神経機構の新たな理解を生み出し，さらに工学的再現にフィードバックするといった「科学と工学の微視的にも巨視的にも相互浸透的な動的循環による新たな学際的アプローチの理念」を指す．

本事業は，探索プログラムとして，ニューロモルフィズムを支える理論神経科学，構成論的計算神経科学の新たな原理としてニューロモルフィックダイナミクス理論を構築する．この理論に基づき，人工知能･計算神経科学･半導体デバイスを結びつけるサイバネティックコンピューティング手法を導入する．この手法による脳の計算モデルとして有力なレザバーモデルに着目し，大脳皮質のレザバー仮説を検証する．レザバー仮説とは，脳が入力に応じて複雑な時空間ダイナミクスを生成するダイナミクスの貯蔵庫として機能しているという仮説である．レザバー計算の新デバイスとしてスピントロニクスの可能性を探る．さらに，ニューロモルフィックハードウェアのためのアナログメモリ素子とそれを応用した脳型処理モデルを開発する．これらの探索過程では，中間目標の 100 倍のエネルギー消費効率の可能性の呈示，および最終目標である 100 倍のエネルギー消費効率を実現する技術の確立に見通しをつける．ただし，従来型の数値目標のみならず，神経・身体統合系ダイナミクスの特性・機能の調査・探索過程と密接にリンクしながら，さらに実証実験場の一つとしてロボカップ@ホームを利用することにより，その質的評価と並行させる点が本プロジェクトの最大の特徴である．図 2 にその概念図を示す．

研究代表所属の大阪大学拠点が中心となるが，広範な学術・技術分野をカバーするために，テーマごとに再委託し，以下の実施項目と拠点を 2018 年発足時に指定した．

- 実施項目 1【ニューロモルフィックダイナミクスの確立】（担当：大阪大学）

- 実施項目 2【脳と身体のニューロダイナミクス】(担当：大阪大学，再委託先：東京大学)
- 実施項目 3【サイバネティックコンピューティング基盤技術】(担当：大阪大学，再委託先：北海道大学)
- 実施項目 4【非線形ダイナミクス･確率･ゆらぎ理論】(担当：大阪大学，再委託先：京都大学)
- 実施項目 5【ニューロモルフィック工学に応用展開する神経科学･物理･数理工学】(担当：大阪大学，再委託先：立命館大学)
- 実施項目 6【ニューロモルフィックハードウェアのためのアナログメモリ技術とその実装・応用】(担当：九州工業大学・産業技術総合研究所)
- 実施項目 7【脳型ハードウェアの産業応用に向けた基礎検討】(担当：日立製作所)
- 実施項目 8【ニューロモルフィックダイナミクスのためのスピンレザバー計算機】(担当：産業技術総合研究所)

なお，2020 年度から，九州工業大学担当の実施項目 6 を拡充する形で，以下の 2 つの実施項目が追加され，九州工業大学より再委託した．

- 実施項目 9【レザバーを用いた前頭前野モデルの開発と応用】(担当：九州工業大学，再委託先：公立はこだて未来大学)
- 実施項目 10【SONOS 素子を用いたレザバーチップの設計】(担当：九州工業大学，再委託先：(株)フローディア)

また，2020 年度末で，実施項目 5 及び，実施項目 6 の産業技術総合研究所実施分は終了した．さらに，実施項目 6，7 と 1 の一部（ソフトロボティクス）は，予定より早く目標を達成したため，2022 年度から新規開発プログラムに移行した．

最終目標と根拠

本事業では，基本理念としてニューロモルフィズムを創出し，関連分野を統合した超域「ニューロモルフィックダイナミクス」を確立することを最終目標とする．レザバー計算を主体として，A) ニューロモルフィックダイナミクス理論の構築，B) 人工知能・計算神経科学・半導体デバイスを結びつけるサイバネティックコンピューティングの実装，C) 神経・身体統合系ダイナミクスの実現を最終目標としてきた．その根拠は，図１に示したニューロモルフィックダイナミクスを具体的に実現させるアプローチとして適正と判断したからである．

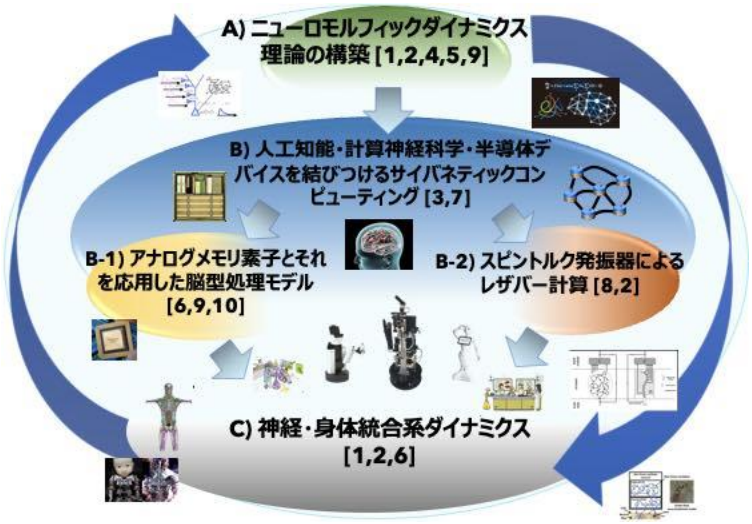


図 2：本事業の概念図

目標の達成度

プロジェクト全体では,

(1) ニューロモルフィックダイナミクス理論として，reBASICS (reservoir of basal dynamics) を提案し，関連実証研究を実施して，その有効性を検証したこと,

(2) 現在の最先端デジタル方式 AI プロセッサにおける積和演算の電力効率に比して，100 倍の性能を有するニューロモルフィックハードウェア実現の鍵となる新規アナログメモリ素子の実用化可能性を調査し，結果として，SONOS フラッシュメモリ素子をアナログメモリ素子として実用化に用いることとし，超高効率レザバーチップを設計し，その実用化を進めたこと,

(3) さらに，得られた研究成果は，毎年開催されるロボカップ@ホーム競技会で，サービスロボットに搭載して実証したこと,

(4) 認識タスク達成のためのブレインとして，レザバーの効用を広めるために，デジタル方式チップ開発も進めることとし，すでに開発済みのデジタルカオスボルツマンマシン（CBM）アーキテクチャをベースに， CBM レザバーを FPGA で設計し，システム化・ROS 化することを目指す項目を設け，事業化に向けた検証の幅を広めたこと,

(5) センサの時系列信号を容易に学習可能な AI 技術の探索を行い，脳型集積回路および脳型 FPGA 実装を検討した．さらに，エコーステートネットワーク（ESN）型レザバー計算機の FPGA 実装設計ならびにソフトウェア開発を実施し，動作検証したこと,

が挙げられ，本探索プログラムの目標を十分に達成した．

成果と意義

本探索プログラム研究開発期間中において，ニューロモルフィックダイナミクス理論を構築・検証できたこと，電力効率に比して，100 倍の性能実現の目処が付き，上記の(4,5)については， 2022 年度より開発プログラム「高効率・高速処理を可能とする AI チップ・

次世代コンピューティングの技術開発／次世代コンピューティング技術の開発／ニューロモルフィックダイナミクスに基づく超低電力エッジ AI チップの研究開発とその応用展開」にステージアップし，同年度中は，本探索プロブラムと協調しながら，研究開発を進められたことは，非常に有意義であったと評価される．

A) 研究開発テーマ「ニューロモルフィックダイナミクス理論の構築」

概要

ニューロモルフィックダイナミクス理論として，reBASICS (reservoir of basal dynamics) を実施項目 1 で提案した．これを含めて本事業で開発されたレザバーモデルは，実施項目 4 で開発された自発的身体運動を利用した運動制御学習（実施項目 5 との議論を含む)，実施項目 9 で開発されたカオスボルツマンマシン（CBM）レザバーが挙げられ，それぞれのモデルの効用と限界を明らかにした．また実施項目 2 では，生体神経系ダイナミクスの特性を調べ，同ダイナミクスを計算資源として定量化する手法を探求し，脳の echo state property の検証，脳の情報処理容量の定量化，自発活動の機能的役割を明らかにした．また，生体神経の持つ確率的スパイク生成ダイナミクスに着目し，確率的スパイキングニューラルネットワークが身体系と結合した場合に全体としてどのような特性・機能を生成しうるのか探索的調査を行い，スパイキングニューラルネットワークモデルの有用性を示した．

最終目標と根拠

- 実施項目 1：ニューロモルフィックダイナミクス理論の確立（理論基盤の確立はプロジェクト全体の骨格として必要である.）.
- 実施項目 2：生体神経系ダイナミクスの特性を調べ，同ダイナミクスを計算資源として定量化する手法の探求，脳の echo state property の検証，脳の情報処理容量の定量化，自発活動の機能的役割を明らかにすること（レザバー設計にむけて，生体の特性の同定を参照することが必要である.）.
- 実施項目 4：自発的身体運動を利用した運動制御学習（実施項目 5 との議論を含む）（運動制御学習はレザバー応用として分かりやすい適用例として必要である.）.
- 実施項目 9：カオスボルツマンマシン（CBM）レザバー開発（本プロジェクトのメインの成果を出すことが必須であるため.）.

目標の達成度

• 実施項目1【ニューロモルフィックダイナミクスの確立】(担当：大阪大学)

本項目は本探索プログラムの総括的な役割をにない，基本理念や理論確立，及び，ソフトロボット等を含む様々な人工システムでの理論や仮説検証，さらにより一般的に応用の可能性の検討等を実施した．ここでは，数値目標ではなく，これまでアプローチされてこなかった課題に挑戦する意味での成果となった．

- **実施項目 1-1【ニューロモルフィズムの概念確立のブレーンストーミング】**

2017 年度後半に実施した 4 回の研究会（本探索プログラムの参画メンバーに加え，関連企業や大学，研究所などの研究者が参加）を拡張・拡充した形で，徹底したブレーンストーミング型の研究討論会を 2018 年度は採択後で 3 回，2019 年度は 7 回，いずれも対面で実施したが，2020 年度以降は Zoom によるウェブ会議となり，2020 年度 44 回，2021 年度 32 回，2022 年度 30 回実施した．これらは，すべての実施項目に関連する研究会であり，レザバーチップデバイス開発グループ，学習方式を含めたレザバーシステム応用開発グループ，ニューロモルフィックダイナミクスの新機能探索・確立・応用グループの各グループの研究会（ただし，他グループメンバーも参加）を 3 グループで月 3 回を基本として開催した結果である．

上記の研究会での真摯な議論を通じ，ニューロモルフィックダイナミクス理論として，reBASICS が提案された．これを含めて本事業で開発されたレザバー（ランダム）ニューラルネットワークのダイナミクスの状態に応じた計算法を図 3 に示す．ネットワークサイズ（ニューロン素子数）が十分大きい場合，レザバーの結合重みのゲインのある点を境にネットワークダイナミクスがゼロへの漸近安定からカオスに分岐する．従来のレザバーは，この安定領域になるようにゲインを設定し，入出力関係を学習していた．実施項目 4 では，この安定領域においてニューロン素子の活動が初期状態からゼロに至るまでの複雑な緩和ダイナミクスを示すことを利用し，ロボットアームの手先が指定された固定点に安定に収束するシステムを開発した．実施項目 9 で開発した CBM レザバーでは，本来的にカオス状態にある CBM の各素子にレファレンスクロックという一様な規則的信号を加えることで安定化し，それをレザバーとして用いている．一方で，ネットワークサイズが小さい場合，重みのゲインを大きくしてもカオスに至らず，リミットサイクルとよばれる軌道安定な振動的活動が現れることが知られている．reBASICS は，小サイズの多数のレザバーを並列に結合することで（図 4 左），多数のリミットサイクル軌道を得て，それらの線形結合により時系列を合成する．

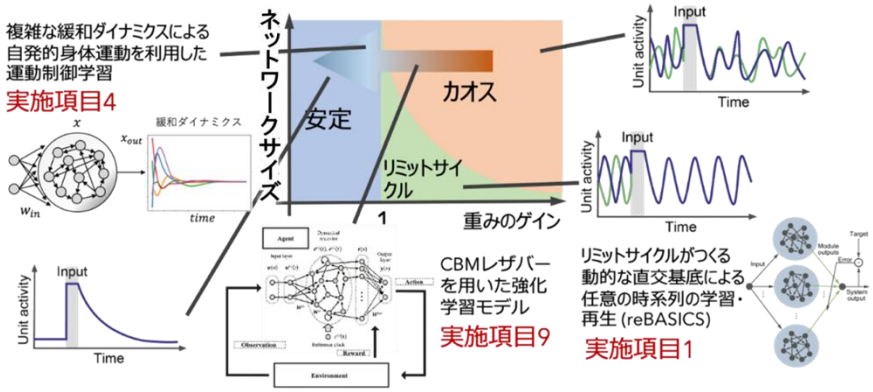


図3：本事業で開発されたレザバー(ランダム)ニューラルネットワークのダイナミクスの状態に応じた計算法

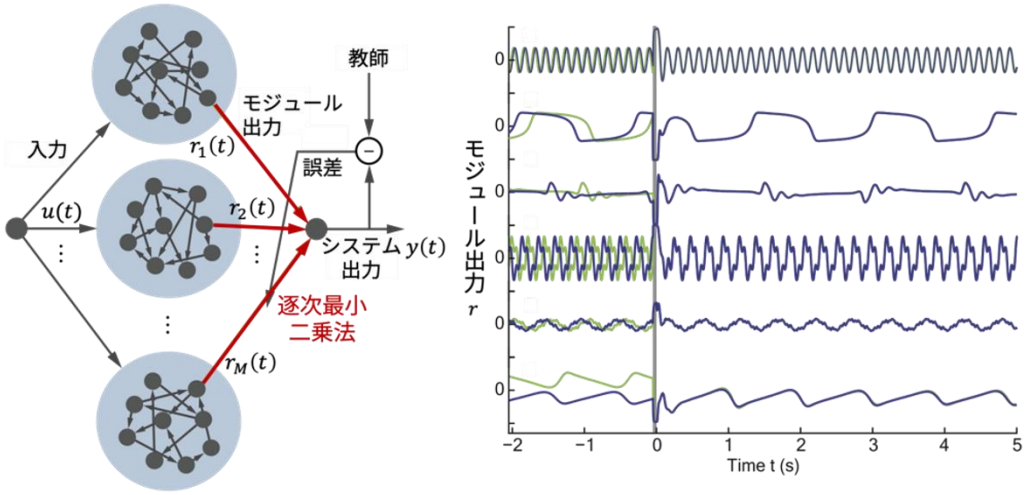


図4：reBASICSを用いた報酬変調ヘッブ学習とその学習パフォーマンス

➢ **実施項目 1-2【構成的計算神経科学による身体運動シミュレーション】**

本項目では，脳の皮質-線条体系と小脳の機能と構造から着想を得て，reBASICSをロボットシミュレータの身体運動の学習に適用した．一つは，報酬に基づいた運動学習にreBASICSを用いた．もう一つは，既存の制御システムの誤差を低減し，さらに高精度化するためにreBASICSを用いた．

- **実施項目2【脳と身体のニューロダイナミクス】（担当：大阪大学，再委託先：東京大学）**

現行の AI 手法は，与えられたデータに関する計算論を基盤とし，現行の AI 用プロセッサもこれを高速化するアーキテクチャである．これに対し，生体の知能は，環境・身体・神経系が三位一体となって適応性，ロバスト性，合目的性を創発する．以下，実施項目 2-1 では生態神経系ダイナミクスを調査した．その概要を示す．

➢ **実施項目 2-1【生体神経系ダイナミクスの特性・機能の調査・探索（高橋）】**

生体神経系ダイナミクスの特性を調べ，同ダイナミクスを計算資源として定量化する手法を探求した．具体的には，脳の echo state property（EPS）の検証，脳の情報処理容量の定量化，自発活動の機能的役割の探求に取組んだ．

ESP は，ESN に課される条件であり，レザバーに入力 u_t を与えたとき，状態 x_t が，過去の入力系列 u_t の関数で表される性質である．特に，活性化関数が tanh(.)の場合，重み行列のスペクトル半径$\rho < 1$のとき，ESN は ESP を有する．

本研究では，脳が ESP を有するかを検証するために，電気刺激列に対する神経応答の再現性を調べた．妊娠 18 日目の Wistar ラットから胎児ラットを摘出し，その脳から切り出した大脳新皮質から，初代分散培養系を作成した．実験から，脳を物理レザバーとして見なした研究の妥当性を示した．脳を物理レザバーとして見なすことの妥当性は，定常的な刺激音に対する脳活動の安定的なダイナミクス（T. I. Shiramatsu, et al., 2019; N. Wake, et al., 2019）や脳に蓄えられている過去の刺激列に関する記憶の減衰性（fading memory）などからも示した．

脳を物理レザバーと見なし，その計算資源を定量化する手法として，情報処理容量（IPC）を確立した．本研究では，任意多項式カオスを用いて入力自身の情報処理容量を推定することで， 入力の独立性を定量化する方法を提案した．神経細胞の分散培養系やラットの聴覚野を物理レザバーと見なし，レザバーへの入力u_tは，生起確率 0.5 のベルヌーイ分布に従って生成した．その結果，神経系から，1 次から 6 次までの IPC を取り出せた．1 次から 6 次までの IPC の総和値の平均は，スパイク間隔（ISI）に対して有意な差異を示し，分散培養系では ISI が 30 ms のとき，聴覚野では 10～20 ms のときに最大となった（図5）．シフトレジスタタスクや，論理計算タスクなど，レザバー計算の既存ベンチマークタスクが，IPC 計算で用いた直交多項式に分解できるとき，当該 IPC とベンチマーク成績は強い相関を示した．これらの結果から，脳を物理レザバーと見なしたとき，IPC は脳の計算資源の定量化に有用な指標となることを示した．

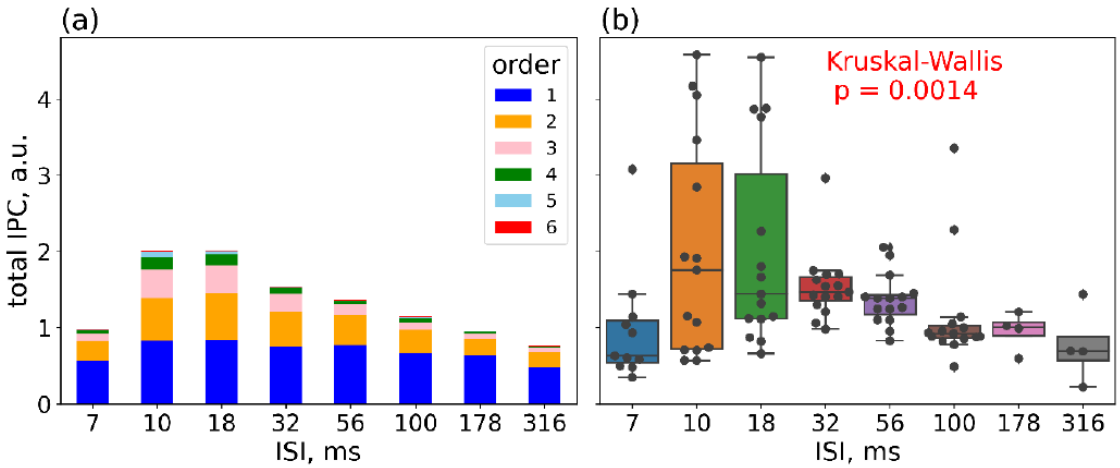


図 5：聴覚野における IPC の定量化

これらの方法論に基づき，脳を物理レザバーと見なせることを示すために，ニューラルネットワークで話者識別ができること（N. Ikeda, et al., 2018）や神経細胞の分散培養系で目的指向行動を創発できることを示した．さらに時不変 IPC や状態空間別 IPC を提案し，脳が厳密な ESP を満たさない条件でも，脳を物理レザバーとして見なし，計算資源を定量化できることも示した．加えて，情報の統合が IPC 向上に資することの理論的考察，視床と大脳皮質の情報伝達の移動エントロピー法による考察，脳と音楽のダイナミクスの一致が音楽のビート同期を生んでいることをげっ歯類を使っての実験，さらに自発活動の役割についても考察した．

- **実施項目4【非線形ダイナミクス･確率･ゆらぎ理論】（担当：大阪大学，再委託先：京都大学）**

本項目では神経系の数理的なモデル化と計算論的神経科学および非線形ダイナミクスの理論を結びつけることで，ニューロモルフィックコンピューティングでの動作に適した新規な学習あるいは情報処理アルゴリズムの探索および仮説の提案と検証を行うことを目的とした．そこでは神経ネットワークの構造の数理的理解と，ニューロモルフィックダイナミクスに適した全く新規なタスク提案が重要になるため数値目標の設定は不適切であり，

研究成果の理論的整合性や新規性，またそれらによるニューロモルフィックダイナミクスに対する理解の精緻化が研究開発目標となった．

具体的には 3 つサブ項目を設定し研究開発を実施したが，いずれのサブ項目に関しても，他の実施項目との連携および他の実施項目への本実施項目の研究成果の展開を想定することで大自由度力学系のダイナミクスを利用するレザバーコンピューティングに着目し，生物の脳の仕組みを参考にしたレザバーコンピューティングの改良及び発展によって，モデル化が困難あるいは不可能であると考えられるソフトロボットの運動制御を可能にする情報処理アルゴリズムの探索と検証を実施した．

- **実施項目 4-1【シナプス結合の高次構造を取り込んだ脳の非線形ダイナミクスのモデル化】**

大脳皮質神経ネットワークにおけるシナプス結合のモチーフ構造とクラスタ構造について調査し，抑制性ニューロンの多様性と結合様式に重点を置いた研究を実施した．従来のレザバーダイナミクスを超える，豊かな非線形ダイナミクスを生み出せることが分かった．

- **実施項目 4-2【脳の自発ゆらぎの計算論的機能の理論的解明】**

大脳皮質の神経細胞は，皮質ネットワークが外部との明示的な入出力を持たない状態でも強いゆらぎを伴う自発的活動を示す．この確率的挙動を用いたニューロモルフィックダイナミクス理論や学習アルゴリズムの探索と提案を行うために，自発活動を利用する学習則の提案とその数理的性質を解明することを研究開発の目的とした．

脳と身体を含む系の構造および数理モデル構築に向けた定式化の概念図が図 6 および図 7 である．まず重要な点は，これまでのレザバーコンピューティング研究では，レザバーは大脳皮質（特に運動野）の数理モデル，あるいは小脳の数理モデルなど，脳の一部の部位の数理モデルとして定式化されその機能が検討されてきていたのに対し，実際には，大脳皮質，大脳基底核，小脳といった複数の部位が互いに影響を与えながら運動制御に関与していることである．このため身体に対する構造として脳を一つのレザバーで定式化することを想定しても，これらの部位のうちどれを含めてレザバーとして扱うのかが問題になることが分かる．

さらに重要なのは，脳と身体の中間に位置すると考えられる脊髄の存在である．脊髄には，運動制御において重要な役割を果たす中枢パターン生成器（CPG, Central Pattern Generator）が局在している．この CPG は周期活動によって動物の歩行や泳動を駆動するが，一方，受動歩行など，CPG なしでも運動の生成は可能であることも知られている．さらに CPG は中枢神経系から修飾されるのみならず，末梢からの感覚入力によっても直接修飾されることも知られている．

図 6：運動制御に関わる身体および脳の各部位および定式化の比較に関する概念図

このため自発活動の数理モデル化の観点からは，中枢神経系の他のニューロン群とは異なり，CPG のニューロン集団が，リミットサイクル振動子によって記述される非線形振動子の集団として定式化できる点が重要になる．一般にレザバーコンピューティングでは，カオス非カオス臨界点近傍にある系を外部入力によって駆動することで多様な信号生成を

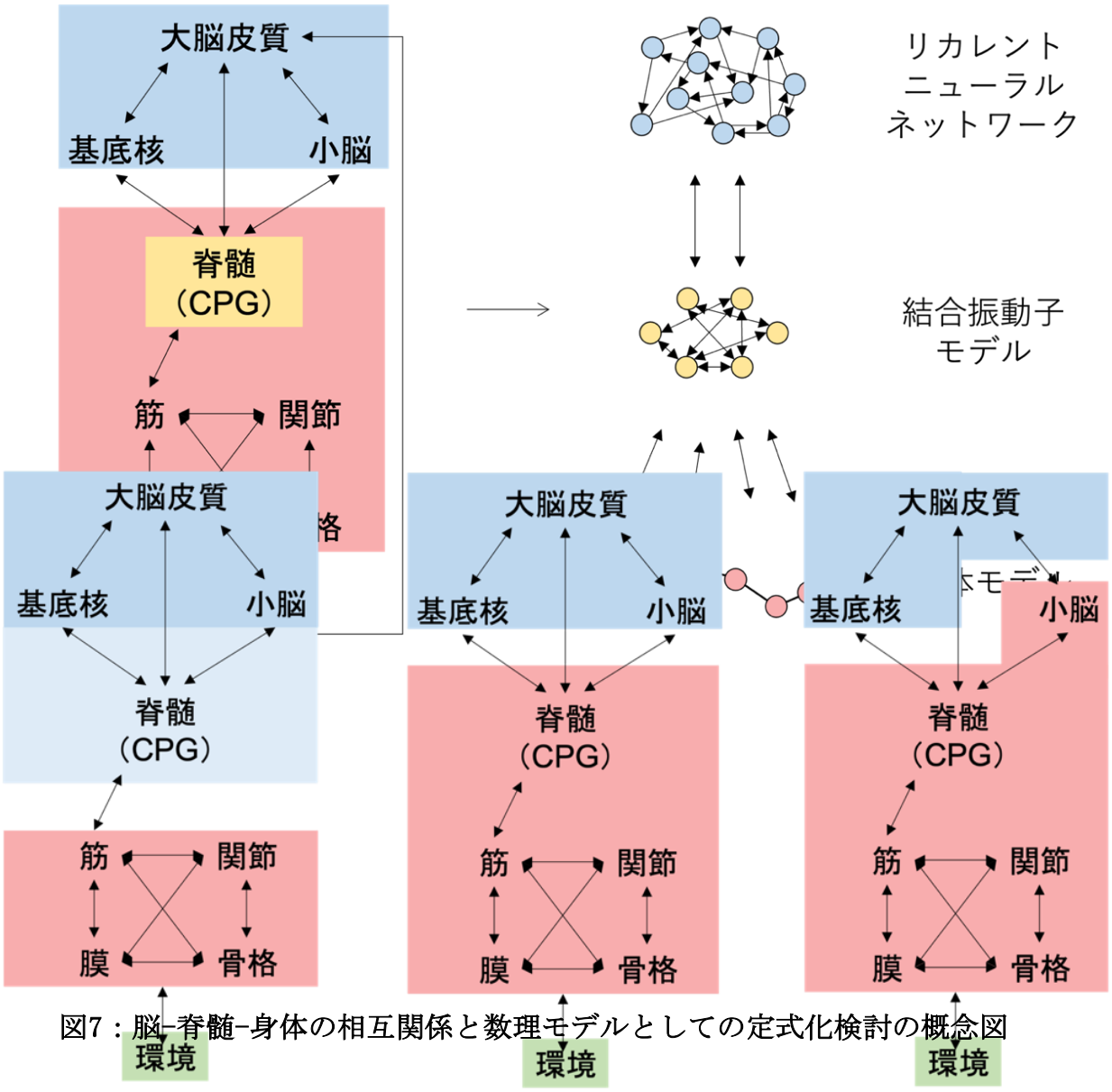


図7：脳-脊髄-身体の相互関係と数理モデルとしての定式化検討の概念図

行うことが多いが，外部入力による駆動無しで周期信号を生成可能な CPG の存在は，レザバーコンピューティングに利用されるリカレントニューラルネットワークと相補的な役割

を果たし得ることが期待できる．このため，脊髄の CPG を単に脳部分あるいは身体部分として取り込むのではなく，リカレントニューラルネットワークとして定式化される中枢神経系とも，比較的受動的な非線形ダイナミクスとして定式化される身体部分とも異なる修飾可能な安定周期信号を生成する第三の非線形力学系として定式化し（図 7），脳-CPG-身体の三者が相互作用する構造の検討が重要であり，そのため自発的身体運動においては，レザバーが生成するカオス信号等に加え，周期信号の効果の検討も重要であることが結論された．

- **実施項目 4-3【確率性と非線形性を利用するニューロモルフィックコンピューティングの計算理論の構築】**

4-1，4-2 の成果を統合し発展させることで，非線形システムにおいて確率的挙動を含み得るニューロモルフィック型の情報処理を探索し，ニューロモルフィックダイナミクスに関する計算理論の構築を目論見，物理シミュレータを用いて実証した．

- **実施項目5【ニューロモルフィック工学に応用展開する神経科学･物理･数理工学】（担当：大阪大学，再委託先：立命館大学）**

本項目では，多くの従来型の計算システムでデメリットとされてきた素子やネットワークの多様性やノイズに対して，これを抑制せずに生かすことで，ニューロモルフィックコンピューティングへ適用できる低消費エネルギーの機能モジュール構築の実現可能性を調査するために，新しい情報処理アルゴリズムと学習法則を提案し検証することを目標とした．

脳神経回路では，素子やネットワークの多様性やノイズをむしろ積極的に利用しているという仮説に基づいて，神経科学で蓄積された局所回路レベルでの知見に対して物理・数理工学的な手法を適用することにより，これらの多様性の計算・学習上のメリットを調査し，新しい情報処理アルゴリズムや学習法則の提案を行った．確率的な信号伝搬という，相対する数理現象における脳局所回路レベルでの多様性のそれぞれのメリットを調査し，この両者を理論的整合性のとれた形で融合することが研究開発目標となる．なお，2020 年度までに，目標としていたニューロモルフィックコンピューティングへ適用可能な因子として，レザバー計算を用いる方向性がより有効であることが本プロジェクトの全体議論により明らかになったことにより，本研究開発項目は 2020 年度で開発を早期終了することとした．

- **実施項目9【レザバーを用いた前頭前野モデルの開発と応用】（担当：九州工業大学，再委託先：公立はこだて未来大学）**

本項目では，感覚情報を運動情報に変換する前頭前野の働きと非線形ダイナミクスの理論を結びつけることで，新たなニューロモルフィックコンピューティングでの動作に適した情報処理機構を探索・提案した．

- **実施項目 9-1【予測符号化とレザバー計算を組み合わせた感覚情報処理モデル】**

脳の予測符号化，すなわち脳への感覚入力を脳の内部状態が予測し，予測誤差に基づいて内部状態を更新するとする脳の情報処理機構と，レザバー計算を組み合わせた情報処理モデル(PCRC モデル)を提案し，環境について予測を行うロボット制御も実現した．さらに，マルチモーダル感覚統合のモデルとして，この PCRC モデルに基づく階層的ネットワークモデルを提案した．入力信号の時空間パターンの時間的蓄積と空間パターンの圧縮を積み重ねるボトムアップの信号伝達により，複雑な時間経過の抽象化が実現された．またトップダウンの信号伝達により，統合エリアの抽象化された情報から，感覚エリアに具体的な感覚情報の再構成が行われた．

- **実施項目 9-2【強化学習とレザバー計算を組み合わせた運動制御モデル】**
  強化学習の一種である時間差（TD）学習とレザバー計算を用いた自律ロボットの制御のためのネットワークモデルを構築した．環境から得られる時間的に変動する連続値の感覚信号をレザバーに入力し，感覚信号の時系列・履歴が反映されたレザバーの状態から行動価値の推定を行うネットワークを構築した．このモデルを，2 次元のロボットシミュレータ環境で評価し，適切な行動を学習したことを確認した．またこのモデルを短期記憶が要求される移動ロボットタスクで評価し，タスクに関連した感覚情報を記憶するレザバーの役割を解析した．さらにレザバー強化学習モデルを連続的な行動空間でも活用できるようにアクター・クリティック法に拡張した．
- **実施項目 9-3【レザバー計算に基づく感覚情報処理と運動生成を組み合わせた統合情報処理モデル】**
  レザバー計算に基づく強化学習と予測符号化のモデルを統合した統合情報処理モデルを提案した．このモデルでは，感覚入力の予測と行動価値の推定を単一のレザバーからの読み出しにより行う．行動価値の学習は報酬に基づき行われる．また予測層の学習は予測の最小化の基準に基づいて行われる．このモデルは，強化学習タスクに利用できることに加えて，予測符号化により環境の変化を予測するメンタルシミュレーションを実現した．

成果と意義

本探索プログラムのメインの成果として，ニューロモルフィックダイナミクス理論の確立を掲げ，reBASICS を提案し，実験を通じて，その有効性を検証できたことが，最大の成果である．これと関連して，生体神経系ダイナミクスの特性を調べ，同ダイナミクスを計算資源として定量化する手法の探求し，脳の echo state property を検証したことや，脳の情報処理容量の定量化や自発活動の機能的役割を明らかにできたことは，理論背景として大きな成果と考えられる．また，自発的身体運動を利用した運動制御学習や CBM レザバー開発などの成果もあり，本探索プログラム全体の理論的バックボーンであり，かつその検証シミュレーションのプラットフォームの役割を果たした意義は大きい．

成果の普及

本項目はメインの探索プログラム全体に理論的基盤とその検証を中心とした項目であり，基盤構築の経過や結果を踏まえ，以下の 2 つの研究開発項目

B）人工知能・計算神経科学・半導体デバイスを結びつけるサイバネティックコンピューティング，
C）神経・身体統合系ダイナミクス
と並行して，ソフトロボットなどの身体と結合した日常生活支援ロボットなどのへの組み込みを目指したでバイアス開発・実装，産業応用などへの展開が本項目成果の普及と想定される．

B）研究開発テーマ「人工知能・計算神経科学・半導体デバイスを結びつけるサイバネティックコンピューティング」

概要

本項目では，脳のレザバー仮説検証と関連課題の対応，スピンダイナミクスを用いたレザバー計算の計算能力の定量化およびその向上について理論と実験からの検討，現在の最先端デジタル方式AIプロセッサにおける積和演算の電力効率に比して，100倍の性能を有するニューロモルフィックハードウェア実現の鍵となる新規アナログメモリ素子として，SONOS フラッシュメモリ素子を決定し，超高効率レザバーチップの設計とその実用化を進めた．研究成果のロボカップ@ホーム競技会での実証，認識タスク達成のためのブレインとして，デジタル方式チップ開発， CBMアーキテクチャをベースに， CBMレザバーをFPGAで設計し，システム化・ROS化することを目指す事業化検討，さらに， CBMのレザバーを用いた前頭前野モデルの実装に努めた．また，センサの時系列信号を容易に学習可能なAI技術として，脳型集積回路および脳型FPGA実装を検討した．さらに，ESN型レザバー計算機の FPGA 実装設計ならびにソフトウェア開発ならびに動作検証した．なお，ソフトロボティクス，チップデバイス開発グループの一部は 2021 年度中にほぼ目標を達成したので，2022年度より開発プログラムにステージアップし，同年度中は，本探索プロブラムと協調しながら，研究開発を進めた．

最終目標と根拠

- 実施項目 3：脳のレザバー仮説検証として，集積可能なレザバー回路，脳に埋め込み可能なレザバーデバイスの開拓，レザバーデバイスと神経のインターフェース開拓，開発した回路・神経インターフェースの実評価，レザバー（脳）の機能向上の可能性の評価（レザバー仮説検証として必要である．）．
- 実施項目 6：
  1. 現在の最先端デジタル方式AIプロセッサにおける積和演算の電力効率に比して，100 倍の性能を有するニューロモルフィックハードウェア実現の鍵となる新規アナログメモリ素子の実用化可能性の調査（本プロジェクトのメインの成果を上げるための調査として必要である．）．
  2. SONOS フラッシュメモリ素子をアナログメモリ素子として実用化（調査結果に基づく具現化が必要である．）．

3. 実施項目 10 と連携して，超高効率レザバーチップの設計，及びその実用化（本プロジェクトのメインの成果の一つとして必要な目標である．）．
4. 得られた研究成果のロボカップ@ホーム競技会での実証（実証実験の場，人材育成の場として必要であり，実績を示すためにも必要である．）．
5. 実施項目 1-3 と連携した認識タスク達成のためのブレインとして，レザバーの効用を広めるために，デジタル方式チップ開発（成果を多様な形態で示すために必要な目標の一つである．）．
6. すでに開発済みのデジタル CBM アーキテクチャをベースに， CBM レザバーを FPGA で設計し，システム化・ROS 化することを目指す実施項目 6-6 を設け，事業化に向けた検証の拡張（本プロジェクトの成果の事業化応答にむけた目標設定として必要である．）．
7. 実施項目 9 と連携して，CBM のレザバーを用いた前頭前野モデルの実装（本実装は，脳型モデルの具体例として前頭前野モデルの効用を示すうえで必要である．）．

- 実施項目 7：センサの時系列信号を容易に学習可能な AI 技術の探索．脳型集積回路および脳型 FPGA 実装の検討． ESN 型レザバー計算機の FPGA 実装設計ならびにソフトウェア開発及び動作検証（着実な調査結果に基づいて，事業化を進めるために必要である．）．
- 実施項目 8：スピンダイナミクスを用いたレザバー計算の計算能力の定量化およびその向上について理論と実験からの検討（多様なレザバー研究開発の一つとしてポテンシャルが高いこの項目をあげることで，本プロジェクトの成果の幅を広げることが必要である．）．
- 実施項目 9：レザバーを用いた前頭前野モデルの開発と応用のなかで，ニューロモルフィックダイナミクス理論のレザバー計算における予測符号化，強化学習関連のシミュレーションによる実証実験（ニューロモルフィックダイナミクス理論の支援モデルとして必要である．）．
- 実施項目 10：SONOS 素子を用いたレザバーチップの設計における超高効率レザバー計算チップの設計と評価（本探索プログラムの最終成果としてレザバーチップ実現のために必要なテーマ設定である．）．

目標の達成度

• 実施項目3【サイバネティックコンピューティング基盤技術】（担当：大阪大学，再委託先：北海道大学）

本項目では，生体の脳機能を拡張するサイバネティックコンピューティング基盤技術（従前のニューロモルフィック研究とは異なる技術）に取り組んだ．脳のレザバー仮説に基づき，当該部位を埋め込みレザバーデバイスで置換することでレザバー（脳）の機能向上が狙えるかもしれない．その可能性を探るために，脳のレザバー仮説検証，集積可能なレザバー回路，脳に埋め込み可能なレザバーデバイスの開拓，レザバーデバイスと神経のインターフェース開拓，開発した回路・神経インターフェースの実評価を実施した．以下にその概要を述べる．

- **実施項目 3-1【脳のレザバー仮説に関する予備検証･動向調査（2018-2019 年度）】**

神経系の一部はレザバー（入力に応じて複雑な時空間ダイナミクスを生成するダイナミクスの貯蔵庫）として機能しているとの仮説を立て，可塑性を持たずに複雑ダイナミクスを生成している神経領域を調査した．本調査により，(1) 可塑性の差は大脳皮質の領野間には顕著にないこと，(2) 層構造も大脳皮質の領野間で顕著な差はないこと（ただし，厚さには差があること），(3) 時空間ダイナミクスの重要性が示されている場所，大きさ，アクセス（埋め込み）のしやすさ，機能のシンプルさを考慮すると，運動野か小脳が埋め込み対象領野の候補となること，の三点を明らかにした．

- **実施項目 3-2【脳組織と半導体システムが相互作用するクローズドシステム・インターフェースに関する技術･動向調査とその基礎設計】**

脳組織と電気電子系とのインターフェース（神経パルスの計測技術および神経の刺激技術）に関する詳細調査を行い，脳に埋め込み可能な神経活動モニタの原理回路（神経パルスの検出回路），および神経刺激回路のプロトタイプを構築した．それらは，神経刺激回路の開発，神経活動モニタの開発である．

- **実施項目 3-3【脳の数理モデル・脳組織を用いた脳型レザバー計算機のプロトタイプの構築】**

本項目では脳の数理モデル，および脳組織を用いた脳型レザバー計算機のプロトタイプの構築する計画であったが，後者の脳組織を用いた脳型レザバー計算機のプロトタイプ構築についてはコロナ禍により東京大学での実験が継続不可能となり頓挫した．そのためここでは，脳の数理モデルに基づく脳型レザバー計算機のプロトタイプを構築した．

- **実施項目 3-4【脳型レザバーおよびその周辺回路・システムの構築に最適な集積デバイスの探査・動向調査と構築】**

本項目では，サイバネティックニューロモフルフィックコンピューティングに向けた脳への埋込みレザバーの候補となる集積デバイスの探査を行った．表 1 にそれらの調査結果をまとめる．埋め込みレザバーの視点では，消費電力，出力の読み出し容易性，空間・時間スケーラビリティ，生産性（歩留まりを含む），およびレザバーとしての性能（予測誤差や記憶容量）の全ての要素が無視できず，現存するどのレザバーもこの評価視点では一長一短であった．そのため，上記全ての要素を見たす物理レザバーを新規構築することとし，原子スイッチ及びそれに基づく新アーキテクチャを提案した．

表1：各種物理レザバーとその評価指標

	Power Consumption	Readability	Spatial Scalability	Time Scalability	Mass Production	Prediction Performance
Optical [1]	☹	😐	☺	☹	☹	☺
Spintronics [2]	☺	☹	☺	☹	☺	😐
Soft & elastic materials [3]	☺	☺	☺	😐	😐	☺
Molecular [4]	☺	☹	☺	😐	☺	😐
FPGA [5]	☹	☺	😐	☺	☺	☹

[1] Van der Sande, *et al.*: "Advances in photonic reservoir computing" *Nanophotonics*, Vol. 6, No. 3, pp. 561-576, 2017
[2] R. Nakane, *et al.*: "Reservoir Computing With Spin Waves Excited in a Garnet Film," in *IEEE Access*, Vol. 6, pp. 4462-4469, 2018
[3] K. Nakajima, *et al.*: "Computing with a muscular-hydrostat system," *IEEE ICRA*, pp. 1504-1511, 2013
[4] H. Tanaka , *et al.*: "A molecular neuromorphic network device consisting of single-walled carbon nanotubes complexed with polyoxometalate," *Nat Commun*, Vol. 9, p. 2693, 2018
[5] M. L. Alomar *et al.*, "Digital Implementation of a Single Dynamical Node Reservoir Computer," in *IEEE Trans. Circuits Syst. II Express Briefs*, Vol. 62, No. 10, pp. 977-981, 2015

➢ **実施項目 3-5【人工レザバーデバイスによる生体脳の部分置換とその評価】**

本項目については，開始当初より東京大学との連携（実験）を想定していたが，コロナ禍により北海道大学・東京大学の往来が不可能となったため，生体脳を用いない（しかし個体ではない）実験対象（具体的には水溶液）を選定し PoC（Proof of Concept）を行いつつ，北海道大学・東京大学の往来が可能になった段階で，神経刺激装置等のマウス実験を開始し，評価を行った．その結果，マウス脳の刺激実験において，正しい刺激ができていること，また，チャージバランス動作終了後，その刺激による活動電位の発生が観測され，チャージバランスにより神経素子を守りながら，活動電位も誘発できることが示された．

• **実施項目6【ニューロモルフィックハードウェアのためのアナログメモリ技術とその実装・応用】（担当：九州工業大学・産業技術総合研究所）**

本項目では，現在の最先端デジタル方式 AI プロセッサにおける積和演算の電力効率に比して，100 倍の性能を有するニューロモルフィックハードウェア実現の鍵となる新規アナログメモリ素子の実用化可能性を調査した．

現在の AI モデル・アルゴリズムはクラウド，エッジ含めてすべてデジタル計算機上で実行されており，一般には GPU を搭載した汎用計算機が用いられるが，専用デジタル AI プロセッサも各種提案・開発されている．AI の主たる応用である画像認識などでは 2 値荷重や 2 値状態を用いるアルゴリズムも有効であることが知られており，それに特化した専用プロセッサも開発されて，演算性能も GPU に比べて 1 桁以上高効率なものが開発されている．しかし，ニューロモルフィック（脳型処理）モデル実装ではアナログ値（多値）積和演算機能が必要になり，この場合の（本事業開始時の）最先端 AI プロセッサの演算効率は 10 TOPS/W[1]のオーダであった[2]．

我々はすでに超高演算効率を実現できる時間領域アナログ演算方式を提案しており（図 8），CMOS 技術のみを用いた 2 値荷重モデルでは 300 TOPS/W を超える演算効率を実現する PoC 回路を開発済みである．この方式を用いてアナログ値計算を可能として，最先端デジタル方式の 100 倍を超える，1000 TOPS/W オーダの演算効率を実現するには，少なくともサブミクロンサイズ以下の，アナログメモリ機能を有するシナプス回路の開発が必要である．そのために，新しいアナログメモリ素子を開発する必要がある．素子サイズ以外の条

件を満たす最有望なメモリ素子として強誘電体電界効果トランジスタ（FeFET）があり，この素子を中心として検討した，さらに，広く研究されている抵抗変化型メモリ（ReRAM）や，新材料を用いた新規素子等を検討した．同時に，アナログメモリ素子を用いる時間領域アナログ演算方式の回路アーキテクチャ，およびそれに適した脳型処理モデルを明確にし，最適なアナログメモリ素子種類を確定した．その後，素子特性の改良を行い，脳型処理モデルを実装したプロトタイプシステムを製作した．

2019 年度までの探索研究から，FeFET の代わりに SONOS フラッシュメモリ素子をアナログメモリ素子として実用化に用いることとした．また，得られた研究成果は，毎年開催されるロボカップ@ホーム競技会で，サービスロボットに搭載して実証した．これに関連して，実施項目 1-3 と連携した認識タスク達成のためのブレインとして，レザバーの効用を広めるために，アナログ方式チップに加えてデジタル方式チップ開発も進めることとした．すでに開発済みのデジタル CBM アーキテクチャをベースに，　CBM レザバーを FPGA で設計し，システム化・ROS 化することを目指す項目 6-6 を設け，事業化に向けた検証の幅を広めた．

以上により，基本計画における「ニューロモルフィック基盤技術の創出」を図り，ニューロモルフィズムの進展に資することを目指した．

1) TOPS/W: Tera-Operations Per Second per Watt

2) ISSCC 2017, 2018におけるAIプロセッサ，インメモリ計算のセッションでの発表に基づく．

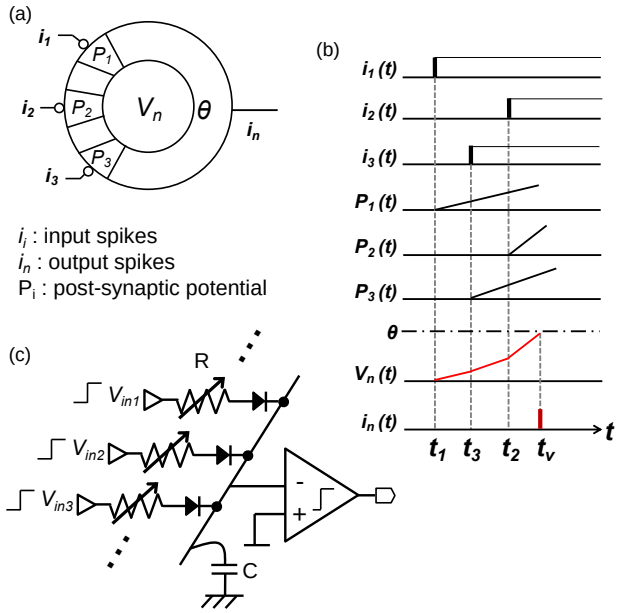


図8：時間領域アナログ演算方式の原理（a）ニューロンモデル（b）入力スパイクと後シナプス電位の変化を示すタイミング図（c）提案方式を実現する回路構成

- **実施項目 6-1【FeFET 素子のアナログ動作検証】**

FeFET については，産業技術総合研究所とともに SBT 系 FeFET 素子を試作し，FET のサブスレッショルド領域動作を用いた高抵抗アナログ記憶動作を実証した

- **実施項目 6-2【FeFET 素子の微細化製造技術の開発】**

産業技術総合研究所とともに実用化可能性を検討した FeFET 素子は強誘電体層に実績のある SBT 系材料を用いている．ただし，ミクロンサイズオーダの微細化は実現できておら

ず，それに向けて製造方法を開発した．トランジスタ部の基板は外部の CMOS 製造サービス会社により試作した．

- **実施項目 6-3【クロスバ構成 FeFET メモリの動作検証】**
- FeFET 単体でのアナログメモリ動作確認結果に基づいて，アレイ構成での記憶値設定方法を考案した．また，積和演算機能を実デバイスで実証した．.
- **実施項目 6-4【各種アナログメモリ素子の探索】**

様々な素子の探索結果として，3 端子型で実用化が進んでいる素子として，SONOS 型フラッシュメモリ素子を選定した．そして，FeFET の代わりにこの素子を用いた集積回路を設計・試作することとし，担当可能な企業を九州工業大学の再委託先として，実施項目 10 を新規に立ち上げた．

- **実施項目 6-6 【デジタル CBM レザバーチップの開発】**

本項目では，カオスボルツマンマシンレザバー（CBM-RC）の有効性を多様に検証する手段として，デジタル CBM レザバーチップのアーキテクチャを開発し，FPGA 実装とシステム化を実現した．

実施項目 6-5 で実現するアナログメモリ素子による CBM レザバーチップは，量産化まで到達すれば究極の超低消費電力チップとなる．しかしながら，アナログメモリ素子開発やそれを用いたインメモリコンピューティングチップの開発には数年単位の時間がかかる．レザバーの有効性を多様なユーザに示し，事業化へ繋がるアプリケーション発掘へと素早く取り掛かるためには，専用チップに比べて開発期間が短い FPGA ベースでの実装を配布し，ユーザ数を増やすことが重要である．ユーザの中で超低消費電力の需要を持つ事業者に対してアナログ版を提供するという二段構えのレザバーチップ研究開発戦略を立案した．

CBM-RC の特性を活用する差分積和演算を提案し，シリアル計算で増加するサイクル数を大幅削減しつつ，シリアル方式の利点である小規模回路でのニューロン部の実現を達成することができた．これらの理論的，回路的な工夫を集約して Xilinx 社の Virtex UltraScale+ XCVU9P をターゲットデバイスとして CBM-RC の実装を行った結果，単一 FPGA に最大 2048 ニューロンを実装できることを明らかにした．

さらに，単一 FPGA において 2021 年時点で世界最大のノード数を有するレザバーを実装可能なことを示した（表 2）．ネットワーク構造に制約がない全結合（All-to-all）型の中ではレイテンシも最小であり，差分積和演算の効果も十分に示した．これらの成果は，FPGA のフラグシップ国際会議である ICFPT2021 で発表した．その後，この FPGA をロボットに搭載するためのシステム化も進めた（図 9）．

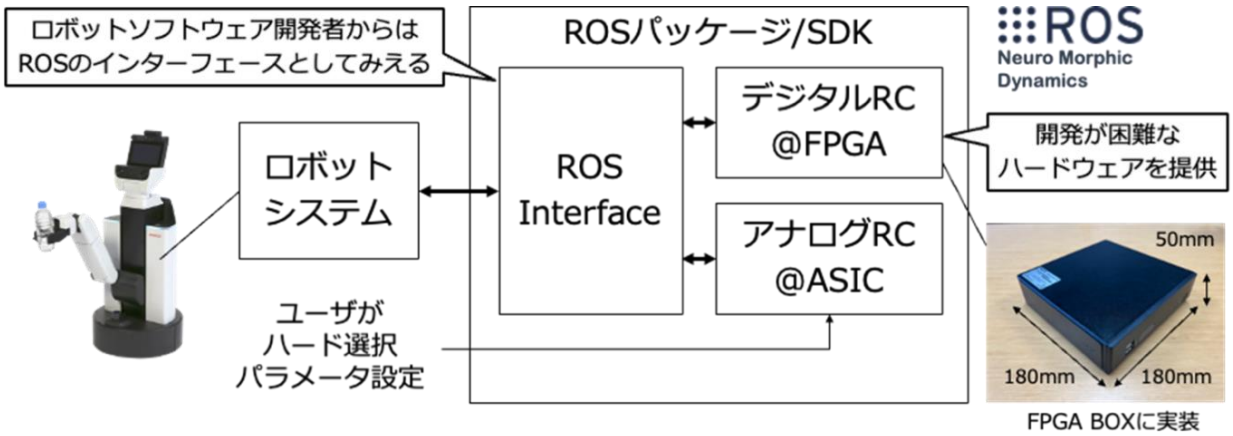
表2：提案するCBM-RCと他のレザバー実装の比較
図 9：FPGA 実装版デジタル CBM-RC のシステム化

• 実施項目7【脳型ハードウェアの産業応用に向けた基礎検討】（担当：日立製作所）

国内のインフラ設備は高度経済成長期やそれ以降に整備されたものが多いため，今後の 20 年間で，建設後 50 年以上を経過する設備が急速に増加すると見られている（*）．設備の老朽化にともない，様々な事故が発生するリスクが高まる．例えば，水道管に関しては，現時点においても，国内で年間数万件の水道管破裂や漏水事故がある．米国でも同様に，深刻な課題となっており，年間数十万件の水道管の事故がある．しかし，このようなインフラ設備の点検は従来，熟練者が行っているため，後継者不足，人手不足からその自動化が待たれる状況となっている．同様に，インフラ設備だけでなく，工場やプラントの設備の多くも老朽化が進んでおり，その保守管理は重要である．

	CBM-RC[1]	K. Honda et al. [2]	N. Huang et al. [3]	M. L. Alomar et al. [4]	M. L. Alomar et al. [5]	L. Loomis et al. [6]
Topology	All-to-all			Cyclic		
Size (Max. Size)	**100 (2,048)**	100 (100)	100 (300)	100 (300)	50 (50)	50 (50)
# of LUTs	**(44K)**	29K	7.4K	-	-	(0.4K)
# of LEs	**-**	-	-	(5.3K)	5.3K	-
Latency [us]	**(30)**	200	1200	2.0	-	-
Target device	**Virtex-UltraScale+**	Zynq-UltraScale+	-	Cyclone IV	Cyclone III	Spartan-6

[1] **I. Kawashima et al., 2021 International Conference on Field-Programmable Technology (ICFPT), 2021** ※括弧内の数値は計算値
[2] **K. Honda et al., Journal of Robotics, Networking and Artificial Life, 2020.**
[3] N. Huang et al., 2019 8th Mediterranean Conference on Embedded Computing (MECO), 2019
[4] M. L. Alomar et al., Neural Computing and Applications, 2020
[5] M. L. Alomar et al., Computational intelligence and neuroscience, 2016.
[6] L. Loomis et al., ACM Journal on Emerging Technologies in Computing Systems (JETC), 2018.



*国土交通省　社会資本の老朽化対策情報ポータルサイト
https://www.mlit.go.jp/sogoseisaku/maintenance/02research/02_01.html

本項目では，上記の状況を踏まえて，センサの時系列信号を容易に学習可能な AI 技術の以下の探索を行った．

➢ 実施項目 7-1【脳型集積回路に関する検討】

ESN 型レザバー計算機のデジタル集積回路による実装とアナログ集積回路による実装を検討し，前者に関しては搭載可能なニューロン数を，後者に関しては安定動作させるためのキー技術を示した．

- **実施項目 7-2【脳型 FPGA 実装に関する検討】**
  ESN 型レザバー計算機の FPGA 実装に関して検討した．FPGA としては，性能やコストを考慮して，Xilinx 社の Zynq UltraScale+ MPSoC ZCU102 を適用した．この FPGA にはプログラマブル論理部に加えて，CPU が搭載されている．プログラマブル論理部に ESN 型レザバー計算機の回路を実装し，CPU 上で動作するソフトウェアにより，駆動，制御，後処理等を行う形とした．FPGA の場合，LSI 実装と比べて利用可能なハードウェアリソースが限られるため，実施項目 7-1 よりも回路規模の削減が求められる．そこで，レザバー層のグループ構造化，ニューロン回路の近似実装．並列シリアル演算方式の３つの技術を導入して回路規模を削減するとともに，それぞれの有効性を確認した．
- **実施項目 7-3【ESN 型レザバー計算機の FPGA 実装設計及びソフトウェア開発】**
  実施項目 7-2 で提案した技術を用いて，Xilinx 社の FPGA Zynq UltraScale+ MPSoC ZCU102 への実装設計を行った．表 15 に仕様を示す．総ニューロン数は 256 個である．また，グループ数を 4 としたため，グループ内のニューロン数は 64 個である．グループ内のアンカーニューロン数は 2 個とした．また，ニューロンの活性化関数は，tanh 関数と 3 次近似関数の 2 通りで実装した．表現語長に関しては，大幅なマージンをとって 32 bit 固定小数点または 64bit 固定小数点としたが，表 13 の通り少なくとも小数部 20bit 程度までは縮減可能と考えられる．以上の仕様にもとづき，グループ構造化された ESN 型レザバー計算機を FPGA のプログラマブル論理部に実装した．また，レザバー計算機の駆動や制御，後処理等を行うため，FPGA 内の CPU 上で動作するソフトウェアも開発した．

以上の成果により，レザバー計算機のエッジデバイス実装と時系列推論タスクへの応用の見込みが得られたため，探索プログラムから下記の開発プロジェクトに移行した．

- **実施項目8【ニューロモルフィックダイナミクスのためのスピンレザバー計算機】（担当：産業技術総合研究所）**

本項目はスピンダイナミクスを用いたレザバー計算の計算能力の定量化およびその向上について理論と実験から検討した．ナノサイズ自励発振素子であるスピントルク発振素子をレザバーとして扱い，その非線形な磁化ダイナミクスを利用して演算を実行した．単一素子のサイズがナノメートルスケールであること，そのダイナミクスの時定数がナノ秒スケールであることを利用することで，大規模・高速・低消費電力を両立するレザバー計算機の実現を目指した．レザバー計算の計算性能やダイナミクスの解析では東京大学中嶋グループ（実施項目 2-2）と協力して研究を進めた．

- **実施項目 8-1【スピンレザバー計算の実験解析】**

ここでは，スピントルク発振素子を用いた物理レザバー計算について，実機を用いた研究を行った．レザバー計算のベンチマークタスクである短時間記憶タスクとパリティチェックタスクを行い，短時間記憶容量 C_{STM} とパリティチェック容量 C_{PC} をそれぞれのタスクから定量的に評価し，スピントルク発振素子のレザバー計算としての計算能力の定量化

を行った．短時間記憶容量はレザバーが過去に入力された情報をどれだけ記憶できているかを表す量であり，計算性能としての指標となる．具体的には，強制同期を利用した計算性能の向上，遅延フィードバック回路を用いた計算性能の向上，遅延ループ回路の検討，多段ネットワークの検討を実施した．

- **実施項目 8-2【スピンレザバーシミュレータの開発】**

ここでは，スピンダイナミクスを記述する Landau-Lifshitz-Gilbert （LLG)方程式を用いて，スピントルク発振素子を用いた物理レザバーのダイナミクスと計算性能について詳細に評価した．具体的には，エネルギー効率の検討，高次元スピンレザバーの検討を実施した．

- **実施項目 8-3【カオスを利用したスピンレザバー計算の性能向上】**

ここでは，スピントルク発振素子におけるカオスの実現，カオスを利用したスピンレザバー計算の性能向上を実施した．

- **実施項目 8-4【スピンレザバーのチップ化に向けた検討】**

上述の研究は物理レザバー計算として，スピントルク発振素子を基本素子として，その過渡応答への時間分割法の適用や結合系の形成などを通してレザバー層を形成した．本 NEDO 事業の計画当初はこれらのスピンレザバーの物理レザバー計算器としての計算性能だけでなく，それらのダイナミクスの性質も解明されておらず，探索研究としてそのポテンシャルを示すことを目的に研究を進めた．その結果として，強制同期を利用した演算性能の向上（実施項目 8-1），カオスの実現（実施項目 8-6），また，IPC を利用した詳細な演算性能の評価を行い，30 ノード程度の比較的低い計算性能であれば高い演算効率が得られることなどのスピンレザバーのポテンシャルを示すことに成功したと考えている．一方で，スピントルク発振素子の小型で高集積化が可能であるという利点を最大限に利用でき応用上最も期待していた結合系スピンレザバーのシミュレーション（実施項目 8-5）から課題も見えた．その課題は 100 Oe 以上の強い結合強度が必要ということである．この大きな

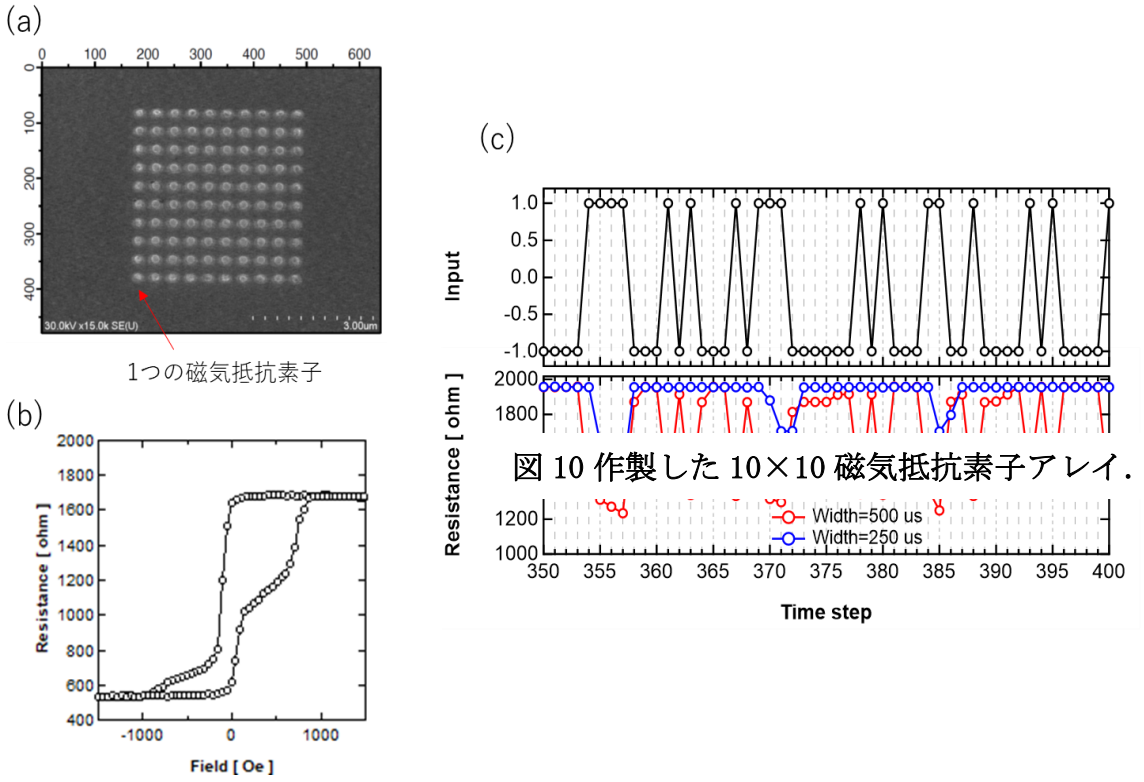


図 10 作製した 10×10 磁気抵抗素子アレイ．

磁界は現状のアンテナ配線やスピントルク発振素子の構造では，電気回路での増幅を必要とし，その消費電力として 100 mW 程度が必要になることを意味する．この大きな消費電力によってスピントルク発振素子の優位性である低消費電力が消失してしまう．つまり，現状の結合スピンレザバーでは，チップ化しても回路の消費電力が 100 mW 以上と非常に大きいものになることが予想された．これを受けて最終年度は，より省電力かつ大規模に展開可能なスピンレザバーの検討を進めることとした．具体的には，磁気ドットアレイの作製と評価を実施した．図 10 に，作製した 10×10 磁気抵抗素子アレイの走査電子顕微鏡像((a))，その磁気抵抗曲線((b))，アレイに入力した時系列データ((c)上)．入力によって得られた素子抵抗の時間発展((c)下)を示す．

- **実施項目9【レザバーを用いた前頭前野モデルの開発と応用】(担当：九州工業大学，再委託先：公立はこだて未来大学)**

本項目では，感覚情報を運動情報に変換する前頭前野の働きと非線形ダイナミクスの理論を結びつけることで，新たなニューロモルフィックコンピューティングでの動作に適した情報処理機構を探索・提案した．

- **実施項目 9-4【CBM のレザバーを用いた前頭前野モデルの実装】**

効率的なレザバーハードウェアの実現が見込まれる CBM レザバーに，上述の前頭前野モデルを実装しその評価を進めた．連続空間上の移動ロボットタスクにおいて，レザバー強化学習モデルを CBM に実装し，その基本的な動作の確認を行うことができた（図 11）．今後の研究開発では，その他の感覚情報処理・統合情報処理の前頭前野モデルを CBM レザバーに実装し，ロボット制御を含む様々なアプリケーションでの活用が見込まれる．

本研究項目では，前頭前野モデルとして，レザバー計算を基盤とする予測符号化と強化学習による感覚運動処理のモデルを考案した．音声・画像また基礎的な強化学習タスクにより，モデルの検証を行い，基本的な動作を確認することができた．また一部のネットワークモデルについては，CBM レザバーへ実装し，その動作確認も実施した．今後の研究

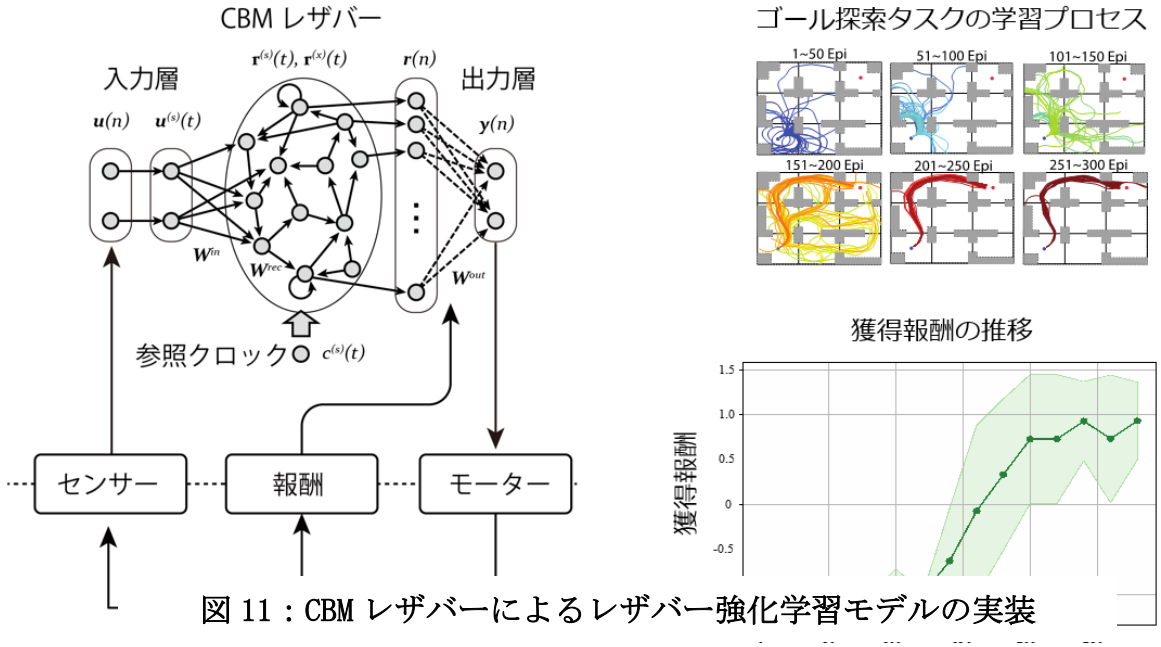


図 11：CBM レザバーによるレザバー強化学習モデルの実装

開発では，提案手法の拡張性や汎用性をさらに検証し，多様なタスクや環境に対応できるように改善を行っていく予定である．また，より高度な知能や意思決定プロセスを取り入れることで，本研究の成果をさらに発展させることが目指される．

- **実施項目10【SONOS素子を用いたレザバーチップの設計】（担当：九州工業大学，再委託先：（株）フローディア）**

● 本項目では，超高効率レザバー計算チップの設計と評価を行った．処理モデルとして，時間領域で情報処理を実行するため集積回路化に適し，豊富なダイナミクスを有するカオスボルツマンマシン（CBM）を採用し，それをレザバーとして実装した．シナプス結合荷重のメモリとして用いるSONOS型フラッシュメモリ素子はすでに実用化されており，（株）フローディアにおいて多値記憶機能も実証されている．実施項目6で研究中の強誘電ゲートアナログメモリ素子の評価結果を利用して，シナプス回路と演算方式を決定した．具体的には，超高効率レザバーチップの設計，CiMテストチップの評価環境の構築と動作性能予測，レザバーチップの評価環境構築に向けた基礎検討と仕様検討，書込みシーケンスの最適解探索，読出し動作安定化に向けた検討を実施した．

成果と意義

生体・物理レザバーの各種実現方式の探索において，実施項目 3 では，脳のレザバー仮説検証，集積可能なレザバー回路，脳に埋め込み可能なレザバーデバイスの開拓，レザバーデバイスと神経のインターフェース開拓，開発した回路・神経インターフェースの実評価を実施し，レザバー（脳）の機能向上の可能性を評価した．また，実施項目 8 では，スピンダイナミクスを用いたレザバー計算の計算能力の定量化およびその向上について理論と実験から検討した．実施項目 6 において，現在の最先端デジタル方式 AI プロセッサにおける積和演算の電力効率に比して，100 倍の性能を有するニューロモルフィックハードウェア実現の鍵となる新規アナログメモリ素子の実用化可能性を調査し，結果として，SONOS フラッシュメモリ素子をアナログメモリ素子として実用化に用いることとし，実施項目 10 と連携して，超高効率レザバーチップを設計し，その実用化を進めた．また，得られた研究成果は，毎年開催されるロボカップ@ホーム競技会で，サービスロボットに搭載して実証した．さらに，実施項目 1-3 と連携した認識タスク達成のためのブレインとして，レザバーの効用を広めるために，デジタル方式チップ開発も進めることとし，すでに開発済みのデジタルCBMアーキテクチャをベースに， CBMレザバーをFPGAで設計し，システム化・ROS 化することを目指す項目 6-6 を設け，事業化に向けた検証の幅を広めた．その際，実施項目 9 と連携して，CBM のレザバーを用いた前頭前野モデルの実装に努めた．実施項目 7 では，センサの時系列信号を容易に学習可能な AI 技術の探索を行い，脳型集積回路および脳型 FPGA 実装を検討した．さらに，ESN 型レザバー計算機の FPGA 実装設計ならびにソフトウェア開発を実施し，動作検証した．なお，実施項目 1 の一部（ソフトロボティクス），実施項目6,7,9,10は2021年度中にほぼ目標を達成したので，2022年度より開発プログラム「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発／ニューロモルフィックダイナミク

スに基づく超低電力エッジ AI チップの研究開発とその応用展開」にステージアップし，同年度中は，本探索プロブラムと協調しながら，研究開発を進めた.

成果の普及

本項目はメインの探索プログラムのなかで，実際のチップデバイス開発を担っており，日常生活支援ロボットへの応用により，実証実験を通じて，他のタスクやロボットへの波及を目指している．また，産業応用として各種インフラ点検における異常検知への応用に向けて，開発成果を適用しつつあり，他のインフラ点検応用への波及効果が期待される．生体レザバー，スピンレザバーに関しては，基礎的な実験研究が残されており，成果普及に向けての展開にはやや遠い.

C) 研究開発テーマ「神経・身体統合系ダイナミクス」

概要

開発したレザバーチップデバイスの検証実験として，数値的なパフォーマンスではなく，実際の応用に組み込んで，トータルパフォーマンスで評価すべきであり，そのためのロボットの身体部の設計・開発が本項目の内容である．最初に，ソフトロボットプラットフォームの構築とその応用例である把持物体の識別実験が挙げられる．また，物理的身体をレザバー計算の資源として扱う物理レザバーの基礎理論の確立及び実証実験，さらに，確率的スパイキングニューラルネットワークを身体系（空気圧人工筋の身体）に結合した場合の特性・機能の探索的調査を実施し，可能性を明らかにした．なお，ソフトロボティクスグループは，2021 年度中にほぼ目標を達成したので，チップデバイスグループの一部と一緒に 2022 年度より開発プログラムにステージアップし，同年度中は，本探索プログラムと協調しながら，研究開発を進めた.

最終目標と根拠

- 実施項目 1：ソフトロボットプラットフォームの構築とその応用例である把持物体の識別実験を実施項目 6 と協働して実施し，検証すること（レザバーチップの効用を明確化するうえで必要である.）.
- 実施項目 2：柔軟アクチュエータを物理レザバーとして活用し，open-loop 系で通常の ESN よりも計算能力が引き出せることの検証，及び確率的スパイキングニューラルネットワークが身体系と結合した場合に全体としてどのような特性・機能を生成しうるのかの探索的調査（本探索プログラムにおいて多様な身体と神経系の関係を明確にする上で必要である.）
- 実施項目 6：実施項目 1 と協働して，日常生活支援ロボットへの応用としての柔軟物識別実験をロボカップ@ホームの競技会にて検証すること（人材育成と開発したチップデバイスがシステム全体として稼働するかの検証を公開の場で行うことでのプロモーションのために必要である.）.

目標の達成度

- **実施項目1【ニューロモルフィックダイナミクスの確立】（担当：大阪大学）**
  - **実施項目 1-3【ソフトロボティクスにおけるニューロモルフィックダイナミクス構造と機能の顕在化】**

本項目では，構築したソフトロボットプラットフォームとその応用例である把持物体の識別実験，把持力の推定手法について概要を述べる．

家庭用ロボットなどで応用することを想定し，物体把持と把持物体の識別が可能なソフトロボットプラットフォームとして，ソフトセンサを内蔵する 2 指対向型のソフトグリッパを試作した（図 12）．グリッパに埋め込むソフトセンサの数を少数としながらも，得られた複雑な時系列センサ情報とレザバーコンピューティングを組み合わせることで，高精度な物体識別を実現した．今回は形状が類似している身の回りの物体 11 個を把持対象物体とした（図 13）．実験では，グリッパが物体を連続して 3 回把持する過程の時系列センサ情報を取得する．この連続把持動作を，物体毎に 30 回行い，そのうち 10 回を訓練データ，20 回をテストデータとした．また，センサ値測定のサンプリング周波数は 200 Hz である．これらのデータを用いて，ESN で時系列情報の分類を試みた．目標出力を，11 個のクラスラベルを one-hot ベクトルとして表現し，各テストデータに対するモデル出力のうち，最大値をとる回数が最も多かった出力ノードのラベルを予測ラベルとして，目標出力のラベル（正解ラベル）と一致するかを調べた．

得られた時系列情報を ESN で識別した結果を示す．図 14 は，識別結果を混同行列としてヒートマップ表示したものである．縦軸は正解ラベル，横軸は予測ラベルである．行列の対角要素は，正しく分類できている場合に対応する．全体の正解率は 95.5%であり，少数のセンサ情報から類似する形状，硬さを持つ物体に対して高い識別性能を実現できることが分かった．

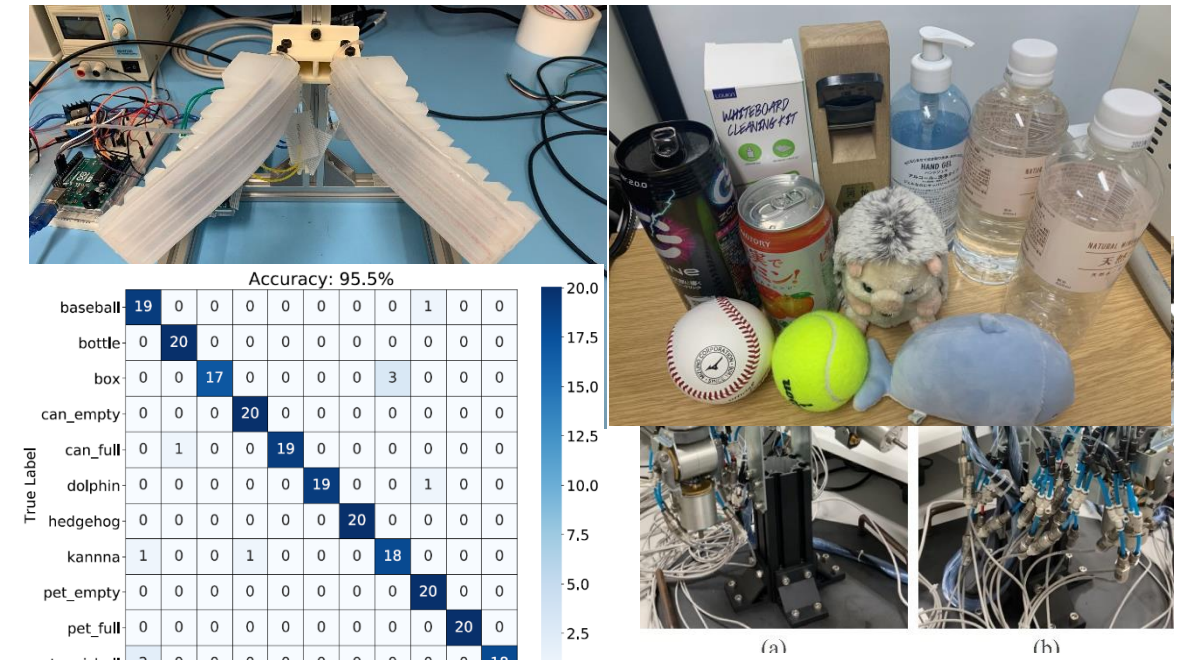


図 15 開発した上半身ロボットの前面(a)と背面(b)

➢ **実施項目 1-4【脳神経系と身体のニューロモルフィック結合】**

既存の制御理論では扱うことが困難であった，顕著な時間遅れのある複雑な非線形性を有するものの，機敏性や適応性の点で運動の潜在性能が高いロボットに対して，実施項目 1-1 や実施項目 1-2 で提案されたニューロモルフィックな複雑時系列生成・学習器を結合し，ロボットの潜在性能が発揮されるかを調べられるようにするため，結合テストベッドとなるプラットフォームロボットを開発した．図 15 がその前面および背面の外観である．動作軸は，胸椎部に回転 1 軸と，左右それぞれの腕部に回転 6 軸の合計 13 軸である．可動範囲は概ね 90° 程度であるため，広い手先可動範囲が実現される．

- **実施項目2【脳と身体のニューロダイナミクス】（担当：大阪大学，再委託先：東京大学）**

➢ **実施項目 2-2【物理身体系ダイナミクスの特性・機能の調査・探索（中嶋）】**

柔軟アクチュエータを物理レザバーとして活用し，open-loop 系で通常の ESN よりも計算能力が引き出せることを明らかにした．具体的には，1）レザバー計算を用いた間接センシング，2）人工筋肉を用いた物理レザバー計算，3）カオスを含めた複雑なダイナミクスの活用法を提案した．1）では，マッキベン型の空気圧人工筋肉に着目し，圧力値（また，場合によってはゴムの抵抗値）を入力として，長さの実時間推定を行った．一般に，ゴム材料はヒステリシスを持つため，現在の圧力値のみから長さを推定するのは難しいタスクとなる．間接センシングの実装は，ソフトロボットから硬いセンサデバイス（ここでは，長さを直接測るレーザ変位計など）を取り外すことを可能となるため，身体のフレキシビリティを維持するのにきわめて重要である．

2)では，マッキベン型の空気圧人工筋肉を用いて，物理レザバー計算を実装することに成功した（図 16）．具体的には，間接センシングによる長さ推定タスクを実装し，計算機で実装したリカレントニューラルネットワークよりも精度よくタスクを実装可能であることが実証された．

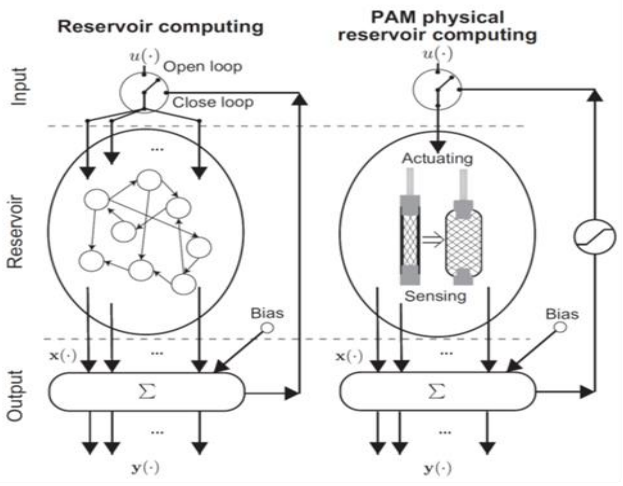


図 16：マッキベン型の空気圧人工筋肉のダイナミクス（圧力値，抵抗値，負荷の変動）をレザバーとして活用したシステムを考案

物理身体系が生み出すダイナミクスは，カオスなどの複雑な挙動を示す大自由度非線形力学系である．3)では，そういった複雑なダイナミクスをレザバー計算のための計算資源

として活用するフレームワークの開発を行った．一つは，innate training をベースにしたもので，様々なパターンの設計を可能とする手法である．もう一つは，こういった物理レザバーが複数結合した系において，新たな学習法を提案した．

➢ **実施項目 2-3【神経・身体統合系ダイナミクスの特性・機能の調査・探索（國吉）】**

生体神経の持つ確率的スパイク生成ダイナミクスに着目し，確率的スパイキングニューラルネットワークが身体系と結合した場合に全体としてどのような特性・機能を生成しうるのか探索的調査を行った．まず，皮質マイクロサーキットなどでよくみられるランダム結合を持つスパイキングニューロンネットワークに着目し，これを有限サイズの平均場近似する事でえられる stochastically-spiking neural ensemble (sSNE)に着目した．この sSNE をシミュレータ上で構築された二脚歩行型の筋骨格システムに適応した．sSNE を用いてアクチュエータを駆動する事により，系を安定に駆動できる制御パラメータのロバスト性が大幅に向上する事を確認した．さらに，コントローラに対する一般性を確認するために，soft actor-critic による強化学習で計算した運動指令を sSNE によって変換しシミュレーション上の多自由度ロボットを駆動し，床面の摩擦係数変化などの環境変化下での運動指令を時間方向に二乗平均して計算される運動コストを調べたところ，最大で 68 % 前後運動コストを削減できる事が明らかになった．

さらに，これらの知見を踏まえ，sSNE で実機筋骨格ロボットを駆動する実験を行った．具体的には，McKibben 型の空気圧人工筋肉を用いて，100 Hz での動作が可能な流量比例制御弁を用い，フィードバック制御によって膝関節を周期的に駆動する制御を行った．安定化範囲可能な制御パラメータの拡大と適応性が sSNE によって実現されている事を確認した(図 17)．

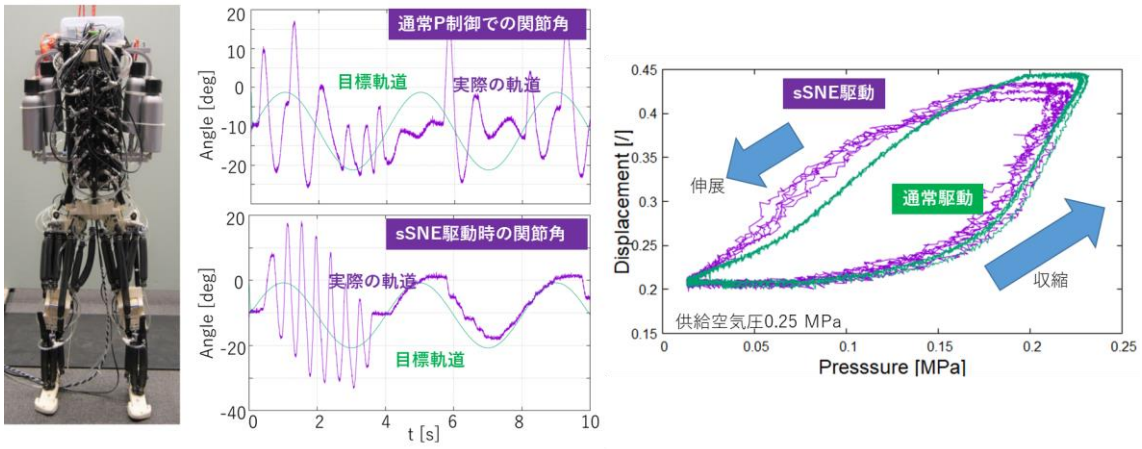


図 17：空気圧人工筋肉型の実機ロボットと，通常制御・sSNE を用いた制御の比較

- **実施項目6【ニューロモルフィックハードウェアのためのアナログメモリ技術とその実装・応用】(担当：九州工業大学・産業技術総合研究所)**
  - **実施項目 6-5【アナログメモリ素子を応用した脳型処理モデル開発】**

アナログメモリ素子を効果的に適用できる脳型処理モデルを考案した．その機能実証のためにアナログ集積回路だけでなく，デジタル集積回路でのエミュレーション確認も行った．サービスロボットへの適用をひとつの目標とし，プロトタイプ実証の場としてロボ

カップ@ホーム競技会を利用して，毎年成果を示した．2020 年度からは，非線形特性と 2 値入出力を有することから高効率レザバー計算が期待できる CBM を利用したモデルと集積回路化の開発を進めた．CMOS/SRAM を用いて，アナログ CBM レザバーチップを設計・試作し，それを用いた認識システムを実施項目 1-3 と共同で開発し，プロトタイプを製作した．

試作したアナログ CBM レザバーチップを評価するために，ロボカップ@ホームロボットへ試作チップを搭載した．実施項目 1-3 ソフトロボティクスのメンバーらと連携して開発した柔軟触覚センサを用いて，ロボットハンドから得られた時系列情報を活用することで把持物体をレザバーチップで分類するロボットシステムを構築した．全体像を図 18 に示す．柔軟触覚センサから得られるセンサデータは ROS 通信でインタフェースボードにて受信，アナログレザバーチップへ転送され，チップ内で認識処理を実現，認識結果のみをロボットへ転送する．これらにより，把持物体の認識結果に応じて次の行動を選択するロボットシステムを構築した．

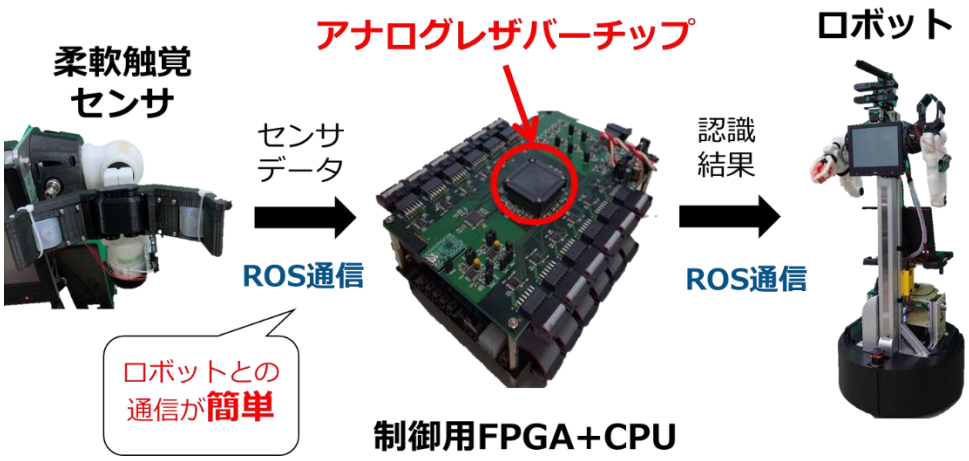


図18：アナログレザバーチップを搭載したロボットシステムの全体像

構築したロボットシステムを用いて RoboCup 2021 Worldwide にてデモ発表を行い，ロボカップの研究成果に対する最高の賞である Best Open Challenge Award を受賞した．本成果により，ソフトロボティクス，レザバー，アナログチップ，@ホームロボットを融合したニューロモルフィックダイナミクスのポテンシャルを示すことができた．なお，ロボカップ競技会では，海馬・扁桃体・前頭前野の機能を統合した脳型処理モデルを用いて，@ホームで優秀な成績を 4 年間修めている．

レザバー計算の性能を向上させるための拡張モデル（マルチリードアウトレザバー計算）を考案し，このモデルをロボットのタスクに適用させた．その例を図 19 に示す．ここでは，柔軟触覚センサを搭載したロボットハンドで物体を把持し，その時に得られたセンサの情報から物体を識別するタスクを実施した．通常のレザバー計算（ESN）を用いた場合，正解率は 55.4%であったが，マルチリードアウトレザバー計算を用いた場合，正解率 68.6%を達成し，既存技術から 13.2 ポイント性能が改善したことを示した．

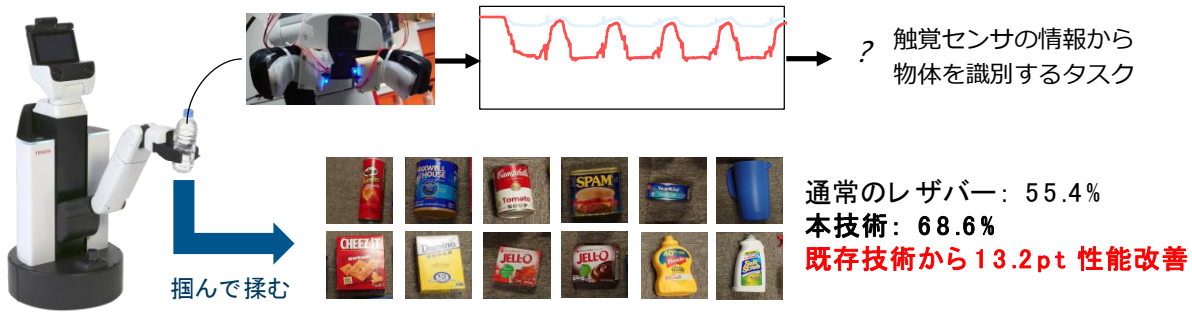


図19：マルチリードアウトレザバーの適用例

成果と意義

本探索プログラムは，開発したレザバーチップデバイスのパフォーマンスを単なる数値的なデータで評価するのではなく，実際の応用に即したトータルパフォーマンスの観点から実装・評価することを狙っており，本項目では，その応用としてのロボット身体として，従前の硬いロボットではなく，ソフトセンサ，ソフトアクチュエータを有する柔らかい身体のソフトロボットの開発とその実証実験をメインとした．日常生活支援ロボットのタスクにおける物体識別および把持タスクにおいて，視覚のみでは困難であった柔軟物識別において，柔軟触覚センサからの多様な情報をレザバーにより処理し，その有効性を身体とレザバー計算をあわせた形で評価できたことの意義は大きい．また，スパイキングニューロンのポテンシャルを明らかにし，空気圧アクチュエータロボットに適用した基礎実験も終えており，レザバー計算への応用の可能性が期待される．

成果の普及

日常生活支援ロボットへの応用は，ロボカップ@ホーム競技会を通じて，国際的にも成果普及の場として適しており，探索プログラムから派生した開発プログラムでも引き継がれており，内外の参加チームを味方につけることにより，一つは，ユーザとして利用範囲の拡大，もう一つは新たな応用の提案がなされることが期待され，多様な普及の形態が見られることが期待される．

2. 実用化・事業化に向けての見通し及び取り組みについて

4.6.1.1 テーマにおける実用化・事業化の見通し

概要

国内外のインフラ設備や産業設備の老朽化と労働人口不足を受け，これらの設備の状態を自動でモニタリングする技術が求められている．そこで日立製作所は，本探索プログラムの成果をもとに開発されるレザバー計算機を用いた設備の状態検知システムを開発し，

地上や地下の様々なインフラ設備や産業用設備の状態検知を行い，これらの自動保守管理を実現することをねらう.

2022年度より本探索プログラムの成果をもとに開発プロジェクト「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発／ニューロモルフィックダイナミクスに基づく超低電力エッジ AI チップの研究開発とその応用展開」に移行し，株式会社日立情報通信エンジニアリングと連携して事業化をめざしている.

実用化・事業化への課題と対応策

課題①： 設備状態検知のアプリケーション開拓，及び課題抽出
対応策： プロトタイプの試作評価，社外発表を行い，課題や社内外の要望を抽出
課題②： 事業戦略(ソリューション，プロダクト，エンジニアリング)の構築
対応策： 日立情報通信エンジニアリングや社内事業部と連携して推進
課題③： ハードウェアの安定供給体制，品質保証体制の確立
対応策： 日立情報通信エンジニアリング，社内事業部，社外と共同で体制を構築
課題④： ソフトウェア(SDK 及びアプリケーションソフト)の開発
対応策： 日立情報通信エンジニアリングと共同で開発

実用化・事業化の体制

2022年度より上記の開発プロジェクトにて日立情報通信エンジニアリングと連携開始. 本探索プログラム及び開発プロジェクトの成果をもとに事業部とも連携体制を構築予定. また上記開発プロジェクトに参加する他機関とも連携予定.

市場規模と経済効果

インフラモニタリングの世界市場は年率 18%で成長しており，2030 年には 1 兆円を超えると予想される．日立製作所はインフラ設備やその他の産業設備の自動保守管理事業を中心に，国内とグローバルの双方で事業展開をねらう.

国内のインフラ設備は高度経済成長期やそれ以降に整備されたものが多いため，今後の20年間で建設後50年以上を経過する設備が急速に増加すると見られている(*)．設備の老朽化にともない，様々な事故が発生するリスクが高まる．例えば水道管に関しては，現時点においても国内で年間数万件の水道管破裂や漏水事故がある．米国でも同様に深刻な課題となっており，年間数十万件の水道管の事故がある．しかし，このようなインフラ設備の点検は従来熟練者が行っているため，後継者不足，人手不足からその自動化が待たれる状況となっている．同様にインフラ設備だけでなく工場やプラントの設備の多くも老朽化が進んでおり，これらの保守管理は経済活動の維持や発展の点で重要である.

*国土交通省　社会資本の老朽化対策情報ポータルサイト
https://www.mlit.go.jp/sogoseisaku/maintenance/02research/02_01.html

ベンチマーク

日立製作所は，レザバー計算機の中でも汎用性の高い ESN（Echo State Network）型レザバー計算機を開発している．FPGA で実装された他の ESN 型レザバー計算機との比較を下表に示す．University of Balearic Islands のレザバー計算機は，サイクリック構造やバイナリ重みなど構造の簡素化を適用している．そのため，高速かつ低消費電力動作を実現しているが，用途はある程度限定されると考えられる．これに対して日立のレザバー計算機は構造の大幅な簡略化は行っていないため，ESN 型レザバー計算機の高い汎用性を維持している．さらに日立製作所と日立情報通信エンジニアリングは，上記開発プロジェクトで 1000 ニューロン搭載の ESN 型レザバー計算機の開発をめざしており，これによりさらに汎用性を高め，幅広い設備の様々な状態検知に適用することをねらっている．

表 3．ESN 型レザバー計算機の比較(FPGA 実装)

	日立製作所	University of Balearic Islands
ニューロン数	256	200
実効速度[kHz]	17	250
消費電力[W]	4.3	< 1.5
構造	分割レザバー構造 多ビット重み	サイクリック構造 バイナリ重み
汎用性	高	用途限定
時期	2021年	2020年

事業化までのマイルストーン

本探索プログラムによるフィージビリティ検討完了(2022/3)
開発プロジェクトによる技術構築完了(2028/3)
ハードウェア，ソフトウェアの供給，品証，サポート体制の構築(2030/3)
事業化承認(2030/4 目標)

3. NEDO 担当者の所見

本研究テーマは、レザバーチップデバイス開発関連がスピンアウトし、新たな NEDO 事業の研究開発枠として 2022 年度からスタートしている。探索型研究枠として実施した研究の中では成功した研究テーマとなっている。

事業終了後に実施した事業者へのヒアリング結果は以下のとおり。

Ⅰ．研究成果について

全体の成果としてはニューロモルフィックダイナミクス理論を提唱できた点が大きいと考えている。本プロジェクトで最も成果を出した研究開発として SONOS フラッシュメモリ素子をアナログ素子として実用化したアナログレザバーチップを開発し、センサー

ロボット間のデータ処理の高速化に貢献した点にあると考える。アナログレザバーチップ搭載の把持ロボットにより既存技術から 14POINT ほど正解率の向上を確認できた。

Ⅱ．研究の継続性について

JST の CREST の津田氏と議論を重ね、開発枠に応用可能なものに逐次機会を伺っている。また、今年度の試作チップ評価次第であるが TDK（あるいは TDK のインキュベーション）と連携を図っている。スパイクニューロンに関しては継続研究を進めており、それなりの成果も上げている。

Ⅲ．NEDO 事業について

ニューロモルフィックの理論化に関して、横断的な連携を可能としたこと、また若手を巻き込み活発な議論ができたと考えている。コロナの影響で一部実験に遅れは出たが、テレワーク活用により議論できる機会が大幅に増加し成果に大きく寄与した。

Ⅳ．その他

国際特許取得の点で国内特許取得と比較して労力・コスト面で大学にとってはハードルが高いと考えている。国際特許化に予算に見合った成果がでているか等、企業視点で特許化の判断と支援する制度があるといいと感じている。

本研究が成果を上げることが出来たポイントは、コロナ禍での事業者間の情報連携にあると考える。コロナにより、対面での会議が制限される中で、本研究グループはオンライン会議を多用することで連携の強化を図った。コロナ前の 2018 年度 3 回、2019 年度 7 回の対面会議をコロナ後には 2020 年度 44 回、2021 年度 32 回、2022 年度 30 回のオンライン会議を開催。会議数を大幅に増やすことで、オンライン会議で不足する情報の連携を補い、逆に強化することが出来た。

本研究は、「ニューロモルフィックダイナミクス」を脳科学や機械学習、集積回路技術など多岐に渡る領域を対象に研究開発を実施した。このことも探索型の研究として良いポイントとなった。その結果、研究の一部を研究開発枠として次の NEDO 事業に移行することが出来た。その他の研究についても CREST 等で研究が継続されている。

一方、本研究の残念な点として「ロボカップ競技会での成果アピール」があげられる。国内でのロボカップ自体の知名度の低さもあり、社会的なアピールとしてはほぼ無い。研究成果の実証実験場としても、競技会での順位がアピールされるだけで、既存技術に対する優位点や、前年度結果に対する研究の進捗による改善点などが明確にならなかった。

4.7.　ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発

4.7.1. 研究開発成果について

本研究開発項目では、「ポート数 1000 以上、伝送速度 1Tbps 以上を実現する新たな光スイッチと電気スイッチを組み合わせた光電ハイブリッドスイッチを用いた高速低電力データ伝送システムを開発する」という目標に対し、システムを構成する各要素技術として光電ハイブリッドスイッチシステム制御技術、アルゴリズム、ならびにそのシステム実現に不可欠なデバイスである光波長送受信器、バースト多値プロセッサ、光コアスイッチの技術を確立した。さらに実証実験を通じてその実現可能性の確認に成功した。

本研究開発の光電ハイブリッドスイッチシステムは、事業開始時点の電気スイッチのみを用いるスイッチングシステムに比べて、光スイッチと電気スイッチを組み合わせることで、同等の機能を保持したまま、将来のデータセンタの電力効率を 100 倍以上に改善するものである(図 1)。すなわち、スイッチシステムとしてのスループットは 50 倍に、消費電力は光スイッチを導入することで電気スイッチが本来消費するはずであった電力を約 15%まで低減可能であり、そもそも電力が小さい光スイッチの消費電力が付加されたとしても、全体で 1/2 まで低減可能である。上述のように、革新的なスイッチングアーキテクチャである光電ハイブリッドスイッチシステムの機能、すなわちその有効性の検証を通じて、データセンタの電力効率を 100 倍以上への改善が実証できる。

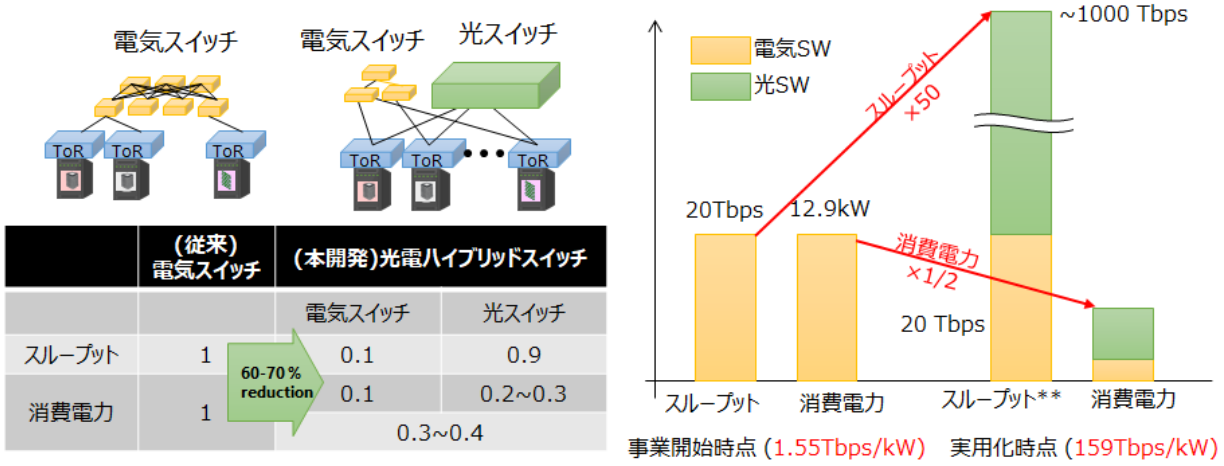


図 1　本プロジェクトの光電ハイブリッドスイッチシステムによる電力効率改善効果

以降に本研究開発項目における研究開発テーマの個別テーマごとの、研究開発成果について述べる。

1-1. 光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証
1-2. 光電ハイブリッドスイッチ制御アルゴリズム
1-3. 光スイッチネットワークアーキテクチャの最適化
1-4. 光波長送受信器

1-5. バースト多値プロセッサ
1-6. 光コアスイッチ
1-7. 国際標準化

4.7.1.1　研究開発テーマ「光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証」

(1)　概要

「光電ハイブリッドスイッチ制御技術」の開発では、今回開発する光コアスイッチと電気コアスイッチのハイブリッド構成を基本とした本システムにおいて、伝送トラフィックをそのフロー長に応じて光コアスイッチと電気コアスイッチに振り分ける制御方式の研究開発を行った。その概要を以下に示す。

- OpenFlow 機能と制御プロトコルとして EtherCAT を用いたネットワークコントローラを開発し、光コアスイッチ、光 ToR スイッチ、および IP パケットを送出するサーバ等の連携制御手法を開発
- 上記コントローラを用いて、電気コアスイッチと光コアスイッチへ IP パケットを振り分ける際に、IP パケット損失をゼロとする制御シーケンスを開発
- 上記パケット損失ゼロを実現するため、課題であった伝送経路切り替え時に発生する Ethernet Switch のリンクダウンに対し、光伝送経路が切替わった際に発生する光断時も Ethernet Switch のリンクアップ状態を維持する回路を開発

「光電ハイブリッドスイッチシステム実証」においては、各研究項目で開発を行った光コアスイッチ、光波長送受信器、バースト多値プロセッサ、さらには Ethenet Switch、サーバ等の装置を集約して実証システムを構築し、機能実証と性能評価を行った。その結果の概要を以下に示す。

- IP パケットを電気経路と光経路へと振り分けを行う際にも、サーバ間で送受信される IP パケットの損失をゼロにできることを実証。
- リアルタイム性が重視される 8K および 4K 非圧縮映像信号を用いて、光コアスイッチの高速経路切り換え機能、光波長送受信器の光バースト受信機能および経路振り分け機能を実証
- 光伝送速度 400Gbps の DP-16QAM 信号を用いてバースト多値プロセッサのバースト受信機能を確認

(2)　最終目標と根拠

「光電ハイブリッドスイッチ制御技術」の研究開発においては、研究開発テーマ 1.2「光電ハイブリッドスイッチ制御アルゴリズム」の研究開発で検討するコントロールアルゴリズムが動作するために必要なスイッチングハードウェアとなる「コントローラ」と、制御インタフェース方式を開発する。また、「光電ハイブリッドスイッチシステム実証」の開発で実施する連携制御実験の結果を踏まえてコントローラ制御のシーケンスなどの改良を行い、光電ハイブリッドスイッチ制御技術を確立することを最終目標とする。

「光電ハイブリッドスイッチシステム実証」の研究開発では、光電ハイブリッドスイッチシステムを実際に試作し、フロー振分け機能などの実証を行い、システム性能と電力削減効果がその目標値を達成可能であることを確認することを最終目標とする。

具体的な検証項目は以下のとおりである。

① 1Tbps、1000 ポートまでの拡張性を実現する仕様および設計

② 光 Top of Rack (ToR)スイッチ、光コアスイッチ、コントローラの試作、これらを統合した実証システム実現性
③ 光コアスイッチ、電気コアスイッチへのフロー振分け機能
④ 動作速度、光信号の送受信性能などのシステム性能達成度
⑤ 電力削減効果

また、システムとしての実現性能および課題を明確化するには、実証システムにおいて、個々の開発装置を連携して制御し、装置単体性能では見えない、他装置からの影響や電気スイッチ等の既存装置が開発システムに及ぼす影響等、総合的な真の性能が明らかになるものと考えられ、システムでの検証を最終目標に設定した。

本最終目標は総合的なシステム実現の観点で適切であり、本研究を進める中で内容の見直しは行っていない。

(3) 目標の達成度

実証システムは、1000 ポートへの拡張性と従来の電気スイッチと比較して大きな電力削減効果を持つ光コアスイッチ、伝送速度を 1Tbps まで拡張可能な多値変復調方式を採用しまたバースト受信が可能な光波長送受信器、さらにはクライアント信号として 100GbE を用いた Ethenet Switch、サーバ等から構成され、システム実証ではそれらを開発したネットワークコントローラと制御シーケンスを用いて連携制御した。その結果、IP パケットを電気スイッチと光コアスイッチに振り分ける際に、パケット損失のない伝送経路切り替えを実現した。IP パケットに対する経路切り換え時間は光 ToR の構成要素である Ethernet Switch と同等の切り替え時間を達成し、その結果から光電ハイブリッドスイッチ制御技術の確立と本システムの機能実証の目的を達成した。

(4) 成果と意義

「光電ハイブリッドスイッチ制御技術」の研究開発では、光電ハイブリッドスイッチシステムの制御を行う「システムコントローラ」および制御インタフェース方式を開発した。最初に、光電ハイブリッドスイッチシステムの構成例を図 1.1.4.1 に示す。

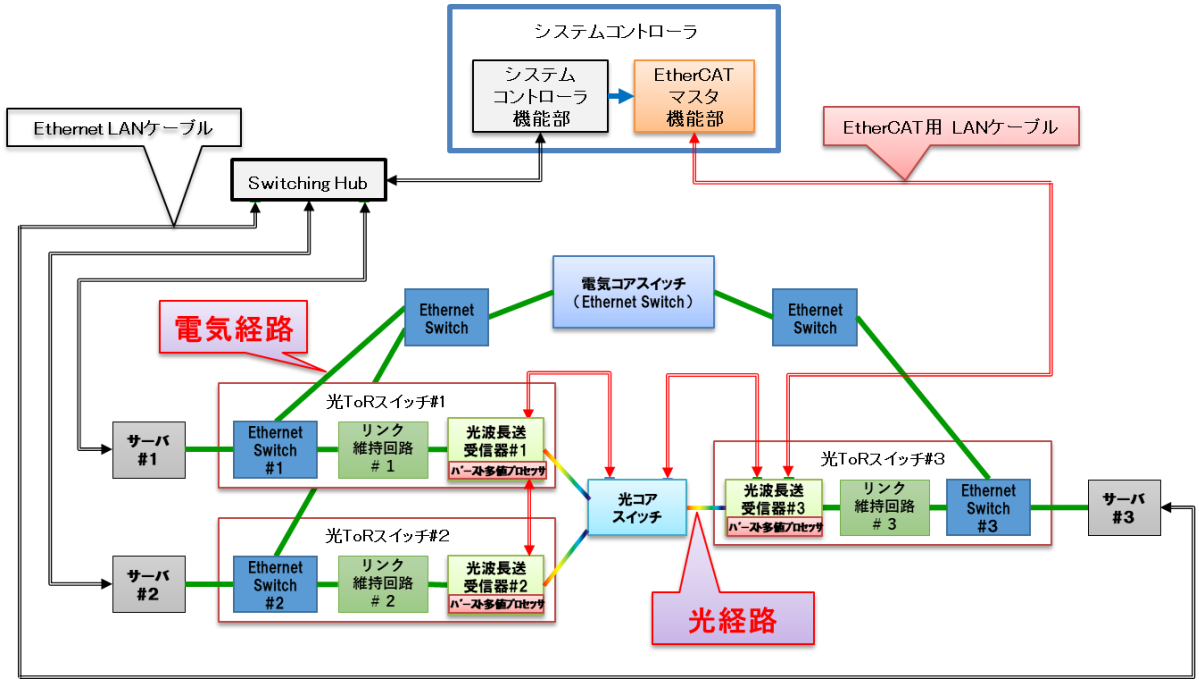


図 1.1.4.1　光電ハイブリッドスイッチシステム構成例

本システムは、例えばサーバ#1 とサーバ#2 との間で IP パケットを送受信する場合、２台以上の Ethernet Switch が縦続接続された “電気経路”と、光コアスイッチを介して２台の Ethernet Switch が接続された “光経路”の２つの伝送経路を有している。ここで、光 ToR スイッチ内に配置された波長送受信器には波長可変光源とバースト多値プロセッサが搭載されている。また、リンク維持回路とは、光コアスイッチの切り替え等によって光波長送受信器への光が断となった場合においても Ethernet Switch 接続ポートのリンクアップを常に維持するための回路であり、本研究を進める中で新たに開発したものである。次に本システムの制御を行う「システムコントローラ（以下、コントローラ）」および制御インタフェース方式の仕様、方式を以下に示す。

① コントローラは、システムコントローラ機能部と EtherCAT マスタ機能部とから構成される。

② システムコントローラ機能部は、光コアスイッチの経路設定および光波長送受信器の波長設定内容を定め、EtherCAT マスタ機能部へ送信する。また、サーバ等に対して、送信する IP パケットの Type of Service(TOS)値の設定指示を行うとともに、IP パケットの送信、停止の指示を行う。

③ EtherCAT マスタ機能部は制御プロトコルとして EtherCAT を用い、EtherCAT スレーブインタフェース機能を有する光コアスイッチおよび光波長送受信器に対して、経路設定および波長切り替え制御を行う。

④ EtherCAT コマンド発出と IP パケット送受開始/停止コマンド発出の順序および発出待機時間の設定はシステムコントローラ機能部にて定める。

さらに本研究では、光 ToR スイッチに用いられる Ethernet Switch が有する OpenFlow 機能を用いて Ethernet Switch に入力する IP パケットの TOS の値に対する出力ポートを OpenFlow table であらかじめ定めておくこととした。こうすることで、システムコント

ローラよりサーバの送信する IP パケットの TOS 値を定めれば、送出される IP パケットは TOS 値に応じて Ethernet Switch によって電気経路あるいは光経路へ自動で振り分けられることとなる。

以上述べたコントローラと OpenFlow 機能を用いて電気経路から光経路への IP パケットの切り替え（オフロード）を行う場合の制御シーケースは以下のようになる。

① 光 ToR スイッチ内の各 Ethernet Switch の OpenFlow Table を設定
② 電気経路を用いてサーバ#1 とサーバ#3 とが通信を行っている際に、サーバ＃１からコントローラに対して、電気経路から光経路への切り替え要求が発出される。コントローラは接続についての可否判断と可能である場合のルートを決定し、そのルートを実現するための光コアスイッチの経路設定情報、光波長送受信内の可変波長光源の設定波長を決定する。
③ コントローラ内のシステムコントローラ機能部より、EtherCAT マスタ機能部に対して、光コアスイッチおよび光波長送受信器の制御情報が送信される。
④ EtherCAT マスタ機能部より、光コアスイッチ、光波長送受信器#1、光波長送受信器#2 に対して EtherCAT を用いて制御コマンドが発出される。
⑤ 光コアスイッチにより物理的な光経路が接続される。
⑥ ⑤と同時に光波長送受信器の波長の設定が行われる。
⑦ 光波長送受信は搭載されたバースト多値プロセッサに再同期トリガ信号を発出。
⑧ サーバを含むシステム内の各装置の処理完了時間に合わせて、IP パケットの TOS 値を変更した IP パケットをサーバより送信開始

ここで重要なのは、システムの両端に位置するサーバ間で IP パケットの疎通が可能となるまでには、物理的な光伝送経路が形成されてから一定時間を要することである。この原因は、システム内に含まれる 100GbEther プラガブルトランシーバ（市販品）の信号断からの回復時間、IP パケットを送受信するサーバ上で動作するアプリケーションソフトウェアの処理時間等、システムに含まれる様々な装置に起因する。IP パケットのオフロードを行う際に IP パケットレベルでの損失を失くすにはこれらの処理時間を考慮して TOS 値の変更のタイミングを定めることが重要となる。

また、光経路から電気経路への切り戻しを行う場合には、先に IP パケットの TOS 値を変更し、IP パケットの伝送経路が光経路から電気経路へ変更された後に、光コアスイッチおよび光波長送受信器の制御を行って光経路を解放することが必要である。その理由は、1.4、1.6 で述べるように光コアスイッチ、光波長送受信器はそれぞれ光経路と光波長を 100μs 以下で切り替えることが可能であるが、システムに含まれるサーバ等の処理時間のため、IP パケットの送受信を行っている途中で光伝送路が切断されることを避けるためである。

以上述べた制御シーケンスを「光電ハイブリッドスイッチシステム実証」に適用しその有効性を実証した。構築したシステム実証系の構成を、図 1.1.4.2 に示す。

本実証システムに用いた光コアスイッチは 1000 ポートのうち 16 チャネル分のみを実装しているが、光合波部と空間光スイッチを順次増設していくことにより 1000 ポート規模への拡張が容易に行うことができるスイッチ構成となっている。

３台の光 ToR スイッチ間の信号伝送速度は 200Gbps であり、変復調方式として DP-QPSK 方式を用いている。ここで、光 ToR スイッチは、100GbE Ethernet Switch、光波長送受信

器、リンク維持送受信ボード（リンク維持回路を搭載）から構成される。さらに、光波長送受信器は、波長可変光源を搭載した光波長送受信ボード、バースト多値プロセッサ実装ボードより構成される。

また、光コアスイッチ、光波長送受信ボードは EtherCAT スレーブ機能を有しており、EtherCAT マスタより Distributed Clocks (DC)モードにより同期制御される。さらに、100GbE 信号を送受信する Linux サーバ、100GbE 信号測定器（アンリツ MT1000）が接続され、これらはコントローラより Ethernet を介して送出する IP パケットの TOS 値の変更および IP パケットの送信開始を指示される。

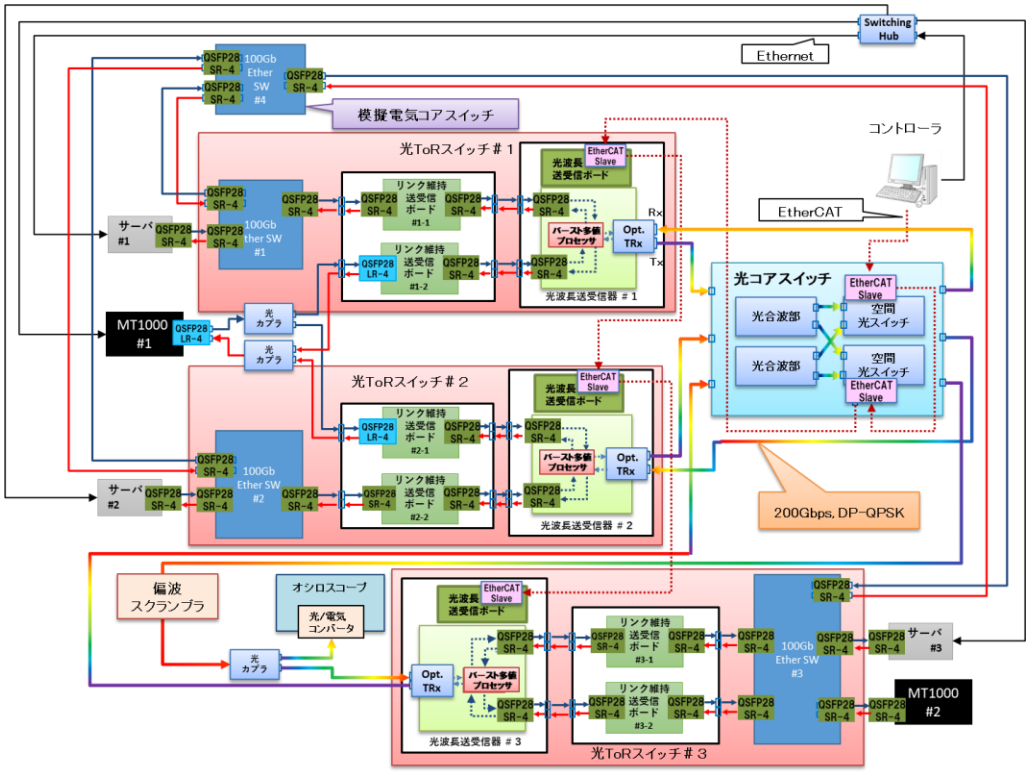


図 1.1.4.2　実証システム構成

システム実証系を用いて、光コアスイッチを介してサーバ#1 とサーバ#3 を接続する光経路（光経路１）から、光コアスイッチを介してサーバ#2 とサーバ#3 を接続する光経路（光経路２）への切り替えを行った時の光波長送受信器#3 のオシロスコープでの観測波形を図 1.1.4.3 に示す。

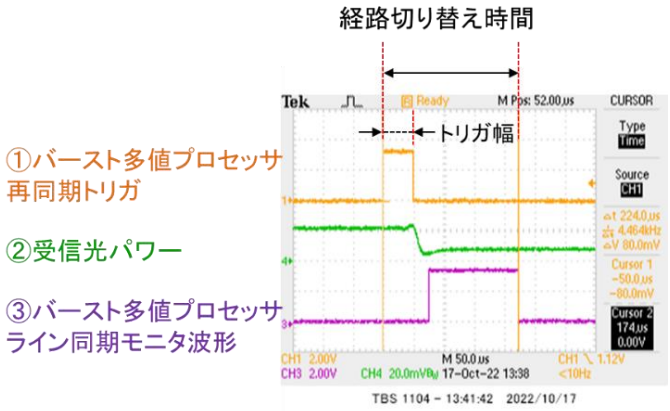


図 1.1.4.3　光経路切り替え時の光波長送受信器#3 動作モニタ波形

本実験における各装置の動作シーケンスとモニタ波形の関係は以下のようになる。

1. 光波長送受信ボードはコントローラから波長切り替えコマンドを受け取ると、①バースト多値プロセッサ再同期信号を Low レベルから High レベルに変更する。
2. 光コアスイッチはコントローラ指示よって経路を切り替え。光波長送受信器＃３の受信光パワーは切り替えによって②に示すように入力光パワーが変化。
3. ③に示す同期モニタ波形は、High レベルで非同期、Low レベルで同期状態を示しており、光コアスイッチの切り替えによって光信号断を検知し、Low レベルから High レベルへと変化する。ただし、再同期モニタを High レベルにする場合には誤った警報発出を防ぐため一定の遅延が生じる設定を行っている。
4. バースト多値プロセッサは①再同期トリガレベルが High レベルから Low レベルに変化することを契機として再同期処理を開始するため③同期モニタ波形は High レベルとなり、再同期処理が完了すると③同期モニタ波形は再び Low レベルとなる。

ここで、バースト多値プロセッサ再同期トリガ立ち上がりから同期モニタが Low となる時間までを経路切り替え時間と定義する。本実験では、経路１（光波長送受信器#1～#3 間）から経路２（波長送受信器#2～#3）、経路２から経路１へそれぞれ 50 回の切り替えを行ったとき、トリガ幅 50µs、偏波スクランブラ無しの場合において、245µs 以下の経路切り替え時間を達成した。

次に、これまで述べた経路切り替えシーケンスの妥当性を確認するため、本実証システムにおいて電気経路から光経路、さらには光経路から電気経路への切り替えを行ったときに IP パケットロスが発生しないことを確認した。

実験系を図 1.1.4.4 に示す。本実験では、IP パケットの送信機と受信機としてサーバに変わって 100GbE 信号測定器（アンリツ MT1000）を用いている。本実験における光経路と電気経路はそれぞれ以下のようになる。

電気経路：Ethernet Switch#1―Ethernet Switch#4―Ethernet Switch#3

光経路　：Ethernet Switch#1―リンク維持送受信ボード#1-1―光波長送受信器#1―光コアスイッチ―光波長送受信器#3―リンク維持送受信ボード#3-1―Ethernet Switch#3

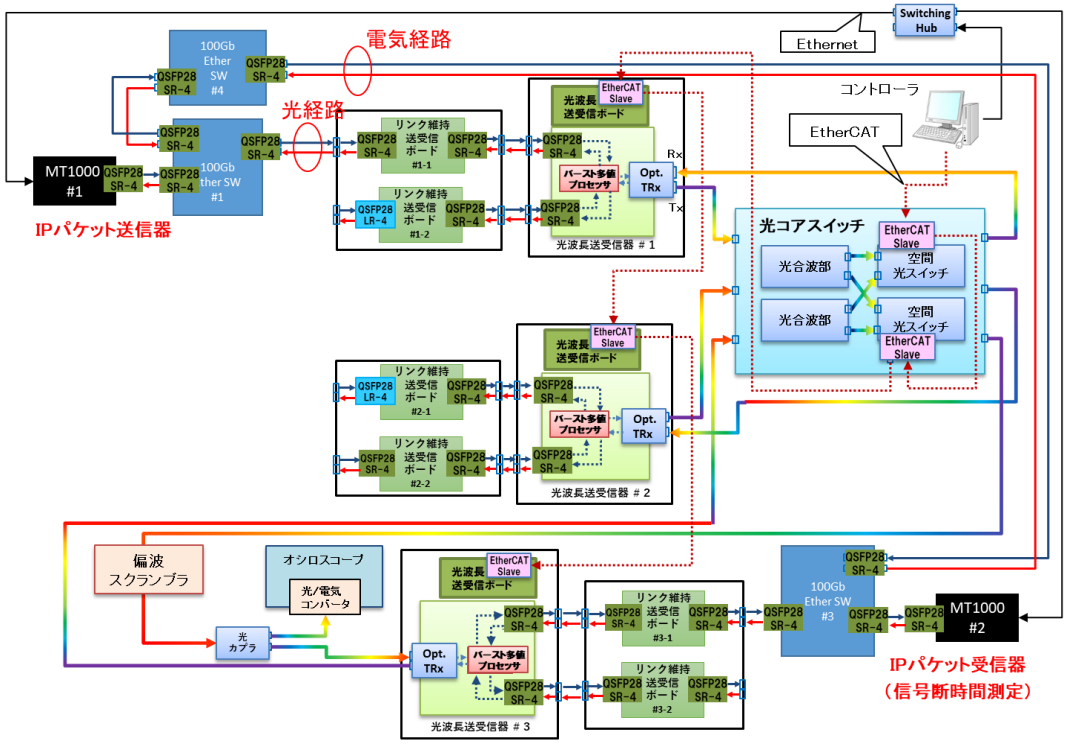


図 1.1.4.4　電気・光経路切り替え時のパケットロス実証実験系

また本実験ではバースト多値プロセッサの同期トリガ幅は 500μs とし、MT1000#1 から送信する Ethernet フレームサイズは 1500 バイト、回線負荷率 99%に設定し、連続的に 100GbE 信号を送信しながら電気経路から光経路へ、あるいは光経路から電気経路へ切り替えをそれぞれ 50 回行い、その際の信号断時間を測定した。信号断時間はフレームロス数より計算される。

測定結果は、電気経路から光経路へと切り替えを行う際の信号断時間は 0ms であり、光経路から電気経路へと切り替えを行う際の信号断時間は最大で 87.7ms であった。この結果から、システム全体として見るとコントローラ指示から TOS 値が変更されたパケットが実際に信号測定器から送出されるまで、100ms 程度の時間を要するものと推定できる。

したがって、信号測定器を用いた本実験においては光経路から電気経路へ切り替えを行う場合は、光経路を断とする時間から 100ms まえに TOS 値の変更を行って IP パケットの通信経路をあらかじめ光経路から電気経路に切り替えておき、その後で光経路を断とするよう設定を行った。その結果、光経路から電気経路切り替え時に IP パケットに対する信号断時間がゼロとなり、パケットロスが発生しないことを確認した。なお、電気経路から光経路に切り替える場合は、TOS 値の事前変更指示は不要であった。その理由は、コントローラから TOS 値変更の指示を受けて信号測定器から光経路を通過する IP パケットが送出されるまでに要する時間（87.7ms）より光コアスイッチおよび光波長送受信器の切り替え処理時間が十分に早く、また電気経路は常に疎通可能な状態にあるためと考えられる。

以上より、光電ハイブリッドスイッチシステムでは接続されるネットワーク機器が TOS 値変更に要する時間を考慮して、TOS 値変更のタイミングを適切に選ぶことによって経路パケットロスなしでの振り分けが可能であることが実証できたものと考える。

さらに、非圧縮大容量映像信号を IP パケットに収容し、機能実証実験を行った。映像信号を用いることで、伝送品質の確認が目視で容易に行える。機能実証項目は（1）高速バースト受信機能、（2）TOS 変更による電気経路と光経路振り分け機能の２つである。実験系構成を図 1.1.4.5 に示す。

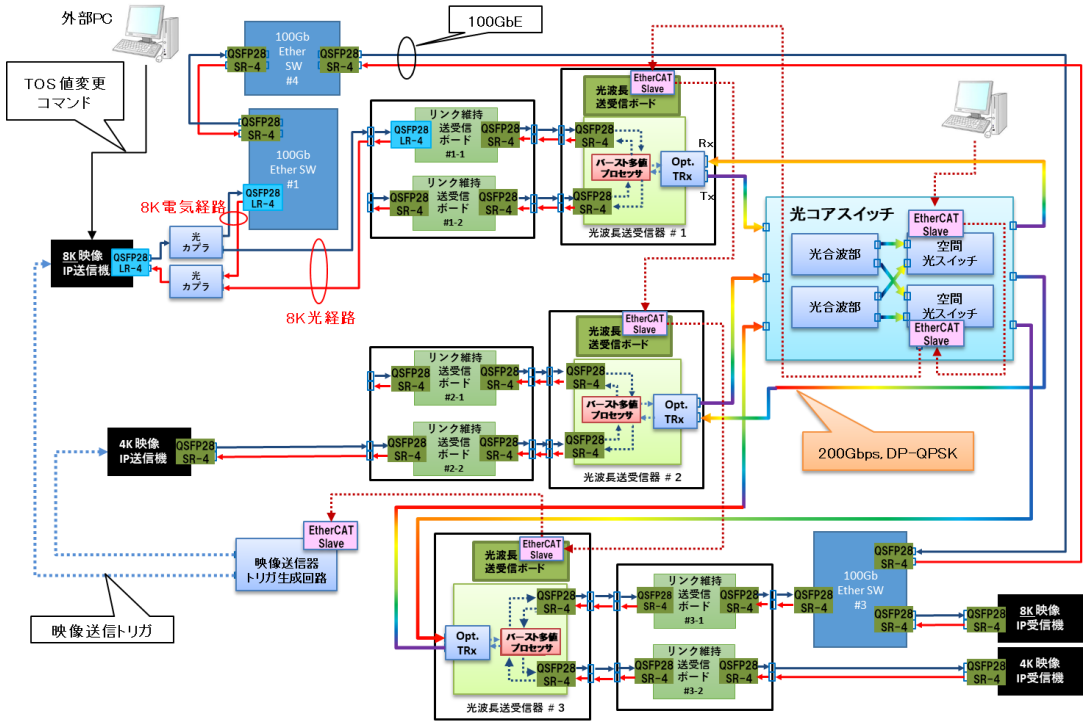


図 1.1.4.5　映像を用いたバースト送受信機能デモンストレーション実験系

この図に示されるように、8K 映像信号は光カプラによって電気経路と光経路に分岐される。それぞれの接続経路は、

① 8K 映像送信機電気経路⇒Ethernet Switch#1⇒Ethernet Switch#4⇒Ethernet Switch#3⇒8K 映像送信機

② 8K 映像送信機光経路⇒リンク維持送受信ボード#1-1⇒光波長送受信器#1⇒光コアスイッチ⇒光波長送受信器#3⇒リンク維持送受信ボード#3-1⇒Ethernet Switch#3⇒8K 映像受信機

また、4K 映像信号は光経路を用いて伝送され、その接続経路③は以下のようになる。

③ 4K 映像送信機⇒リンク維持送受信ボード#2-2⇒光波長送受信器#2⇒光コアスイッチ⇒光波長送受信器#3⇒リンク維持送受信ボード#3-2⇒4K 映像受信機

となる。

バースト受信機能の実証は、IP パケットに収容した 8K の非圧縮映像信号(送信速度 24Gbps)と 4K の非圧縮映像信号(送信伝送 6Gbps)を用いて行った。8K と 4K の非圧縮映像信号はそれぞれ、２つの光経路（上記経路②と③）を切り替えるため２倍の速度である 48Gbps、12Gbps の信号に変換して時分割で送信する。映像送信機はトリガ入力後 10μs 以下の低遅延で送信開始が可能であり、外部 PC よりトリガ入力後映像送信開始までの待ち時間、映像送信継続時間、さらには IP パケットの TOS 値の設定が可能である。また、映

像受信機は内部メモリに受信映像信号をバッファリングし連続再生することが可能である。本実験では、EtherCAT スレーブ機能を有する映像送信器トリガ回路より映像送信トリガを発生し、光コアスイッチによる光経路切り替えのタイミング合わせて時分割で 8K 映像と 4K 映像を交互に送信し、映像受信機で連続再生した。本実験では、光経路切り替え周期 350ms、送信待ち時間 50ms とした。その結果、問題なくスムーズに受信映像が連続再生されることを確認し、バースト受信機能を確認した。

続いて、8K 映像信号を用いて TOS 値変更による電気経路（上記経路①）と光経路（上記経路②）との切り替え機能実証を行った。TOS 値による伝送経路切り替え行うため、8K 映像送信機が接続される Ethernet Switch#1 に対して、TOS 値の値によって出力ポートが異なるよう OpenFlow Table を設定し、さらに電気経路にあたる Ethernet Switch#4 に接続されたポートの伝送帯域を 90Gbps に制限した。このような設定を行った後、外部 PC より 8K 映像送信機に対して出力する IP パケットの TOS 値の変更を行った。電気経路接続ポートよりパケットが出力するよう設定した後の再生映像では、帯域制限に起因すると考えられる映像とびが発生し、一方、光経路接続ポートよりパケットが出力するよう設定した後の再生映像では映像とびのないスムーズな連続再生が行われることを確認した。以上より TOS 値の変更によって伝送経路の切り替えが行われていることを確認した。

最後に、バースト多値プロセッサのライン側伝送速度 400Gbps におけるバースト受信機能の評価を行った結果について示す。用いた変復調方式は DP-16QAM である。図 1.1.4.6 に実験系の構成を示す。

クライアント信号は信号測定器（アンリツ MT1040）で発生した 200GbE 信号を用いている。フレームサイズは 1500 バイト、回線負荷率は 99.8%とした。実験では、２つの 200GbE 信号送受信モジュールを対向させてビットエラーレートを測定した。

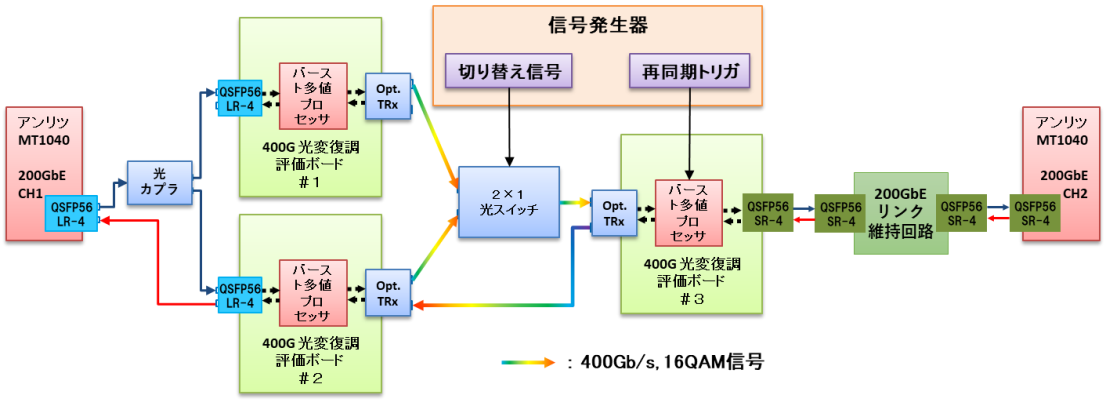


図 1.1.4.6　400Gbps バースト受信機能評価実験系

図 1.1.4.6 の左端に位置する信号測定器（アンリツ MT1040）モジュール１（CH1）から送信された 200GbE 信号は、光カプラによって２分岐され、400G 光変復調評価ボード＃１と同評価ボード＃２のクライアントインタフェースに入力され、両ボードのライン側から 400Gbps 光 DP-16QAM として出力される。続いて２つの 400Gbps 信号は２×１光スイッチによって切り替えられ、どちらか一方が 400G 光変復調評価ボード#3 で受信され、200GbE リンク維持回路を介してモジュール２（CH2）で受信される。同評価ボード＃３に入力する光信号は、２×１スイッチが切り替わることで光バースト信号となる。そして光信号の

切り替えに合わせて、400G 光変復調評価ボード#3 に実装されたバースト多値プロセッサの再同期を行う。本実験において再同期直後にビットエラーレートがゼロとなることを確認した。本実験結果から、バースト多値プロセッサの 400Gbps 信号に対するバースト受信機能は実証できたといえる。

以上述べたように、各分室で開発を行った光コアスイッチ、光波長送受信器、バースト多値プロセッサを集約して実証用システムを構築し、ライン側伝送速度 200Gbps の DP-QPSK を用いて機能実証を行った。コントローラから各装置の連携制御には EtherCAT を用いることで伝送経路切り替え時間として 245μs 以下を達成した。また、実証システムにおいて経路切り替え時も IP パケット損失をゼロにできることを示し、制御シーケンスの妥当性を実証した。さらに 8K および 4K 非圧縮映像信号を IP パケットに収容し、バースト受信機能と TOS 値変更による経路切り替え機能を確認した。さらに、ライン側伝送速度 400Gbps の DP-16QAM 信号を用いてバースト多値プロセッサのバースト受信機能を確認した。

これまで光スイッチをデータセンタ内で用いる際には、伝送容量増設を行う際に増設する電気スイッチ間の接続を行う等、いわば静的な接続に用いられてきた。本システムのように、トラフィック量の変化に合わせてダイナミックかつリアルタイムに経路を切り替える機能を有するシステムは他にはない。さらに、本項で述べたように、本システムは、開発したデバイスに加えて既存の電気スイッチや EtherCAT といった既存の装置および制御インタフェースを用いることで実現することができ、導入をスムーズに行うことができる。これまでにない機能を持つ本システムによりデータセンタに限らず、新たなアプリケーションの創生も期待できる。

(5)　成果の普及

「光電ハイブリッドスイッチ制御技術」の研究開発では、高速連携制御に用いる通信プロトコルとして、現在工場等において生産機械の制御に広く用いられている EtherCAT の適用を検討した。加えて IP パケットの振り分けを行う手段としてすでに用いられている Ethernet Switch の OpenFLow 機能を活用した。これらの既存技術を光電ハイブリッドシステムに適用することで、本システムの実現性をより高めかつ普及しやすいシステムとしている。

また、「光電ハイブリッドスイッチシステム実証」の研究開発では、実証システムを構築する過程で、バースト多値プロセッサの電気スイッチとの接続性における課題をあらたに見出し、その解決策を講じた。本成果はデータセンタ内に限らず、電気スイッチを用いた光伝送システム全般において、伝搬遅延の低減による接続性の改善に広く寄与するものであり、本プロジェクトで開発を行ったバースト多値プロセッサの普及範囲を拡大する重要要素となる。また、実証システムを用いた経路切り替え機能評価結果について、国際会議である OFC2021、OECC/PSC2022、OFC2023 にて発表を行い、システムコンセプト、システム実現性およびその有用性を内外に示している。

4.7.1.2　研究開発テーマ「光電ハイブリッドスイッチ制御アルゴリズム」

(1)　概要

光電ハイブリッドスイッチシステムプロジェクトにおいて、本研究開発項目ではディスアグリゲーション型次世代データセンタ向けアーキテクチャに有効なトラフィック振り分けを実現するためにトラフィック振り分けアルゴリズム及びネットワークコントローラの高速制御技術の開発を進めてきた。本項では試作した光電ハイブリッドスイッチシステムを用いた実証・評価について報告する。

主な成果は以下の通りである。（1）ネットワークコントローラに組み込む振り分けアルゴリズムとして、サービス駆動方式とデータ駆動方式の２つのアプローチから検討を行い、光電ハイブリッドスイッチシステムと親和性があり、分散深層学習に効果がある振り分けアルゴリズムを提案した。（2）1000 ラック規模まで拡張可能、かつ 100 マイクロ秒(μs)で光スイッチ制御が可能な高速コントロールプレーン技術を提案した。（3）多様な光部品の機能・状態・構成をコントローラから統一的に操作可能な表記法を開発した。これらの機能を、ネットワークコントローラプラットフォームのオープンソースモジュールとしてその機能を実装し、光電ハイブリッドスイッチシステムとしての動作を実証した。

(2)　最終目標と根拠

「光電ハイブリッドスイッチシステム実証」の研究開発と連携して、光電ハイブリッドスイッチシステムとしての動作確認を行い、トラフィック制御アルゴリズムを確立する。開発した成果物をオープンソースソフトウェアとして公開する。100μｓ程度での高速切り替えを実現することを目指す。その根拠として、原理検証において 100μｓの切り替え時間を達成できる目途を確認している。

(3)　目標の達成度

1.1 記載の「光電ハイブリッドスイッチシステム実証」と連携して、FPGA を用いたコントローラのサブシステムを含めて、光電ハイブリッドスイッチシステムとしての動作確認を行い、トラフィック振り分けアルゴリズムを確立した。試作したコントロールシステム環境において、約 70μｓから約 100μｓで光スイッチ制御が可能なことを実験により示した。また、開発した成果物をオープンソースソフトウェアとして公開した。当初の予定通りの目標を達成した。

(4)　成果と意義

＜光電ハイブリッドスイッチ制御アルゴリズムの課題設定とアプローチ＞

デジタル化社会を支える ICT 基盤であるデータセンタにおいて、今後予想されるデータ処理量、および通信量の増加に対応するため、データセンタにおける光ネットワーク技術への期待が高まっている。例えば、回線交換を行う光スイッチとパケット交換を行う電気

スイッチとを比較すると、経路の切替に時間を要するという欠点がある一方で、通信帯域の増加に対して消費電力が一定であるという利点がある。そこで光スイッチと電気スイッチを相補的に組み合わせた光電ハイブリッドスイッチシステムは、通信帯域の拡張と消費電力の削減の両面から有望な技術である。

これまでに、空間および波長ルーティングスイッチを効率的に組み合わせた大規模高速光回線スイッチアーキテクチャが提案されており、1000 ラック以上の規模のデータセンタにも適用可能なことが理論的に示されている。また、多ポート化が容易であり、切替速度も 100μs を切る PLC（Planar Lightwave Circuit）スイッチやシリコンフォトニクススイッチ技術が実用フェーズに近づいている。

光電ハイブリッドスイッチネットワークの典型的な構成例を図 1.2.4.1 に示す。データセンタでは、サーバが収容された複数のラックが大容量・高速ネットワーク（データセンターネットワーク）を介して相互接続されている。このデータセンタネットワークは電気パケットスイッチから構成される電気ネットワークと、光回線スイッチから構成される光ネットワークからなる。各ラックには光 ToR（Top of Rack)スイッチが設置され、それは光コアスイッチと電気コアスイッチ双方へのインタフェースを有している。

一般的にデータセンタを流れるフローには大容量だが数が少ないエレファント（elephant）フローと、小容量だが数の多いマイス（mice）フローが混在していることが知られている。光電ハイブリッドスイッチネットワークでは、エレファントフローは光コアスイッチ経由で、マイスフローは電気コアスイッチ経由でという具合にフローの特性に応じてネットワーク経路を切り替えることで、それぞれのスイッチの利点を活かすことが可能である。なお以下では、光コアスイッチや電気コアスイッチ等の資源管理を担い、経路切替を制御するサーバをネットワークコントローラ（図中では、以下「コントローラ」）と呼ぶ。また、ネットワークコントローラと各種スイッチを結ぶ制御ネットワークを含めてコントロールプレーンと呼ぶ。

本研究開発項目では、ネットワークコントローラに組み込む振り分けアルゴリズムを各種比較検討し、ディスアグリゲーション型次世代データセンタ向けアーキテクチャに有効な方式を明らかにする。またその振り分けアルゴリズムを実装するネットワークコントローラの機能概要と仕様概要を明らかにし、参照実装をオープンソースソフトウェアとして公開する。

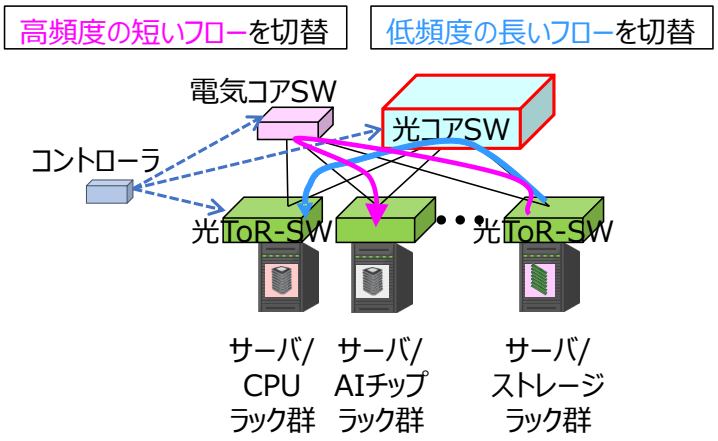


図 1.2.4.1　光電ハイブリッドスイッチネットワーク

また、1000 ラック以上の規模にもスケールし、100μs 以下の経路切替が可能になる多ポート高速光スイッチの特性を活かすためには、これを制御するコントロールプレーンのスケーラビリティ及び高速化が必須となる。そこで本研究開発項目では、産業用途のリアルタイム Ethernet 規格（IEC61158）である EtherCAT を活用した高速コントロールプレーン技術を提案する。

＜トラフィック振り分けアルゴリズムの開発＞

光電ハイブリッドスイッチネットワークの実現方式は、経路の切替点と、経路を切り替えるための制御トリガの 2 つから整理できる。経路の切替点として、エンドポイントであるサーバで切り替える方法と、サーバラックに設置された光 ToR スイッチにて切り替える方法が考えられる。本研究開発項目では、光 ToR スイッチとして OpenFlow スイッチを用いることで、トラフィックを振り分けることを前提とする。制御トリガは、サービス駆動とデータ駆動があり、トラフィックの性質と用途に応じて使い分けることができる。サービス駆動方式は、アプリケーションが送信パケットに付与するヒント情報（タグ）を基にフローを切り替える方式であり、プロアクティブに素早い（数十μs）切替に有用である。一方、データ駆動方式は、光 ToR スイッチから得られた統計情報を基にフロー又はフロー群を切り替える方式であり、リアクティブ制御のため、より幅広いシーンでの光スイッチ活用が可能となる。しかし、現行の OpenFlow スイッチ等の汎用スイッチを用いる場合、切替時間が課題となる。

なお、サービス駆動方式とデータ駆動方式は共存が可能であり、個別のデータセンタにおいて、サービスに応じた最適化と自律的なトラフィック最適化を両立できる。本節では、近年のデータセンタにおいて主要なワークロードとなりつつある分散深層学習のトレーニングに適したサービス駆動方式のトラフィック振り分けアルゴリズムを提案する。

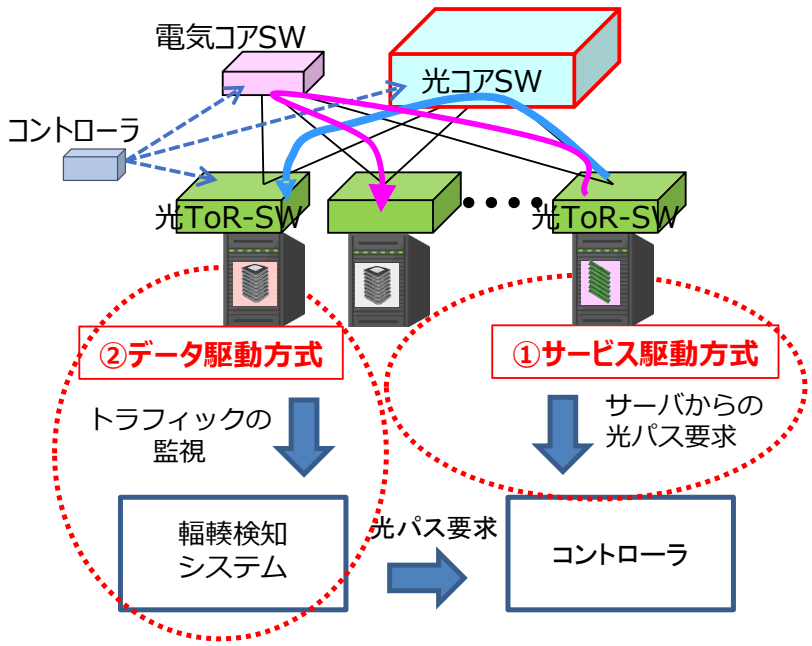


図 1.2.4.2　２種類のトラフィック振り分けアルゴリズム

深層学習や高性能計算シミュレーションで使われる典型的な集合通信アルゴリズムの一つに AllReduce があり、各プロセス（サーバ）に分散されたデータの合計や最大値を求める集約演算を実行するために用いられる。分散深層学習においては AllReduce にかかる通信時間が最も支配的である。図 1.2.4.3 に分散深層学習での AllReduce が使われる様子を示す。深層学習では学習モデルのパラメータ数や学習に用いるデータ量に比例して、学習モデルの性能が向上することが知られている。処理の大規模化に合わせて使用する計算サーバ数も増加の一途をたどっているが、計算サーバ数に比例して、演算時間に対する通信時間が増加し、通信がボトルネックになる傾向にある。したがって、AllReduce を光スイッチネットワークにオフロードすることは、性能面からも消費電力の面からも利点があると考える。

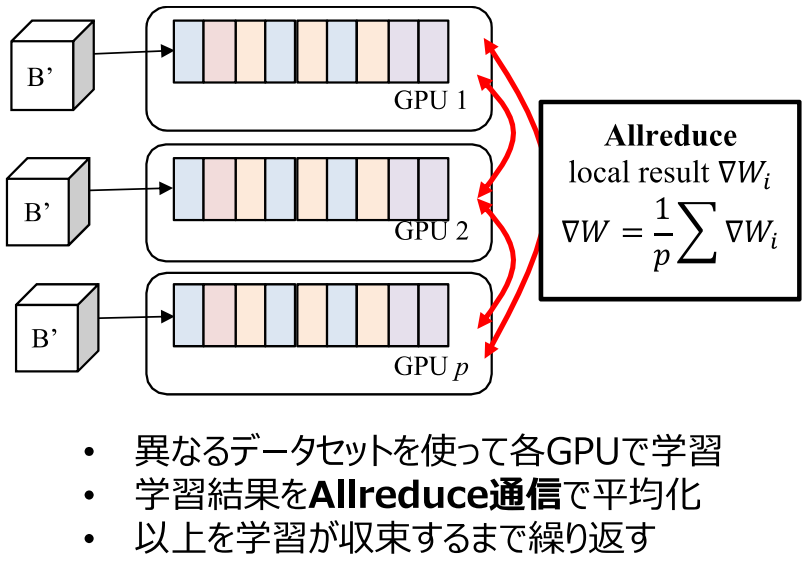


図 1.2.4.3　データ並列化分散深層学習の概要

AllReduce の実装方法として様々なアルゴリズムが考案されているが、プロセス間で論理リングを形成し、隣のプロセスとのみデータ交換を行うリングベース AllReduce アルゴリズムは、帯域を効率的に使うことができることが知られている。さらに論理リングは、AllReduce 実行中は不変であるため、経路切替を行う必要がない。換言すると、リングベース AllReduce アルゴリズムは、光回線ネットワークと相性がよい。図 1.2.4.4 に示す例では、アプリケーション中の AllReduce の呼び出しをトリガとして、プロセス 1→プロセス 2→プロセス 4→プロセス 3→プロセス 1 と論理リングを形成し、関数終了時に論理リングを解放する。この際、各プロセス間は光スイッチを介して、光パスを確立することになる。本節では非常に単純なリングの例を示したが、計算サーバが複数の GPU を持っているなど、計算サーバ内の並列度も考慮した階層的な、より大規模なシステムに対応する手法も提案したが、本報告では詳細を割愛する。

提案した AllReduce アルゴリズムの効果を、計算機シミュレータ SimGrid を用いて検証した（図 1.2.4.5）。SimGrid には、MPI プログラムを実際に実行して取得したプロファイル情報を用いて、通信や演算処理をシミュレーションすることが可能であるので、今回はこの機能を用いた。なお、実環境における実装方法は後述する。

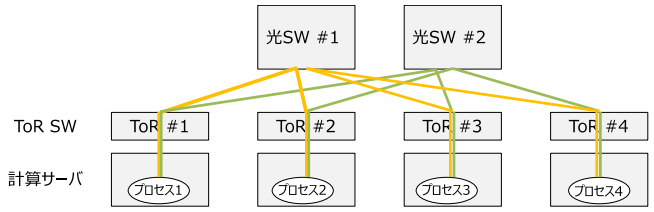


図 1.2.4.4　リングベース AllReduce における論理リング形成。
黄色線は光スイッチ#1 経由、緑色線は光スイッチ#2 を経由するものを示す。この例では、プロセス 1→プロセス 2→プロセス 4→プロセス 3→プロセス 1 と論理リングを形成している。

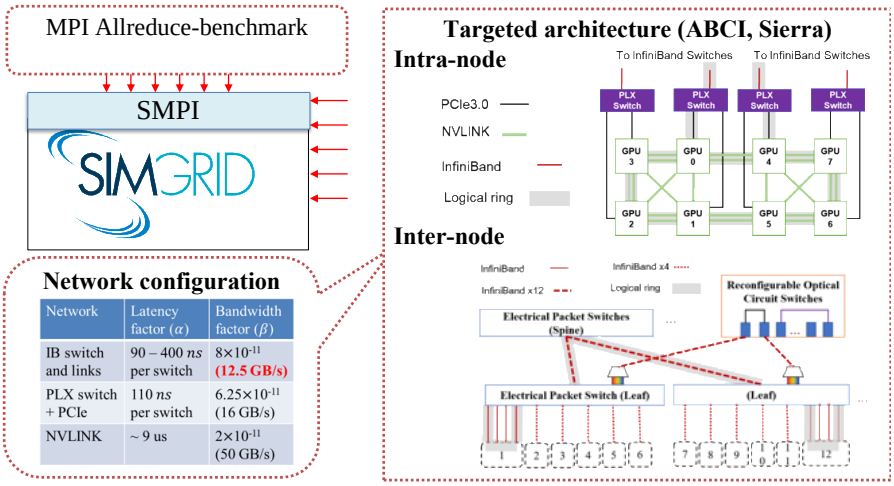


図 1.2.4.5　SimGrid を用いたシミュレーション実験

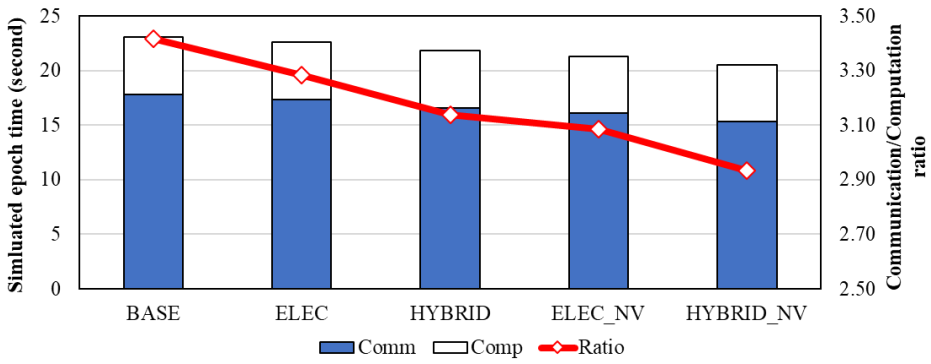


図 1.2.4.6　256GPU 使用時における実行時間の内訳

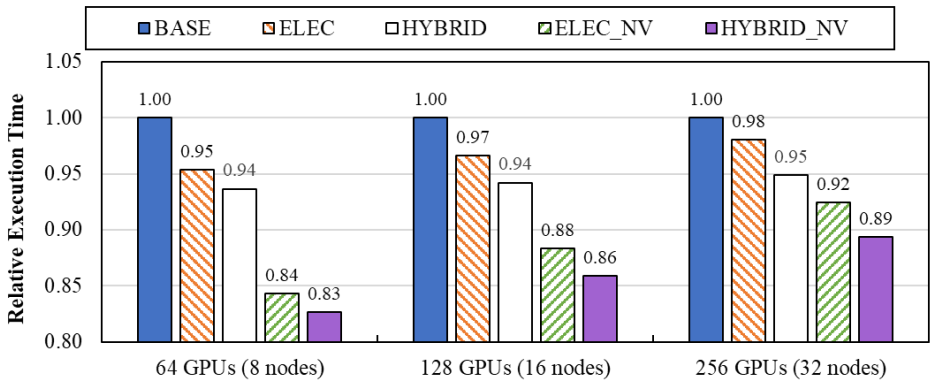


図 1.2.4.7　Flat ring-based Allreduce アルゴリズムの性能評価

256 基の GPU（32 台のサーバ）を用いて ResNet50 という学習モデルのトレーニングを行なった場合のシミュレーション結果を図 1.2.4.6 と図 1.2.4.7 に示す。HYBRID 及び HYBRID_NV が提案手法であり、NV はサーバ内の GPU 通信を高速化した場合の結果である。図 1.2.4.6 では演算時間と通信時間の比率を示している。提案手法により通信時間が削減でき、「通信／演算」比が減少していることがわかる。図 1.2.4.7 はサーバ台数を増やした場合の実行時間の変化を示している。提案アルゴリズムは電気スイッチのみを使った場合にも効果があることがわかるが、ハイブリッドスイッチを用いることでさらに数パーセント実行時間を削減できる。さらに効果はサーバ台数が増えるに従って大きくなる。これは大規模化するほど電気スイッチのホップ数が増えるからである。

この結果より、光コアスイッチの切替時間が数十μｓから 100μｓと十分短ければ、多段の電気スイッチ構成よりも高速化できることを確認できた。

＜EtherCAT を用いた光スイッチ制御＞

前節で示したように、振り分けアルゴリズムの効果を活かすためには、光スイッチ自体の高速化のみならず、光コアスイッチへ経路切替を素早く通知するコントロールプレーンの高速化が必要になる。

データセンタネットワークはEthernet技術に基づいて構築されることが一般的であり、コントロールプレーンのために独自ネットワーク技術を導入することは、コストや運用の面から現実的ではない。また、TCP/IP ベースの制御では数十μｓで確実な応答性能を実現するのは困難である。そこで、産業用途のリアルタイム Ethernet 規格（IEC61158）である EtherCAT を利用する着想を得た。EtherCAT は確実な応答性能と高精度同期性能から、半導体製造装置、工作機械といった産業用製造装置の内部通信バスや、工場内通信ネットワーク等に採用されている。

まずEtherCATネットワークを構成する要素について簡単に説明する。一つのネットワークセグメントには一つのマスタと複数のスレーブが存在し、ネットワークのトポロジはデジーチェインやリングが一般的である。モータやアクチュエータ、シーケンサなどがスレーブとなる。概念的には、マスタとスレーブは固定長のメモリ空間を共有し、このメモリ空間はスレーブごとに分割されている。EtherCATにおけるプログラミングは、このメモリ空間の読み書きを介して、機器を制御したり、その状態を監視したりすることになる。

メモリ空間は Ethernet フレーム（以下、テレグラムと呼ぶ）にマッピングされ、マスタからスレーブに周期的に送信される。この周期を PDO (Process Data Objects)周期と呼ぶ。PDO 周期の開始時にマスタからテレグラムが送出され、テレグラムはスレーブ間をバケツリレー方式で転送される。その過程でスレーブはテレグラムに割り当てられた各自のメモリ空間を読み書きする。

提案方式では、空間スイッチや波長スイッチといった光コンポーネントにスレーブ機能を実装することで、マスタからその制御を一括して行う。詳細は後述するが PDO 周期を数十μｓに設定することが可能であり、サブ 100μｓでの動作が期待できる。さらにネットワークセグメントを増やして、マスタの並列度を上げることで大規模なデータセンタネットワークにも対応可能である。

なお、現時点で EtherCAT の理論送信レートは 100 Mbps である。現時点ではギガビットイーサネットへの対応もアナウンスされており、以下ではこれを EtherCAT G と呼ぶ。

続いて、EtherCAT 技術を用いて、1000 ラック以上の規模の光ネットワークに対して、100μｓ以下での経路切替が可能になるか検討する。要求に従って光パスを構築するネットワーク構成時間 *CT* は、各 EtherCAT スレーブでの処理時間の合計（*ST*）とネットワーク伝搬遅延（*D*）の和（$CT = ST + D$）とおおよそ見積もることができる。EtherCAT スレーブの処理時間は、0.8μｓで一定と仮定する。これは EtherCAT スレーブが用いている ASIC の性能を考えると妥当な値と考える。さらに各スレーブのデータサイズを 8 バイト、マスタの並列度を 16 と仮定する。*ST* はスレーブ数と 0.8μｓの乗算から、*DT* はテレグラムサイズ（ヘッダサイズ＋スレーブ数×8 バイト）とデータ転送レートの除算から求めることができる。表 1.2.4.1 に、EtherCAT と EtherCAT G におけるネットワーク構成時間 *CT* を示す。これより、100μｓ以内の構成時間の制約を満たしつつ、EtherCAT の場合で 960 スレーブ、EtherCAT G の場合で 1280 スレーブに対応できることがわかる。スレーブは 1 ラックに対応するので、本方式は 1000 ラック規模のデータセンタにも対応できると言える。

表 1.2.4.1 光スイッチ制御性能の見積

	#slaves/master	ST	DT	CT
EtherCAT	60	48 マイクロ秒	40 マイクロ秒	88 マイクロ秒
EtherCAT G	80	64 マイクロ秒	5.3 マイクロ秒	70 マイクロ秒

＜MEOW (Multimaster EtherCAT-based control plane for Optical netWorks)の開発＞

前節での検証を踏まえて、SoC FPGA を用いた光電ハイブリッドスイッチネットワーク向けコントロールプレーンである MEOW (Multimaster EtherCAT-based control plane for Optical netWorks)を提案する。MEOW は図 1.2.4.8 に示すように、ネットワークコントローラ、デバイスコントローラ、デバイスの 3 種類のコンポーネントから構成される。MEOW ネットワークコントローラはシステムに一つ存在し、資源管理、API サーバとして動作する。ネットワークコントローラは Northbound API として、アプリケーション・サーバ向けに REST API を提供し、Southbound API として、スイッチ等ネットワーク機器向けのインタフェースを提供する。Southbound API は電気コアスイッチと光コアスイッチごとにインタフェースが異なり、前者は OpenFlow、後者は EtherCAT を想定した独自 API を

実装する。MEOW デバイスコントローラは、図 1.2.4.9 に示すように複数の EtherCAT マスタを管理する。EtherCAT スレーブ機能を有する光コアスイッチを MEOW デバイスと呼ぶ。

MEOW を ONOS (Open Network Operating System)上に実装した。ONOS はソフトウェウェア定義ネットワーク (SDN) コントローラプラットフォームのオープンソースソフトウェア実装であり、拡張可能性が高いモジュール構成を採用している。また、キャリアグレードの採用実績もあるなど実用性も高い。

さらにデバイスコントローラを Xilinx ZCU106 評価ボード上に実装した。ZCU106 評価ボードには Zynq UltraScale+マイクロプロセッサ SoC、DDR4 メモリ、FMC 拡張ポート、高速シリアルトランシーバ等が搭載されている。Zynq は Arm Cortex マイクロプロセッサとプログラマブルロジック (PL)が単一チップ上に実装されている。マルチマスタ EtherCAT 機能は PL 領域に実装した。当領域は 100 MHz で駆動し、単一チップ上に 6 つのマスタを実装している。現在の実装では、マスタ間の PDO 周期の同期を実装していないが、原理的には同期は可能である。Petalinux 2018.3 が Arm Cortex マイクロプロセッサ上で動作しており、MEOW デバイスコントローラはリアルタイム性を保証するためにユーザ空間プロセスとカーネル空間リアルタイムタスクの混成として実装している。ネットワークコントローラからの要求の受付処理はユーザ空間プロセスで実現し、PDO 周期での送受信処理はカーネル空間タスクが担っている。

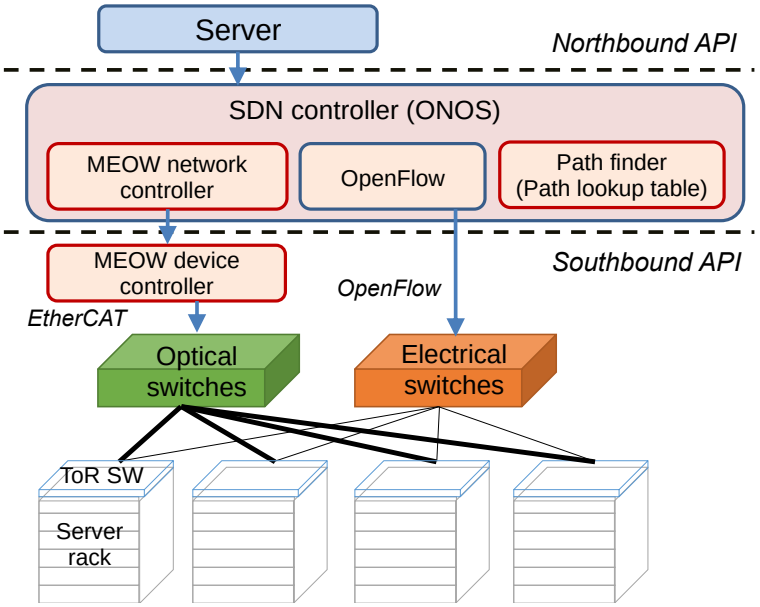


図 1.2.4.8　MEOW の概要

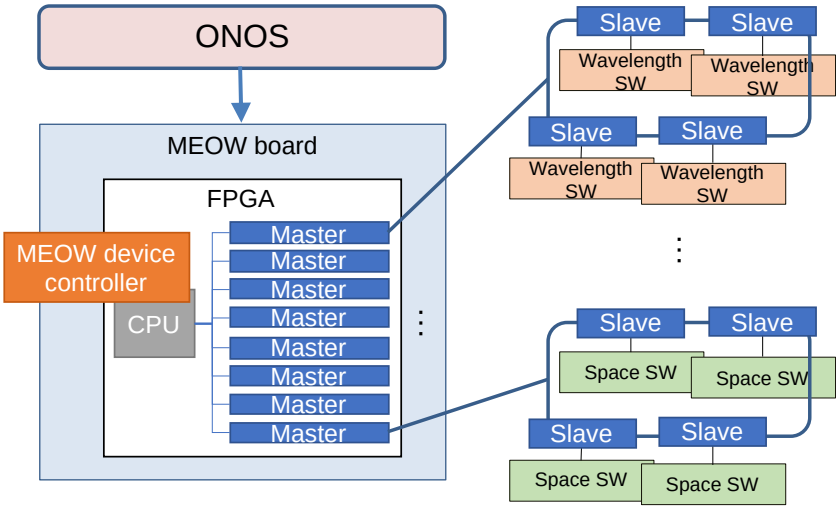


図 1.2.4.9　MEOW デバイスコントローラの概要

＜光部品表記法の開発＞

本システムでは、光ネットワークの構成管理や経路探索を体系的に実現するために、多様な光部品の機能を統一的かつ自動処理可能な形式で記述する FBD（Functional Block based Disaggregation）モデルを採用する。FBD モデルを用いることで、光ネットワークを機能ブロック（AWG や FXC などのコンポーネント）単位でモデル化し、ネットワークコントローラやアプリケーションからの要求光パスに対し各部品の必要設定を自動計算できる。具体的には、次のように光ネットワークの設計から経路計算までを行う。なお、FBD モデルを用いたトポロジ情報生成ツールおよびサンプルライブラリについて、CPPC ホームページで公開している。

(1)　オープンソース CAD（KiCAD）を用いた GUI 操作（シンボルライブラリを使用）により、任意の光コンポーネントのライブラリを生成する。コンポーネント属性として、光切替機能を GNU MathProg モデリング言語を用いた機械可読な整数線形計画問題として記述する。これにより任意の二点間の経路を自動で計算することが可能となる。

(2)　オープンソース CAD を用いた GUI 操作（回路図エディタを使用）により、（1）で生成した光コンポーネントを任意に組み合わせた光ネットワークを設計する。開発したプラグインプログラムにより、設計した光ネットワークのトポロジ詳細情報を XML 形式で出力する。

(3)　(1)で生成したトポロジ情報を自動解析するプログラムにより、全トランシーバペア間の経路計算を行うことで、ネットワークコントローラが利用するルックアップテーブルを生成する。

本プロジェクトで開発する光電ハイブリッドスイッチは論理的に対称な構成であるため、全要素を一度にインストールし、物理的にも対称な構成で使用する場合には、任意の経路を計算可能な FBD モデルのフレームワークを使用せずに、簡易なアルゴリズム（対称性を前提として for ループで制御要素番号を回すなど）により、経路設定情報を生成すること

も可能である。ただし、そのような簡易なアルゴリズムを利用すると、段階的なインストールに対応できない。さらに、図 1.2.4.10 に示すような論理的に同一でも物理的に異なる接続を考慮することができない。図 1.2.4.10 に示す(a)と(b)は論理的には同様の機能を提供するが、途中の光スイッチの接続が異なる。そのため、C1_P1 から C6_P4 までの光パスを同様に設定しようとしても、(a)と(b)とでは設定すべき光スイッチポート接続が異なる。このような非対称な接続は、例えば、光デバイスのポート毎の物理特性に応じて最適な組み合わせで光ファイバコードを接続する場合に必要となる。FBD モデルを用いることで、これらの非対称なインストール状況に一律に対応可能となる。

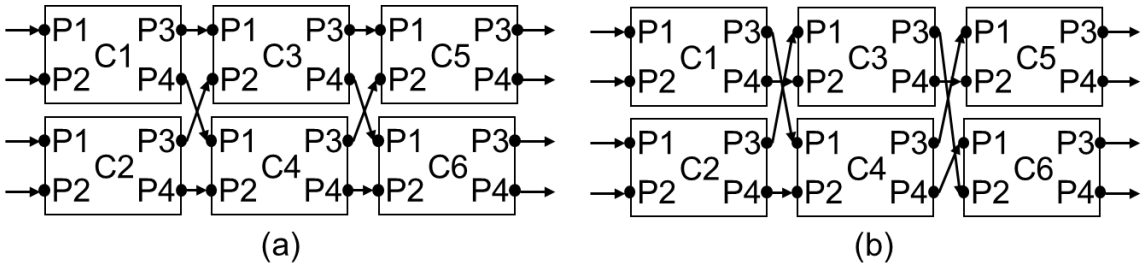


図 1.2.4.10　光スイッチの論理接続と物理接続の関係

生成した JSON フォーマットのルックアップテーブルの一例（抜粋）を図 1.2.4.11 に示す。ルックアップテーブルでは、始点と終点のトランシーバポートペア（図中“src”と“dst”）に対し、設定すべき光スイッチと波長の設定内容がリストで記載される。具体的には、”set-switch”において、光スイッチ機器を示す“id”と、各スイッチ機器で設定すべき入出力ポートペアのリストが記載される。また、“set-lambda”において、設定すべき波長制御機器（波長可変光送信器/受信機、チューナブル波長フィルタなど）を示す“id”、および、設定波長を示す“lambda”、さらに、一つの機器で複数のポートを持つ場合に対応するためポートを指定する項目（図では“inport”）を含むリストが記載される。なお、図の例では波長可変受信機を想定した光電ハイブリッドスイッチアーキテクチャの例が記載されているが、開発した光部品表記法は、波長可変光送信器、あるいは、チューナブル波長フィルタを用いたアーキテクチャへも問題なく適用可能である。通常、データセンタ内で使用される Ethernet は双方向通信であり、本プロジェクトで使用を想定する光トランシーバは２芯双方向通信が基本である。送信端からの光パスリクエストに対し、ペアとなるパスを自動で設定するために、始点終点のトランシーバポートペアに対し、ペアとなるパス設定が“pair-config-set”として記載されている。

ルックアップテーブルでは、光パスの設定のための情報に加え、EtherCAT のコントロールプレーンネットワークの構成情報も記載される。これにより、光電ハイブリッド光スイッチ制御のための必要な情報がすべて一元管理できることとなる。“master-info”に EtherCAT マスタの情報がリストで記載される。リスト表記の採用により、マルチマスタの情報を不足なく記載することが可能である。“control-info”ではスレーブ機器がリストで記載され、マスタ機器との対応を取るための情報も含まれる。



図 1.2.4.11　自動生成した JSON フォーマットのルックアップテーブルの一例（抜粋）。左：スイッチ設定記述部。右：EtherCAT コントロールプレーン情報記述部。

＜システム検証実験＞

MEOW の実現可能性を検証するために、図 1.2.4.12 に示すように、1 つのデバイスコントローラと 8 つのデバイスから構成される小規模な実験環境を用意した。MEOW デバイスとしては、EVB-LAN9252-DIGIO 評価ボードを用いた。MEOW デバイスコントローラと 8 つのデバイスは、Opsero OP031-1V8 EtherFMC カードを経由してカスケード接続した。

実験では、ネットワークコントローラによるパス確立リクエスト送出から、すべてのデバイスがリクエストの処理を完了するまでの経過時間を測定した。接続末尾の EVB-LAN9252-DIGIO 評価ボードのデジタル I/O ピンはオシロスコープに入力されており、この信号のアサーションを観測することで操作完了とみなす。なお、本実験では EtherCAT スレーブに光スイッチが接続されておらず、光スイッチ自体の切替時間は結果に含まれない。

ネットワークコントローラとして、簡単化と測定の容易さのため、PC サーバ上の ONOS の代わりに、Raspberry Pi 4 Model B（以下、RasPi と呼ぶ）上に実装した簡易コントローラを用いた。コントローラからリクエスト送出するタイミングで、RasPi の GPIO ピンの出力をオンにし、オシロスコープでこれをトリガとすることでリクエストの処理経過時間を測定した。なお、RasPi の CPU クロックは 1.5 GHz に固定している。また、RasPi と MEOW ボードは NETGEAR GS324（仕様上のポート間遅延の 4.7 μs）を介して接続した。

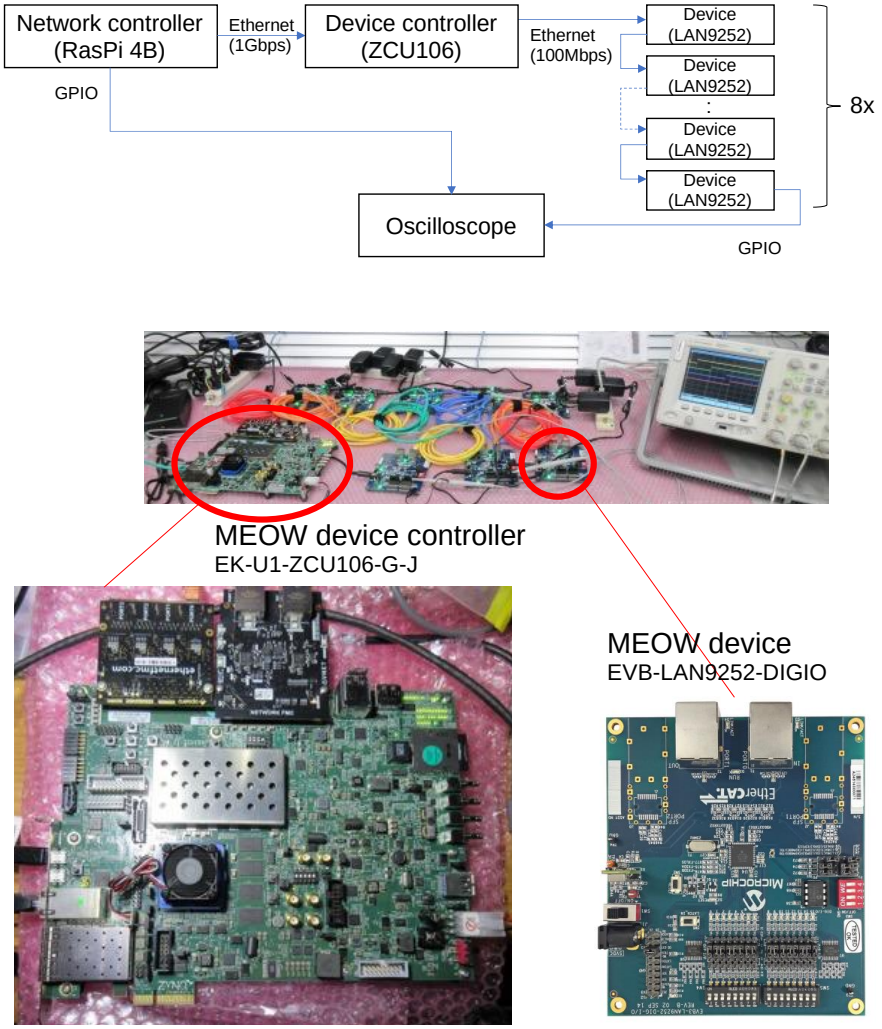


図 1.2.4.12　シングルマスタ実験構成

1000 リクエストの処理を観測したときのタイミングチャートを図 1.2.4.13 に示す。前述したように、リクエスト処理完了時間はデバイスがリクエストを受信したタイミングによってばらつく。PDO 周期の直前でリクエストを受信した場合は、待ち時間なくテレグラムを送出できる。一方、PDO 周期の直後にリクエストを受信した場合は、次の PDO 周期が来るまで、つまり今回の設定では最悪 30μs、テレグラムの送出を待つ必要がある。処理時間の最小値は 70.0μs（③）であり、最大値は 103.4μs（③+⑥）であった。最悪ケースでは目標値をやや超過するもの概ね許容範囲内であると考える。

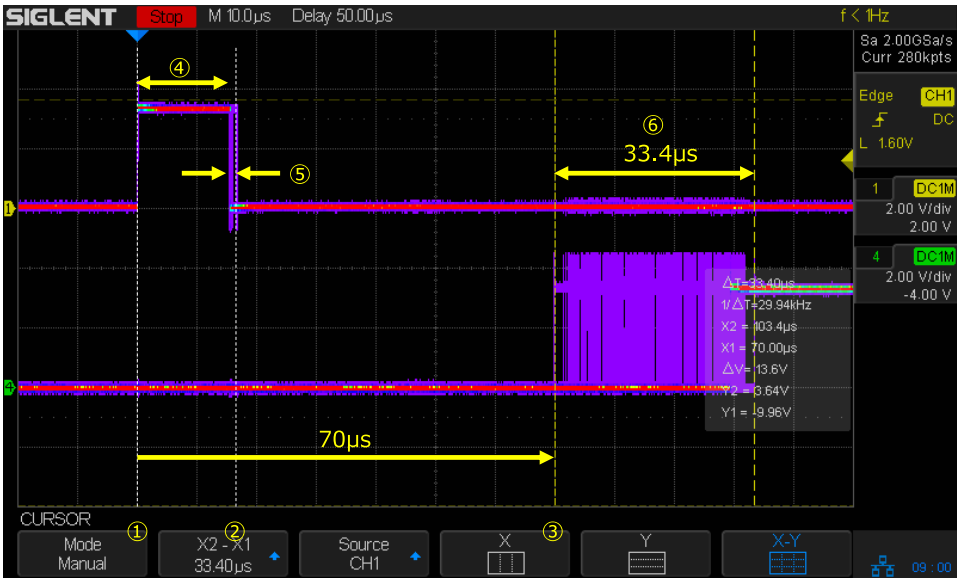


図 1.2.4.13　タイミングチャート（横軸の目盛線は 10μs）。

① 簡易ネットワークコントローラがリクエストを開始、② リスエストの送信が完了、③ すべてのスレーブ処理が完了、④ 送信処理に要した時間、⑤ コンテキストスイッチに関係するジッタ時間、⑥ POD サイクル待ちに起因するジッタ時間。

＜本成果の意義＞

本研究開発項目では、光電ハイブリッドスイッチネットワークの特性に適合したトラフィック振り分けアルゴリズムを提案し、分散深層学習での効果を確認した。さらにトラフィック振り分けアルゴリズムの効果を発揮するためにも高速なコントロールプレーン技術が必要である。そこで、1000 ラック規模まで拡張可能であり、100μs で光スイッチ制御が可能な高速コントロールプレーン技術 MEOW を提案し、動作検証を完了した。具体的には、リアルタイム Ethernet 規格である EtherCAT をベースに、マスタ機能のハードウェア化および多重化を実現し、オープンソースネットワークコントローラである ONOS を拡張することでコントロールプレーンとしてシステム化した。FPGA と汎用ハードウェアを用いて提案システム試作し、約 70μs から約 100μs で光スイッチ制御が実現可能なことを確認した。このように必要要件を、汎用で安価なコモディティハードウェアとオープンソースソフトウェアを用いて実現できることを明らかにし、光電ハイブリッドスイッチシステムの実用化に向けたソフトウェア制御技術を確立できた。我々の知る限り、データセンタ規模のネットワーク制御に EtherCAT を用いることは前例がない。

(5)　成果の普及

本成果について、特にデータセンタ事業者等の注目の高い OCP（Open Compute Project）summit にて情報発信を行った。また、1.1 記載の「光電ハイブリッドスイッチシステム実証」と連携して MEOW の技術をシステム実証にて検証した。また、開発したネットワークコントローラを参照実装として検証できるように、オープンソースソフトウェアとして github 上（https://github.com/ryousei/meow-rest）に公開した。

1.3 研究開発テーマ「光スイッチネットワークアーキテクチャの最適化」

1.3.1 概要

次世代コンピューティングでは各種の AI 関連サービス、クラウド関連サービスを含む広範囲のアプリケーションが想定される。本研究開発項目ではディスアグリゲーション型次世代データセンタへの光スイッチの導入に向け、様々なアプリケーション、並びに様々な規模のコンピューティング環境に適合する効率的な光スイッチネットワークアーキテクチャを開発した。光スイッチを導入することにより期待される低消費電力・高性能・経済性の最大化、並びに広範囲な導入を達成するためには、各種のアプリケーションに応じたアーキテクチャの最適化が必要となる。また大規模光スイッチを経済的に導入するためには、拡張性（pay-as-you-grow）が重要である。これらを達成するために、変調形式・ポート数・空間スイッチ／波長スイッチ機能分担等の最適化が可能なアーキテクチャを実現した。将来的に 1000 ポート以上に対応するアーキテクチャに関しては、Si フォトニクス技術を用いて試作したデバイスを用いた光スイッチ伝送実験により、7,000 ポート以上に拡張可能で有ることを実証した。また大容量化の観点では、空間分割多重技術、超広帯域伝送技術、超高密度波長分割多重技術を、スーパーチャネル化により効果的に光スイッチネットワークに導入する方式を考案し、1Pbps（ペタビット毎秒）を超えるスイッチ容量が実現できることを示した。さらに、コントロールネットワークに関して、現状のデータセンタの遅延特性を大幅に改善する方式を提案しその有効性を実験により検証した。

1.3.2 最終目標と根拠

分散データセンタアーキテクチャへの適用も含め、異なるアプリケーション・規模 に応じた、変調形式・ポート数並びに空間スイッチ・波長スイッチ機能分担の最適化を行い、実証実験へ反映させる。将来的に 1000 ポート以上に対応するためのアーキテクチャに関して、試作したデバイスを用いた伝送実験によりその実現性を検証する。

1.3.3 目標の達成度

スイッチで使用する各種部品の機能と得られるスイッチ特性を検討し，デバイス技術と整合する機能分割・アーキテクチャを明らかにすることにより、様々なアプリケーション・規模に応じてシームレスに拡張可能な大規模光スイッチの基盤技術を確立し、当初の予定通りの目標を達成した。

1.3.4 成果と意義

本研究で開発する光スイッチをベースとするデータセンタネットワークは、既存の電気スイッチで構成されるネットワークの一部を光スイッチ代替したものでは無く、光スイッチ本来の機能を最大限に活かした新しい構成であるため、本技術が既存のデータセンタを

置換可能でかつ future proof であることを示す必要がある。本研究で開発するアーキテクチャ並びに実現技術は、図 1.3.4.1 に示す本プロジェクトのマイルストーンで実現されるパラメータ領域に加えて、既存のデータセンタを含む幅広い領域で、将来に渡って革新をもたらす技術である事を実証した。図 1.3.4.2(a)と(b) は、それぞれ、典型的な電気スイッチネットワーク並びに本研究開発で想定する電気/光ハイブリッドスイッチネットワークを示す。図 1.2.4.2 (c) は、現在の 3 階層の電気スイッチネットワークとトラフィックの 87.5% を光スイッチが処理すると想定した、光および電気ハイブリッドスイッチネットワークのハード構成を比較している。ここで、電気スイッチチップの帯域幅(Te)を 25.6 Tbps、収容するサーバ数を 131,072 (262,144)、サーバの I/O 速度を 200 (100) Gbps、Tier-1 スイッチ数を 2,048、電気スイッチの radix とリンク速度はそれぞれ 64 と 400 Gbps とし、実現されるネットワークバイセクション帯域幅は両者とも 52.4 Pbps である。図 1.2.4.2 (c) に示すように、ハイブリッドスイッチネットワークでは、電気スイッチチップの総数 (ToR スイッチ数 2,048 を含む) は 5,120(2,048+3,072) から 2,432(2,048+384)に減少(-52%)し、トランシーバ並びにインタコネクトファイバー数は 262,144 から 77,824 に減少(-70%)する。一方、28 個の 2,048 x 2,048 光スイッチが必要となる。その結果スイッチネットワーク (ToR スイッチを含む) の消費電力は 65% 以上削減される。上で分析したように、光スイッチを使用してスイッチレイヤの数を減らすと、必要サーバチップの数、電力消費量、およびインターコネクトファイバーとトランシーバ数を大幅に削減できる。ToR 間で通過する電気スイッチチップの数も減少し、これにより、遅延と頻繁に発生するロングテールの問題が抑制される。トラフィック制御に関しては、可能なルート数が減るため、トラフィック管理がより簡単になり、障害が発生した場合にもその診断が簡単になる。このスイッチ階層の削減は、適度に高速なリンク速度を使用しつつ一定数の tier-1 スイッチを収容できる多ポートの光スイッチを導入することで効果的に実現される。

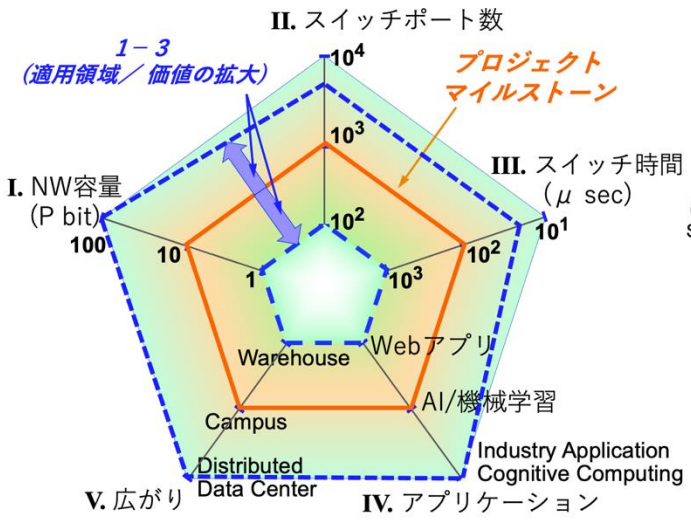
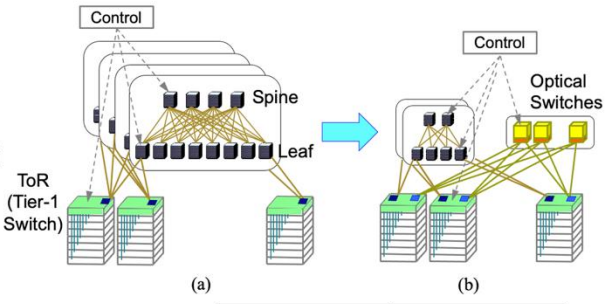


図1.3.4.1 本研究開発項目の位置付と達成成果



	(a)	(b)
# of electrical switches (Leaf + Spine)	3,072	384 (12.5% *1)
# of optical switches (2,048 x 2,048)	–	28 (87.5% *1)
# of transceivers (400 Gbps)	262,144	77,824

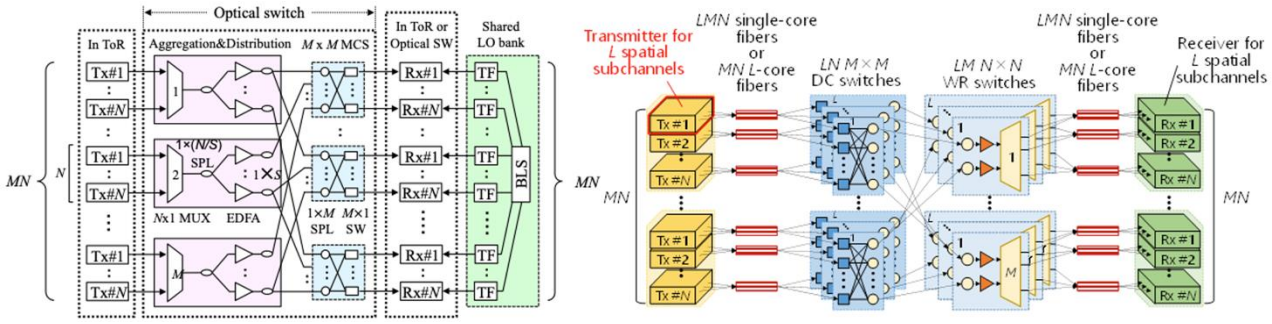
*1: ratio of traffic handled by electrical switches

(c)

図1.3.4.2 (a)従来電気ネットワーク, (b) 電気／光ハイブリッドネットワーク, (c) 必要ハードウエア量の比較

図 1.3.4.3 に本研究で新たに開発した受信側で波長選択を行う光スイッチ構成（同図(a)）並びに送信側で波長選択を行う光スイッチ構成（同図(b)）を示す．前者は波長バンクと波長可変フィルタによりコヒーレント受信における LO を構成する方式であり、後者

は波長可変レーザ、スーパーチャネルと並列光スイッチの組み合わせによる光スイッチ構成であり、本構成ではスイッチ総容量を大幅に拡大（2.1 Pbps）することができる。



(a) 波長バンクと波長可変フィルタによる LO 構成を用いた TF タイプ光スイッチ構成　(b) スーパーチャネルと並列光スイッチの組合による光スイッチ構成

図 1.3.4.3　各種提案光スイッチ構成

光スイッチのポート数拡張性を実証するために，7,424 ×7,424 ポートの光スイッチを模擬し伝送実験を行なった結果を図 1.3.4.4 に示す．使用した MN×MN (M=64, N=116) チューナブルフィルタタイプ光スイッチアーキテクチャ並びに新たに開発した受信部バースト受信用 DSP の構成を同図(a)に示す。同図(b)に、実験により得られた 7 つの波長チャネルに対して測定した 64 個のスペーススイッチポートのすべての組み合わせに対する BER 並びに受信 DSP 部に高速 PolDemux を使用した場合と使用しない場合のスイッチング特性（ Q ファクターの遷移）を同図(c)に示す。カラーレス検波で使用できる波長数 (N) は、受信機のダイナミックレンジによって制限される。18 dB のダイナミックレンジは 63 チャネル（$10^{18/10}$）に対応する。受信機の直前に TF1（同図(a)参照）を配置すると受信機の電力飽和を緩和できる。一方個別部品の追加は損失を大きく増加させるため、損失を最小限に抑えるために TF とシリコンフォトニック 64×1 光スイッチ（図 1.3.4.4 参照）をモノリシックに集積化した低損失デバイスを開発した。ここでは、TE モード設計とオンチップ偏波ダイバーシティ方式を採用した。これにより、64×64 MCS（マルチキャストスイッチ）が実現され、116 波長を使用することにより、図 1.3.4.4 に示すように、32 Gbaud DP-QPSK 信号に対する 7,424×7,424 光スイッチの伝送実験に成功した。

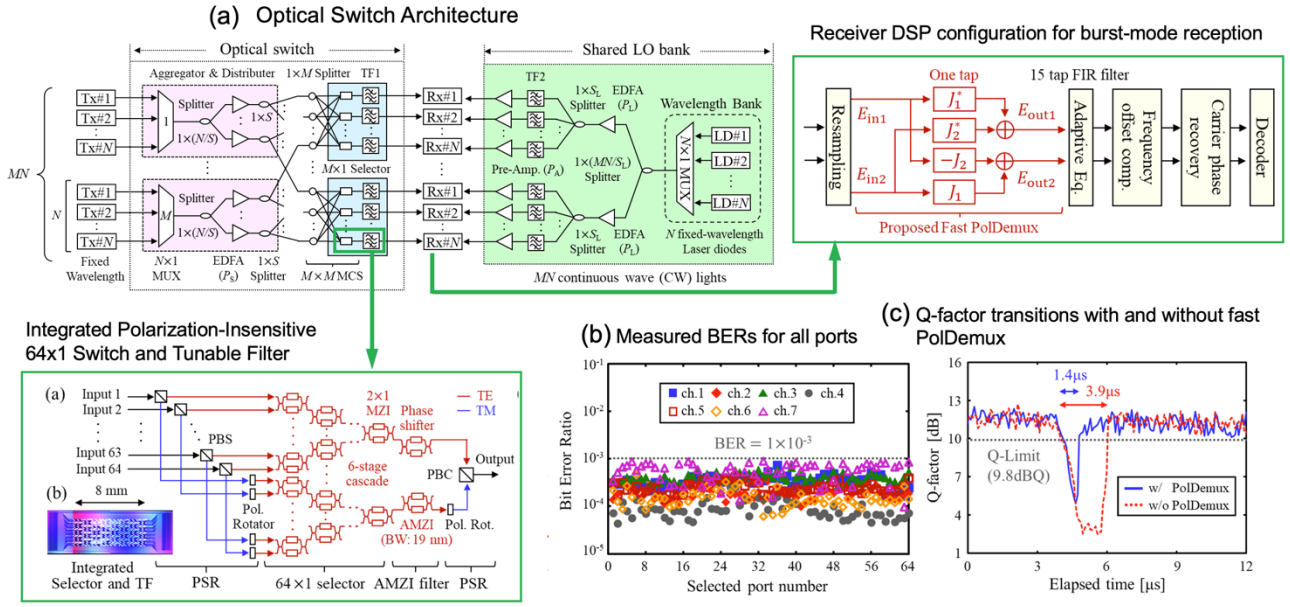
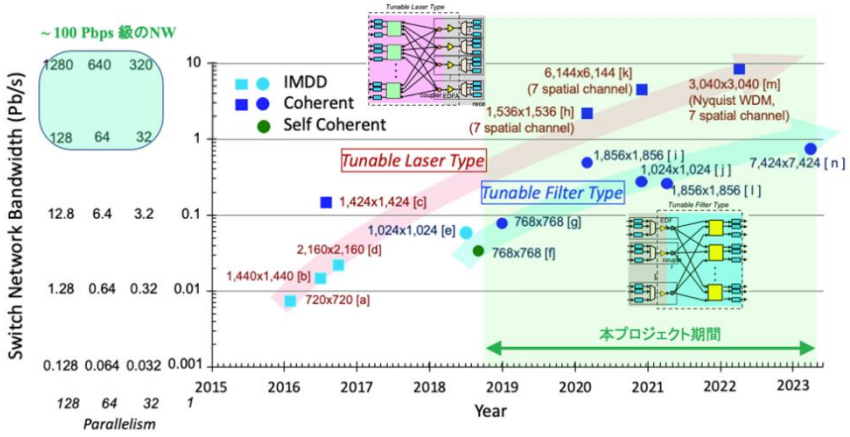


図 1.3.4.4（a）MN×MN チューナブルフィルタタイプ光スイッチアーキテクチャ並びに受信部バースト受信用 DSP 構成、（b）7 つのチャネルと 64 個のスペーススイッチポートのすべての組み合わせに対する BER、（c）高速 PolDemux を使用した場合と使用しない場合のスイッチング特性（Q ファクターの遷移）.

図 1.3.4.5 に本委託研究で達成した、イントラデータセンタネットワーク用光スイッチのスループットの実験結果をまとめる。これまで IMDD、Self-coherent、および Coherent を含むさまざまな変調形式を調査した。コヒーレント技術は高ビットレート（マルチレベル変調）と高い受信感度を可能にするため、ポート数とスイッチのスループットを拡大する上で重要である。光スイッチネットワークによりリンク速度を高速化できるが、リンク速度と光スイッチの並列数は、ネットワークの所望のブロッキング率並びに目標とするリンク使用率の両者の観点から導出される。従って、大規模なネットワークを形成するためには高いスイッチ radix（リンク速度は逆比例して低下）が必要となる市販のシリコン電気スイッチベースのネットワークと比較して、より高速のリンクが使用できるため、コヒーレント光リンクとの親和性も高い。図 1.3.4.5 に示されるように、数千ポートのスイッチの実現可能性が検証されている。さらに光スイッチの並列配置により、約 100 Pbps のバイセクション帯域幅が実現できる。この値は現在の最大規模のデータセンタネットワークの一桁上である。



[a] K. Ueda, et al., SPIE Photonics West OPTO, Proc. SPIE 9775. [b] K. Ueda, et al., IEICE Transactions of Communication, Vol.E100-B, No.10, 2017. [c]] E. Honda, et al., OECC/PSC, WA1-3, 2019. [d] K. Ueda, et al., 2016 Photonics Society Conference (IPC), MB4.2. [e] M. -E Ganbold, IEEE Photonics Tech. Lett., Volume: 30, Issue: 16, 2018. [f]] Y. Mori, et al., ECOC 2018, Mo3H.4. [g] Y. Mori, et al., IEEE/OSA JLT, Volume 37, Issue 2, 2019. [h] E. Honda, et al., OFC 2020, W1F.2. [i] R. Matsumoto, et al., OFC 2020, W2A.36. [j] R. Matsumoto, et al., ECOC 2020, Th1J-2. [k] E. Honda, et al., ECOC 2020, Th1J-1. [l] R. Matsumoto, et al., OFC 2021, W1A-6. [m] T. Kuno et al., OFC 2022, Th3A.2. [n] R. Matsumoto, et al., OFC 2023, M4J.5.

図 1.3.4.5　本研究開発における光スイッチスループットの進展（緑色部分）

ハードウェアとともに、制御ネットワークの開発が重要である。制御ネットワークの性能を検証するための実験系を図 1.3.4.6(a)に示す。制御ネットワークはインバンド（ハイブリッドスイッチングネットワークの一部を構成する電気パケットネットワークに組み込まれる） またはアウトバンド （専用ネットワーク） の両者が可能である。同図は、カスケード接続された（２層）イーサネットスイッチで制御ネットワークを形成するアウトバンド方式の例を示す。ここでは 47 ポートのイーサネットスイッチで、2,048 (<46x46)の Tier-1 ラック/クラススイッチに対応できる。

本実験では、100 Gbps ポートを備えたカスケード接続された Mellanox SN2010 Ethernet スイッチを使用した。光スイッチコントローラは、100 Gbps イーサネットポートを備えた FPGA（図 1.3.4.6 の Intel Stratix 10 SoC、FPGA 2）で構成される。図 1.3.4.6(b)に、基本的な光回線の設定/切断手順を示す（イレギュラー処理は含まれない)。 TCP 接続で使用される堅牢なスリーウェイハンドシェイクタイプの接続セットアップ手順が採用されている。実験では、光スイッチコントローラは 128 個の 2,048 x 2,048 光スイッチを制御できるように設計した。光コネクションのセットアップ時間の測定例を同図(b)に示す。ソース ToR が接続設定要求を送信した後、宛先 ToR 受信器が TF 波長の設定を完了するまでに 8.36μｓかかり、追加の 4μｓ（ガードタイム）待機した後で TF 設定 ACK が送信される。送信元の ToR が光スイッチコントローラからデータ送信許可を受信するまでに 2.71 μｓ が必要となる。実験では、ToR と光スイッチ コントローラ間のファイバ長 L は 2 m で有った。図 1.3.4.6(b)に記載する様に、接続確立に必要な全体の遅延は、16.9 + L [m]/51.1 μｓ であり、遅延のテールが無く（光回線交換）、従来のデータセンタと同等以下の遅延性能が実現された。

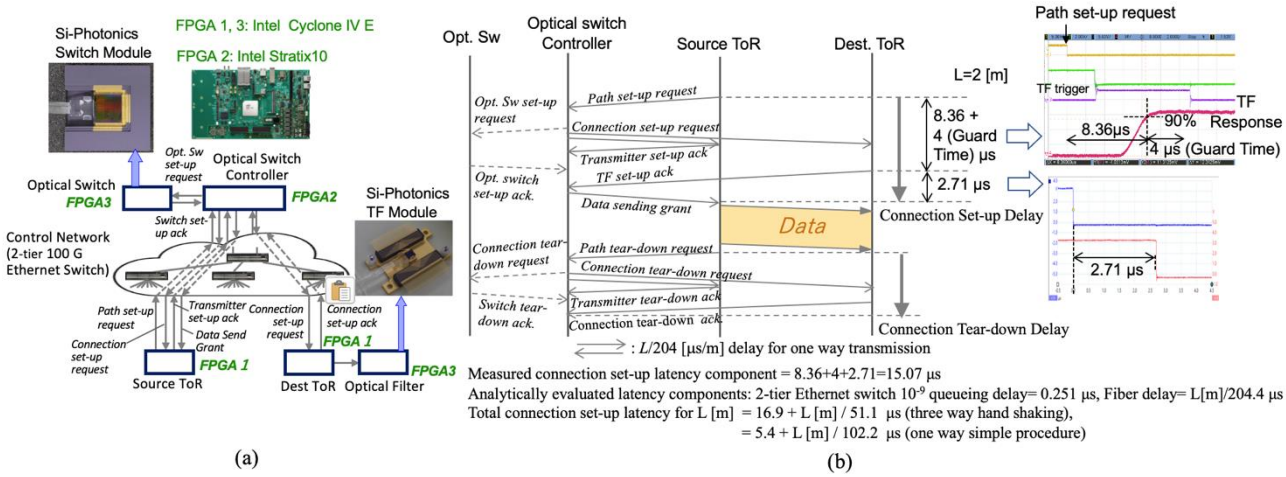


図 1.3.4.6（a)ハードウェア制御による制御ネットワークの実装、(b)基本光回線設定/切断手順（イレギュラー処理は含まれない）と遅延測定結果例。

1.3.5 成果の普及

光電ハイブッドスイッチを導入したディスアグリゲーション型次世代データセンタ技術は、将来のデータセンタを革新する技術と期待されている。昨年 Google はデータセンタネットワークの電気パケットスイッチの一部（3階層ネットワークの最上位）を光回線交換スイッチに置き換える新しいアーキテクチャを導入した。本研究で目標とする大規模な光スイッチの導入を図るためには、要素技術の完成度の向上とともに，継続的な発展性を含めた光スイッチ技術の広範な評価が必要である。現在得られた成果に対しては、主要な国際会議・ジャーナル誌から多くの招待を受け、また自発的に成果発表を行いつつ成果の普及に務めているが、今後更に事業者との直接の議論を含め、開発成果の普及活動を展開していく予定で有る。

研究開発テーマ「光波長送受信器」

(6) 概要

光波長送受信器の構成を図 1.4.1.1 に示す。その実現に向けた各制御機能の研究開発のポイントとしては、①高速波長可変光源の制御、②光・電気デバイスのバースト制御、③システム内の他の機能部との連携制御、の 3 つの観点からの制御があげられる。①については、100μs 程度で波長切替可能なレーザの選定および波長制御の高速化回路を開発し、光波長送受信器の切替時間の許容範囲と整合させることを目標とする。②については、バースト信号間の無信号時間への対応、バースト信号受信後の早期安定化の実現が開発要素である。高速切替と切替後の安定化時間は一般的にトレードオフの関係にあり、最適化させることが目標となる。③については、コントローラとの間で制御情報等を送受するインタフェースや通信プロトコルを規定することが目標となる。これらの検討・設計を完了した後に、制御回路について部分試作を行いレーザおよび他の光デバイスのバースト対応制御動作の原理検証を行う。その後、光波長送受信器の基本設計を実施し、設計結果に基

づいてバースト多値プロセッサも含めて光波長送受信器の原理試作を行い、その組み込み動作の実証を行う。制御回路は主信号のボーレートには依存しないため、研究開発の内容は 1Tbps 級のシステムにも適用できるが、部品の入手性を考慮し、原理実証は 200～400Gbps で行うこととする。

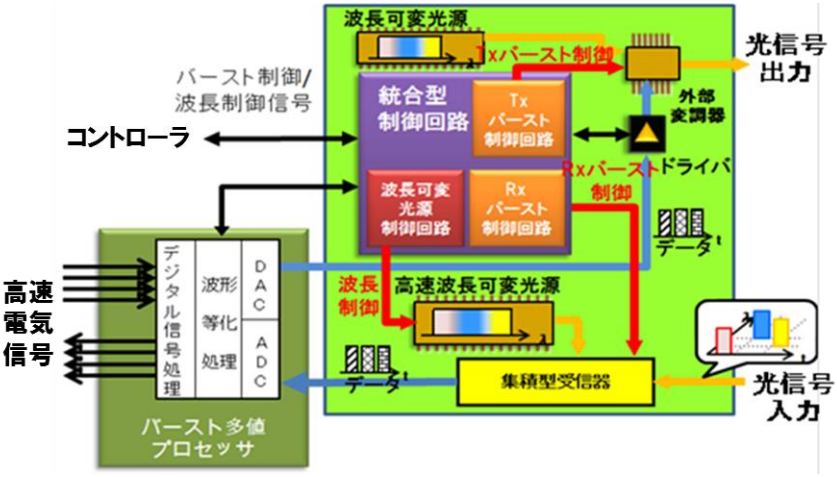


図 1.4.1.1　光波長送受信器の構成

(7)　最終目標と根拠

最終目標は、400Gbps 対応光波長送受信器の特性評価を行い、また、改善および最適化をすることで、光波長送受信器の技術を確立する、である。前節で述べたとおり、光波長送受信器は電気・光デバイスの高速制御と、コントローラとの通信制御が課題である。バースト通信では受信処理のタイミングが非常に重要であるため、その技術確立を行う。

(8)　目標の達成度

光波長送受信器の主要課題である、デジタルコヒーレント光伝送方式での局発光の高速波長切替、及び、光バースト信号の受信実現に向け、研究開発を進めた。まず、局発光として使用する波長可変光源の高速波長切替に向け制御方式を検討した。その結果、波長可変光源ヒータの PID (Proportional-Integral-Differential)制御を高速・並列処理することにより、波長切替時間 100μs 達成の見込みを得た。次に、集積型受信器での光バースト信号の受信方法を検討した。集積型受信器の出力電気信号振幅を調整する方法として、波長切替と同時に外部からゲイン設定を集積型受信器へ供給することで光バースト受信を可能とした。上記機能とバースト多値プロセッサを組み込んで 400Gbps 対応光波長送受信器を試作した。結果、波長切替時間 100μs 以下、誤り訂正符号の使用によりエラーフリーとなる特性を確認した。以上より、高速光波長切替および光バースト受信機能を含む、光波長送受信器の技術を確立し、最終目標を達成した。

(9)　成果と意義

＜高速波長切替 100μs 実現に向けた制御方式の開発＞

波長可変光源の高速波長切替 100μs 実現に向けて、PID 制御による制御応答の高速化を検討した。検討した PID 制御の構成を図 1.4.4.1 に示す。PID 制御は主に比例ゲイン Kp、積分ゲイン Ki、微分ゲイン Kd を調整して、制御応答の高速化を図る。また、制御目標値

と現在値の誤差を積分して制御偏差をゼロにしようとするが、デバイスの応答が遅い場合、積分を継続すると制御量が過大となり目標値に収束するまでの時間が長くなるという問題が生じる。これを解決するため、制御リミット到達時は積分動作を停止する機能を実装することとした。

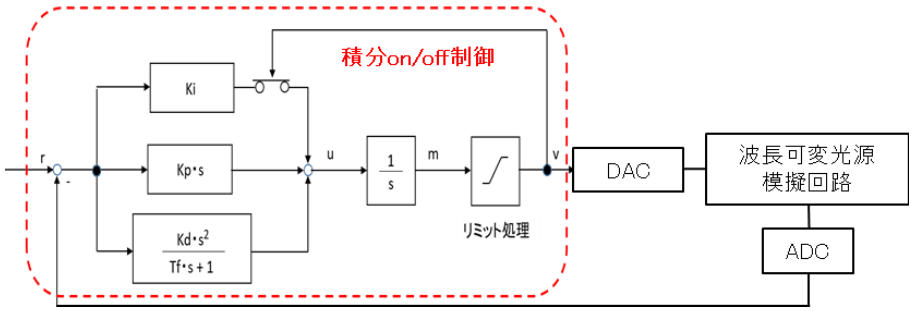
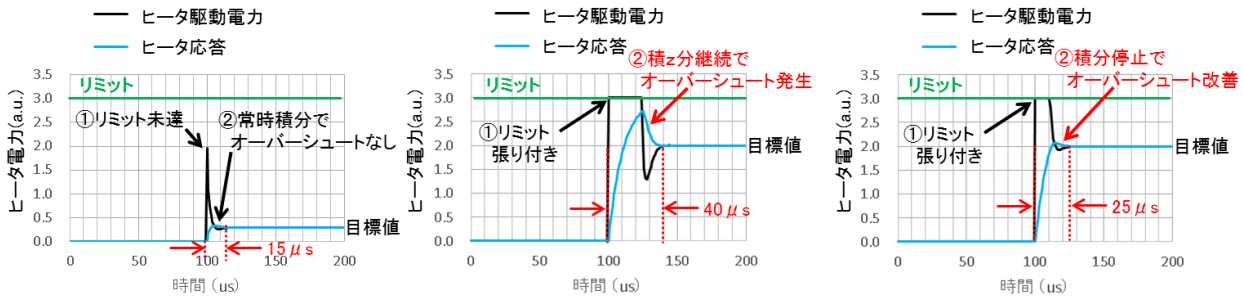


図 1.4.4.1　PID 制御の構成

まず、ソフトウェアで PID 制御の動作確認を実施したので、図 1.4.4.2 にその結果を示す。積分継続の場合、図(a)のヒータ電力が小さい波長はヒータ駆動電力が制御リミットに到達しない。波長可変光源のヒータ応答が遅いため、PID 制御器はヒータ駆動電力にプリエンファシスがかかったような制御量にしてヒータ応答の高速化を図っている様子が見て取れる。これにより、ヒータ応答はオーバーシュートが発生せず、15μs で目標値に到達している。図(b)のヒータ電力が大きい場合、ヒータ駆動電力がリミットに 25μs 張り付き、ヒータ応答にオーバーシュートが発生し、目標値に到達するまでに 40μs の時間がかかる。一方、図(c)のヒータ電力大で積分動作を停止した場合、ヒータ駆動電力がリミットに張り付いている時間は 10μs と短くなり、ヒータ応答のオーバーシュートが抑制され、20μs 程度で目標値に収束している。以上より、制御量がリミットに到達した場合の積分停止の有効性を確認した。

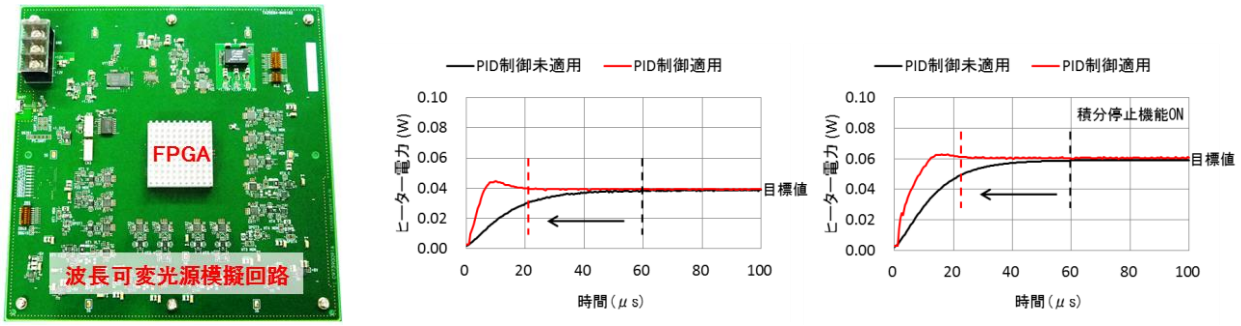


(a) ヒータ電力小, 積分継続　(b) ヒータ電力大, 積分継続　(c) ヒータ電力大, 積分停止

図 1.4.4.2　PID 制御ソフトウェアシミュレーション

次に、ハードウェアを試作し、PID 制御による高速制御の確認を行った。試作したボードとハードウェアシミュレーションの結果を図 1.4.4.3 に示す。図(a)は試作ボードで、PID 制御器は FPGA (Field Programmable Gate Array) に実装し、その周辺回路に高速の ADC (Analog to Digital Converter) と DAC (Digital to Analog Converter) を搭載した。これらの部品選定により、制御周期 500ns で動作する制御器を実現した。また、試作ボードにはソフトウェアシミュレーションと同等の波長可変光源模擬回路を搭載した。図

(b)はヒータ電力が小さい場合のハードウェアシミュレーション結果で、PID制御を適用しないと目標値に収束するまで 60μs の時間を要するが、PID 制御の適用により 20μs まで応答時間を短縮した。ヒータ電力が大きい場合(図(c))も 25μs 程度までヒータ応答を短縮可能であり、ソフトウェアシミュレーションと同様、ハードウェアシミュレーションにおいても PID 制御の有効性を確認した。以上、PID 制御のハードウェア技術を確立した。



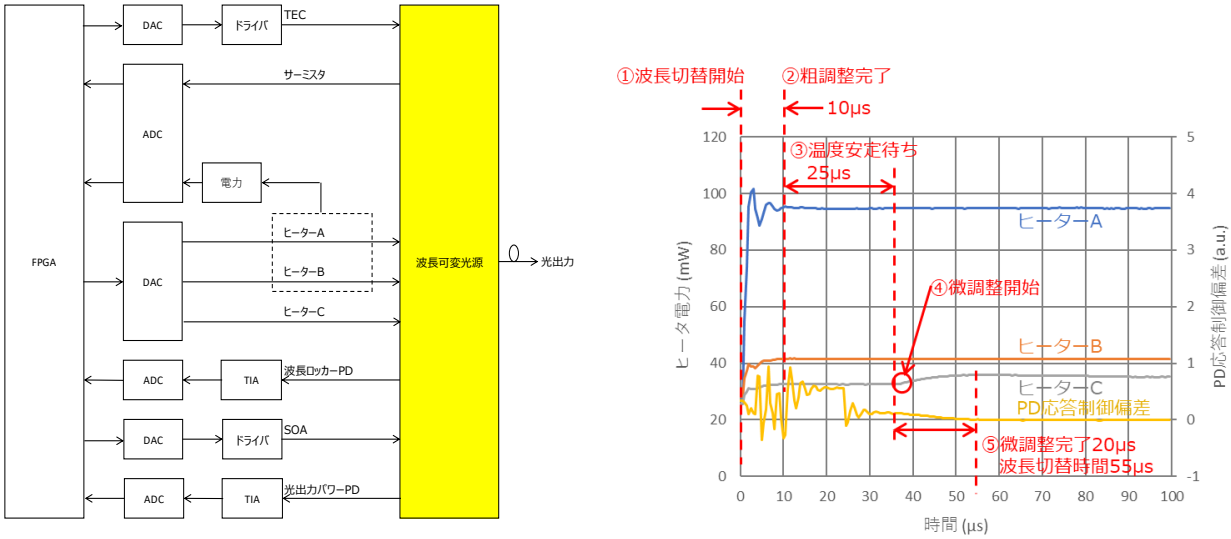
(a)試作ボード　　(b)ヒータ電力が小さい波長　(c)ヒータ電力が大きい波長

図 1.4.4.3　PID 制御事前検証用ボード試作とハードウェアシミュレーション

＜波長可変光源の選定と高速波長切替対応制御回路の開発＞

デジタルコヒーレント光伝送方式では、局発光として狭線幅の波長可変光源が必要となるため、光源を選定後、その光源の電気仕様を満足する制御回路の設計および試作を進めた。その制御系を図 1.4.4.4(a)に示す。選定した光源はヒータ A、B、C の温度で波長を制御する。光源の使用環境温度が変化すると波長が変動するため、サーミスタと TEC (ThermoElectric Cooler)を用いて光源全体の温度を一定に保つ。ヒータ A と B は波長を粗調整するためのものであり、ヒータ端子の電圧と電流からヒータ電力を計算し、目標値と一致するようにフィードバック制御を行う。また、ヒータ C は波長を微調整するためのものである。光源に内蔵された波長ロッカーの PD (Photo Diode)電流値が目標値と一致するようにヒータ C の電力で周波数を微調整する。SOA (Semiconductor Optical Amplifier)と光出力パワーモニタ用の PD は波長可変光源の光出力パワーを制御する。波長可変光源と集積型受信器の仕様を考慮し、+15dBm 以上の光出力が得られるように SOA 電流を制御することとした。

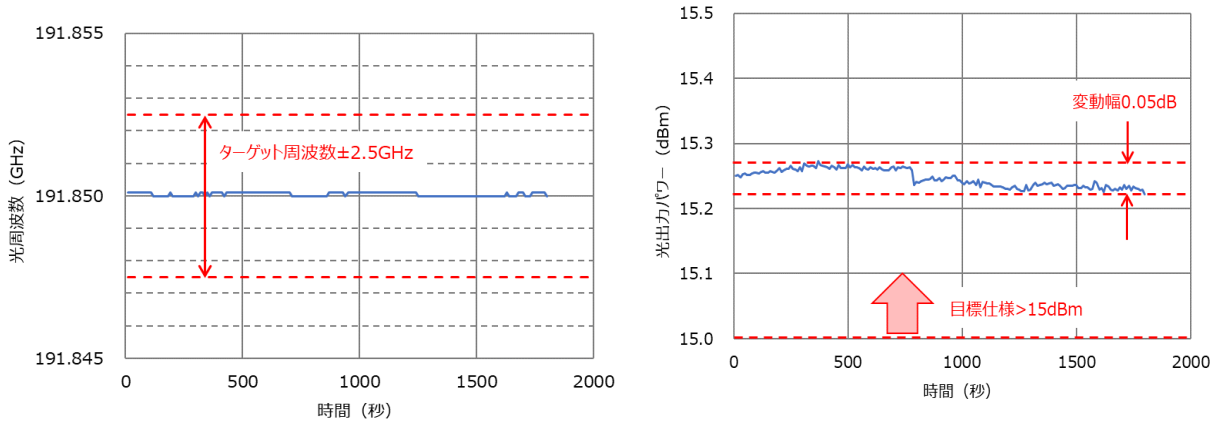
PID 制御パラメータを調整した後、波長切替時の制御応答の評価結果を図 1.4.4.4(b)に示す。波長切替開始のタイミングで粗調整を開始し、ヒータ電力 A、B、C を目標値に制御する。なお、この目標値は設定する波長に応じて必要となるヒータ電力を事前に調査した値であり、粗調整完了時間は 10μs であった。一般的に温度応答は電気応答と比較して遅いため、温度安定待ち時間 25μs 経過後にヒータ C で微調整を開始するようにした。ヒータ C は PD 応答制御偏差が 0 となるようにフィードバック制御を行う。PD 応答制御偏差は波長ロッカーの PD 電流値をモニタしており、この目標値も事前に調査した値である。微調整完了時間は 20μs、波長切替開始から 55μs で波長切替を完了しており、目標とする 100μs の波長切替時間を達成した。



(a) 高速波長切替対応制御系　　(b) 波長切替時の制御応答

図 1.4.4.4　波長可変光源の波長切替応答基本評価

波長安定度と光出力パワーの長時間安定度の評価結果を図 1.4.4.5 に示す。一般的にデジタルコヒーレント光伝送方式で使用されている ITLA の仕様は、目標周波数±2.5GHz 以下、目標光出力パワー±1.0dB 以下である。波長安定度の評価結果は本規格を十分に満足しており、安定性に問題はない。また、光出力パワーは前述の+15dBm以上の目標を満足した。光出力パワーの平均値は+15.25dB、変動幅は 0.05dB であり、規格が許容している変動幅±1.0dB 以下となっており、デジタルコヒーレント光伝送方式で使用する波長可変光源の特性として問題がないことを確認した。以上、波長切替時間、波長安定性、光出力パワーの目標仕様を達成し、波長可変光源の選定を完了し、その制御回路の技術を確立した。



(a) 波長安定度　　(b) 光出力パワー安定度

図 1.4.4.5　波長可変光源の長時間安定度評価結果

＜光バースト受信に向けた集積型受信器の制御開発＞

光・電気デバイスのバースト制御は、図 1.4.4.6 に示す評価系で 200Gbps（32Gbaud 対応）集積型受信器のバースト応答を評価した。デジタル信号処理回路で 32Gbaud の偏波多

重16値直交振幅変調（DP16QAM：Dual Polarization 16 Quadrature Amplitude Modulation）の電気信号を生成し、その信号をCFP2-ACO（ACO：Analog Coherent Optics）を用いて光信号に変換する。この信号は連続信号であるため、バースト信号を生成するために音響光学変調器を用いた。任意波形発生器で電気のバースト信号を生成し、電力分配器でその信号を2分岐、片方は電気バースト信号波形を確認するためにオシロスコープに接続した。もう片方は音響光学変調器が必要とする振幅に増幅するため、ドライバに接続した。ドライバの出力波形に応じて音響光学変調器（AOM：Acousto-Optic Modulator）が光強度変調を行い、光バースト信号を生成する。その光バースト信号を光分岐器で2分岐、片方を光・電気変換後にオシロスコープに接続して光バースト信号が生成されていることを確認することとした。光分岐器のもう片方は評価対象である集積型受信器に入力し、その出力をオシロスコープに接続して集積型受信器のバースト応答を評価した。

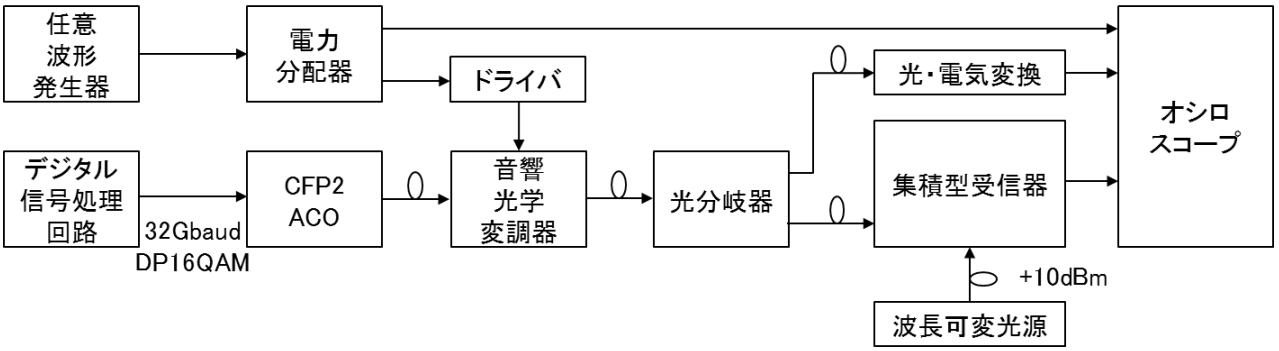
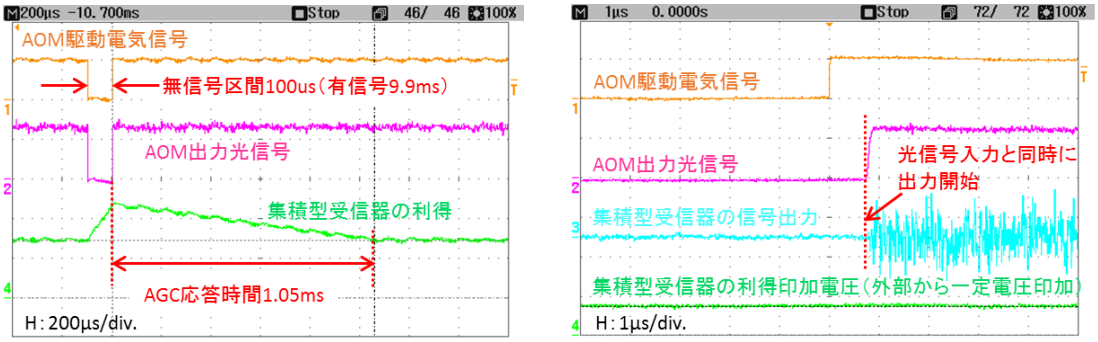


図1.4.4.6　集積型受信器の光バースト信号受信制御

集積型受信器には、その出力振幅を制御するためにAGCとMGCの2つのモードがあり、AGCモードの結果を図1.4.4.7(a)に示す。光バースト信号として、有信号区間9.9ms、無信号区間100μsを想定した評価で、AOM駆動電気信号に合わせて光信号がオフ・オンしており、光バースト信号が正しく生成されている様子が見て取れる。AGCは集積型受信器内部で自動的に利得調整を行い、その利得変化を集積型受信器の利得制御端子電圧でモニタ可能である。信号断になると集積型受信器の出力振幅を一定に保持しようとし、利得電圧を高くして利得を上昇させるように動作する。しかし、その後、光バースト信号が入力されると利得が高すぎるため利得電圧を低下させて利得を下げる。AGCモードでは、無信号区間100μsの影響で集積型受信器の出力振幅が安定するまでに1.05ms程度かかっており、AGCはバースト信号受信には不向きであることが判明した。

一方、MGCは外部から利得電圧を印加するため、主信号系の出力端子をオシロスコープでモニタした。その結果を図1.1.4.7(b)に示しており、光信号入力と同時に集積型受信器から電気信号が出力されている。MGCでは利得設定を光波長受信器内で行う必要があるが、その利得設定値は光信号の伝送経路による損失に依存する。コントローラが伝送経路の設定を行うため、コントローラから波長情報と合わせて利得情報を受信し、MGCの利得設定を行うこととした。



（a）AGC　　（b）MGC

図 1.4.4.7　集積型受信器の光バースト信号応答評価

AGC は集積型受信器が出力振幅一定となるようにゲインを継続して調整しているが MGC ではゲインを固定するため、AGC と MGC の受信感度評価を実施し、特性劣化が生じないか調査した。なお、MGC 動作時は外部電源から集積型受信器のゲイン電圧端子に一定電圧を印加し、AGC と MGC で集積型受信器の電気信号振幅が同等となるように調整した。その評価結果を図 1.4.4.8 に示しており、AGC と MGC で受信感度特性は同じであった。本結果より MGC で集積型受信器へ適切なゲイン電圧を供給すれば光バースト信号の受信が可能であると判断した。以上、光バースト受信に向けた集積型受信器の制御技術を確立した。

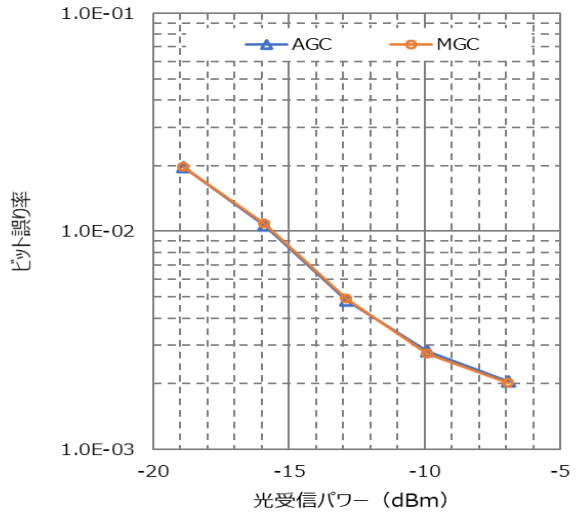


図 1.4.4.8　集積型受信器の光バースト信号応答評価

＜光波長送受信器の構成、および光バースト受信制御系開発＞

光 ToR スイッチの詳細構成を図 1.4.4.9 に示す。光波長送受信器は、光波長送受信ボード、バースト多値プロセッサ送受信ボードで構成する。電気スイッチ側インタフェースとして、リンク維持送受信ボードを挿入した。光経路切換による光信号断に伴う Ethernet Switch のリンクダウンの対策として、信号断に合わせてアイドル信号を Ethernet Switch に送出することで Ethernet リンクを維持し、信号断時間を低減している。

・光波長送受信ボード：波長可変光源(高速波長切替)、コントローラ(EtherCAT 外部制御)、光バースト受信制御(集積型受信器の TIA ゲイン制御、再同期トリガ制御)
・バースト多値プロセッサ送受信ボート：バースト多値プロセッサ、光送信器(送信光源、ドライバ、光変調器)、集積型光受信器、信号インタフェース(QSFP28)

・リンク維持送受信ボード：信号断時リンク維持機能、信号インタフェース(QSFP28)

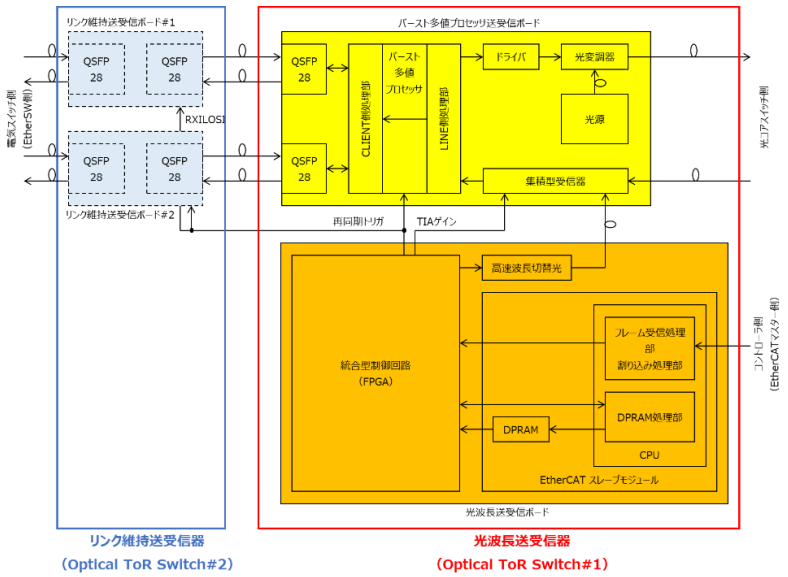


図 1.4.4.9　光 ToR スイッチの構成

波長切替完了後、かつ TIA 出力電気信号振幅が所望の値になってからバースト多値プロセッサの復号処理が正常に動作するため、光バースト受信制御向けボード間制御インタフェースを実装した。制御仕様を図 1.4.4.10 に示す。光 ToR スイッチは EtherCAT インタフェースで波長番号の取得を行うが、それをトリガとして同時に、波長切替、TIA ゲイン設定、再同期トリガ無効化、を行う。波長切替は 100μs を目標としているため、波長切替中に次波長で最適となる TIA ゲインの設定が完了するようにした。

TIA ゲイン制御の動作検証結果を図 1.4.4.11(a)に示す。TIA ゲインは XI、XQ、YI、YQ の 4 レーンを個別にアナログ電圧で設定しなければならない。FPGA からのデジタル信号をアナログ信号を変換する DAC (Digital to Analog Converter)を使用し、DAC は 4 レーンの電圧を順番に設定する。図中の黄色の線は、波長切替開始時刻をモニタするために FPGA が出力する信号である。立下りで波長切替を開始する仕様となっており、XI は 4.3μs、XQ は 6.3μs、YI は 9.1μs、YQ は 10.4μs で TIA ゲインの設定を完了する。TIA ゲインは波長切替中の 100μs の間に設定する仕様としていたため、期待通りの動作結果を得た。

続いて、図 1.4.4.11(b)に再同期トリガ制御の動作検証結果を示す。波長切替と同時に再同期トリガを無効化している。無効化の時間はレジスタで設定する仕様である。設定値が 500ns の場合は、無効化から 500ns 経過後に再度有効化しており、仕様を満足していることを確認した。以上、光バースト受信制御技術を確立した。

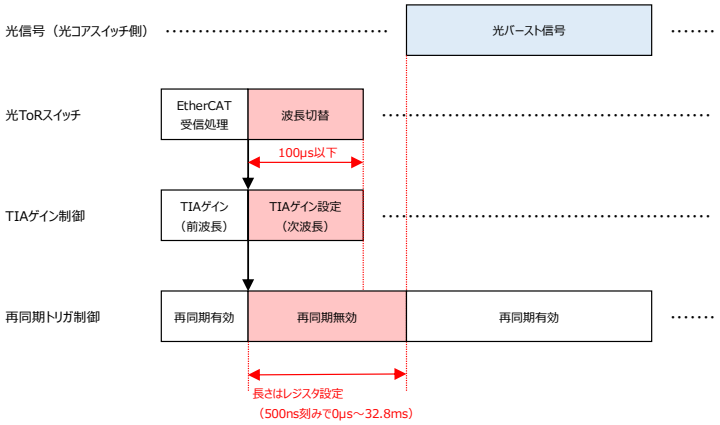
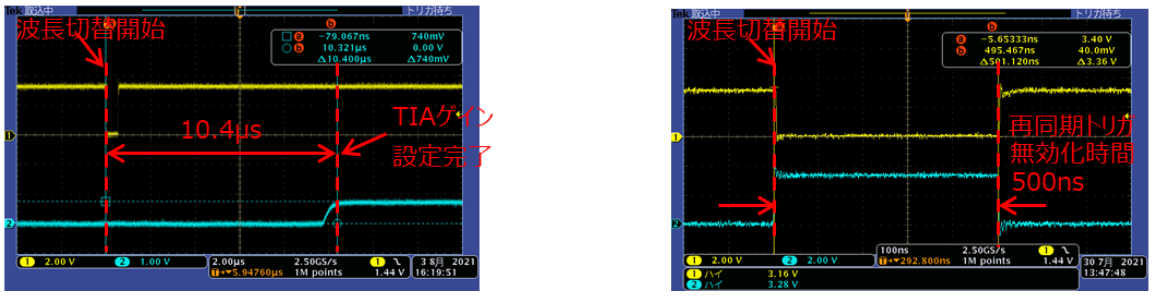


図 1.4.4.10　光バースト受信制御(ボード間制御インタフェース)仕様



(a) 集積型受信器の MGC 端子(YQ)　　(b) 再同期トリガ端子(設定値 500ns)

図 1.4.4.11　光バースト受信制御(ボード間制御インタフェース)評価結果

＜光波長送ボードの試作、評価＞

光波長送受信器実現のため、前述した以下機能を光波長送受信ボードへ実装する。

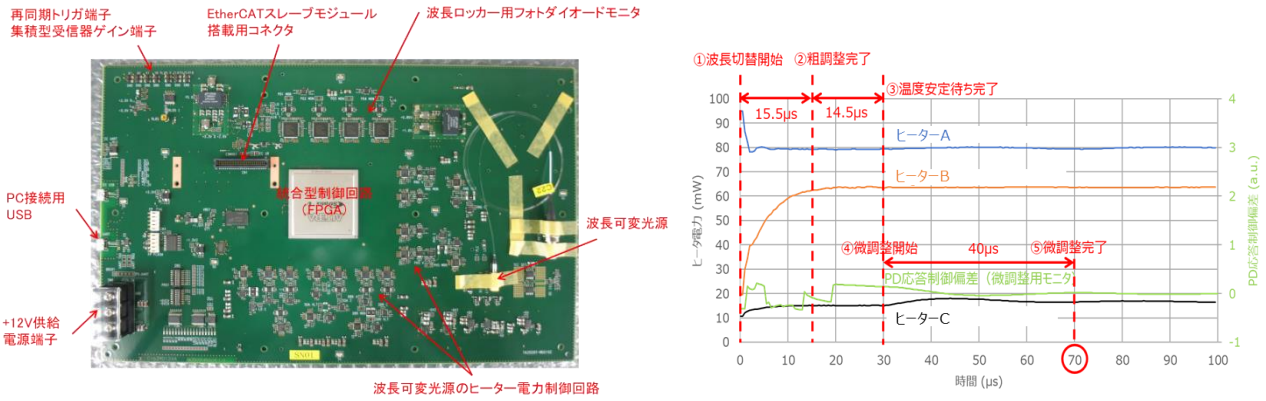
・波長可変光源と高速波長切替対応制御回路

・光バースト受信制御：集積型受信器の TIA ゲイン設定、再同期トリガ制御

・光 ToR スイッチのコントローラ：EtherCAT 外部制御インタフェース

試作した光波長送受信ボードの外観を図 1.4.4.12(a)に示す。ボードは+12V 単一電源で動作する。統合型制御回路として動作する FPGA は、基板中央部に配置した。デバッグ時にレジスタ、メモリへのアクセスが必要となるため、基板端に USB (Universal Serial Bus)のコネクタを搭載し、パーソナルコンピュータからアクセス可能となるようにした。また、バースト多値プロセッサ送受信ボードと接続が必要な再同期トリガ信号および集積型受信器の TIA ゲイン信号も基板端に配置した。FPGA の周辺には市販の EtherCAT スレーブモジュール搭載用のコネクタ、波長可変光源の制御で必要となるヒータ制御回路と波長ロッカー用のモニタ回路を配置、ボードの右下付近に波長可変光源を搭載した。

システム実証用光波長送受信器での波長切替波形を、図 1.4.4.12(b)に示す。評価内容は図 1.4.4.4 でと同様である。波長切替開始から 70μs で波長切替完了し、目標切替時間 100μs を達成した。



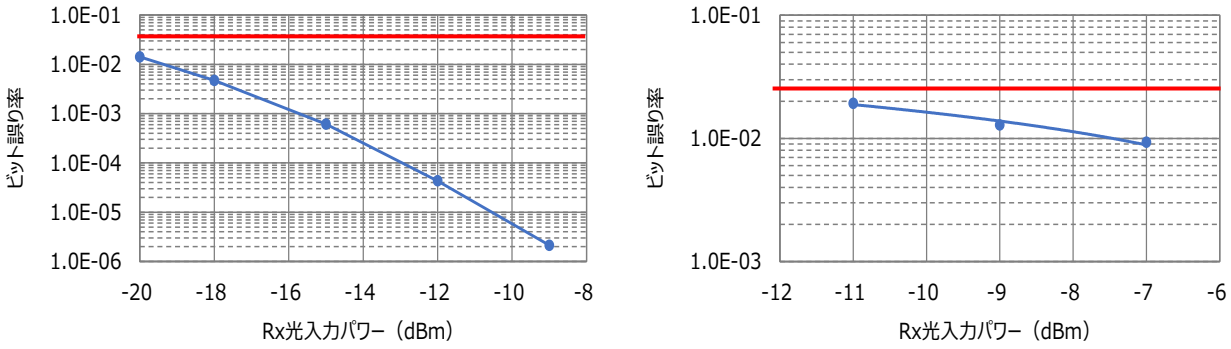
(a) 光波長送受信ボード　　(b) 高速波長切替動作

図 1.4.4.12　光波長送受信器の試作

＜光波長送受信器の光受信特性＞

光波長送受信器の最適化後の 200Gbps、400Gbps 光受信感度特性を、図 1.4.4.13 に示す。横軸は受信光入力パワー、縦軸はビット誤り率（BER：Bit Error Rate）である。変調方式はそれぞれ、(a)200Gbps (64Gbaud-QPSK : Quadrature Phase Shift Keying)、(b)400Gbps (64Gbaud-16QAM)である。標準化されている誤り訂正符号 OFEC (Open FEC : Forward Error Correction)を使用し、評価の結果、その訂正限界 BER=2.0e-2 以下の特性が得られることを確認した。誤り訂正後にエラーフリーであることも確認した。

以上、特性に問題ないこと確認し、光波長送受信器の技術確立および動作実証を完了し、最終目標を達成した。



(a) 200Gbps：64Gbaud-QPSK　　(b) 400Gbps：64Gbaud-16QAM

図 1.4.4.13　受信感度の評価結果

(10)　成果の普及

光波長送受信器は、光電ハイブリッドスイッチシステムの構成要素の一部である。システム実用化に向けて、他の研究開発テーマと連携して国際標準化、データセンタ事業者への提案に取り組んでいる。

研究開発テーマ「バースト多値プロセッサ」

(11)　概要

バースト多値プロセッサは、Tbps級の光波長送受信器において、多値コヒーレント光信号を送信側で生成し、受信側でバースト状の信号を復調するための電気信号処理回路である。これまでバースト対応の電気信号処理回路としては、局舎と家庭・企業を結び最大20km 程度伝送する光アクセスネットワーク用として、10Gbps までの技術が確立されている。また、多値コヒーレント信号対応の電気信号処理回路としては、大都市間を結び最大2000km 程度伝送する幹線ネットワーク用として、100Gbps 程度の技術が確立されている。開発するバースト多値プロセッサは、データセンタ内の信号伝送を主目的としているため、最大伝送距離は 10km 未満となるが、Tbps 級の超高速ビットレートと、高速な応答を行うバースト応答を両立させる必要がある。このため、従来には無い全く新しい信号処理回路技術を実現するための技術開発を行う。

(12)　最終目標と根拠

ア．ビットレート：1Tbps の基盤技術を確立（200Gbps 及び 400Gbps での試作を通じて実証）

現状の半導体技術では Tbps 級のバースト多値プロセッサを現実的なコストと消費電力で実現し、下記(イ)のバースト応答速度を達成することは困難であるため、研究開発期間内に実現可能な 200Gbps 及び 400Gbps 級のバースト多値プロセッサを開発試作し、特性評価を行う。ビットレート 200Gbps 及び 400Gbps を達成するため偏波多重 16QAM 方式の実現が必要となるが、扱う信号は 3 種類の振幅(ゼロレベルを含めて 4 値)を取るため、信号振幅のリニアリティが特性上重要になる。複数の信号振幅を取る 16QAM 以上の多値度では、ADC/DAC、変調器/ドライバ、コヒーレント受信器の非線形劣化が伝送品質を左右する重要な要素となっており、16QAM での信号振幅のリニアリティと信号劣化量を評価することで、より多値度を向上させた 1Tbps 伝送時の伝送特性を見積もることができ、1Tbps の基盤技術を確立することが可能となる。

イ．バースト応答速度：100μs（200Gbps で実証、400Gbps でも評価実施）

バースト多値プロセッサは、光波長送受信器、光コアスイッチのスイッチング速度を損なうことのないバースト信号に対する高速追従性が必要となる。光波長送受信器内の波長可変光源の波長切替速度、光コアスイッチの切替速度の目標は 100μs 程度である。これらは、コントローラの指示でほぼ同時に切替処理を行う。光波長送受信器内の波長可変光源とバースト多値プロセッサの応答速度は同等で、波長切替とバースト多値プロセッサの応答がほぼ同時に行うことができれば、光電ハイブリッドスイッチシステム全体の切替時間目標が達成できる。

(13)　目標の達成度

2018 年度には 16nm プロセスで部分試作を実施し、2019 年度に部分試作チップを評価して応答時間の検証と課題抽出を行った。部分試作チップでは従来の 1/10 程度である 500μs の応答時間を達成した。並行して 2018 年度から 2019 年度にかけて 7nm プロセスで

統合設計した一次試作を実施し、2020年度に一次試作チップを評価して目標である100μsの応答時間を達成した。また、2019 年度から 2020 年度にかけてクライアントインタフェースや制御インタフェースを追加した改良試作、2020 年度には並行して 400Gbps 化を加速させる先導試作を実施した。改良試作チップ、先導試作チップは 2021 年度に評価を実施し、両試作チップの機能・性能を融合させた最終試作を実施した。2022 年度には最終試作チップの評価を実施し、200Gbps 及び 400Gbps で偏波多重 16QAM 方式を実現して特性評価を行うことで1Tbpsの基盤技術を確立した。さらに最終試作チップを光変復調評価ボードへ搭載してシステムへ組み込み、コントローラの指示で光波長送受信器内の波長可変光源及び光コアスイッチとの連携動作でシステム検証および映像デモを実施した。これによりバースト多値プロセッサが光電ハイブリッドスイッチシステムで動作することを実証した。

(14) 成果と意義

＜バースト多値プロセッサ部分試作＞

バースト多値プロセッサの研究開発において、光バースト信号を安定に送受信するための新たな機能ブロックの回路検討から実施した。基本機能・性能を把握するため、基本回路設計を進めた。高速にバースト応答するためには、信号フレーム先頭位置を高速に検出し、信号の継続や収束を判定する①バースト信号推定回路、伝送路特性の高速なモニタ機能を実現するための②高速伝送路推定回路、バースト信号の到来・継続・収束に応じて各回路ブロックを高速に制御する③バースト適応制御回路が必要となる（図 1.5.4.1）。これらについてアルゴリズムを検討し、アプリケーションで想定される入力信号を伝送路モデルから生成して回路シミュレーションを実施した。

バースト応答を詳細に評価するため、評価方法の検討に取り組んだ。目標である 200Gbps における 100μs のバースト応答達成に向け、バースト信号と伝送路特性の推定精度やバースト適応制御の安定性を重視したモードや、逆に高速応答性を重視して精度と安定性を緩和したモードについてシミュレーションによる検討を実施した。回路の基本動作を確認するとともに、理想的な条件下ではあるが、目標応答時間への目途を確認した。

これらの結果を踏まえ、バースト適応制御回路の収束状態・同期状態・誤り訂正数の監視基本回路を設計し、既存 IP と合せて詳細な設計を行った。さらに、バースト対応新規設計ブロックの機能を確認するため、部分試作のレイアウトおよび試作を進めた。部分試作は実績のある 16nm プロセスにて 2018 年度に実施した。

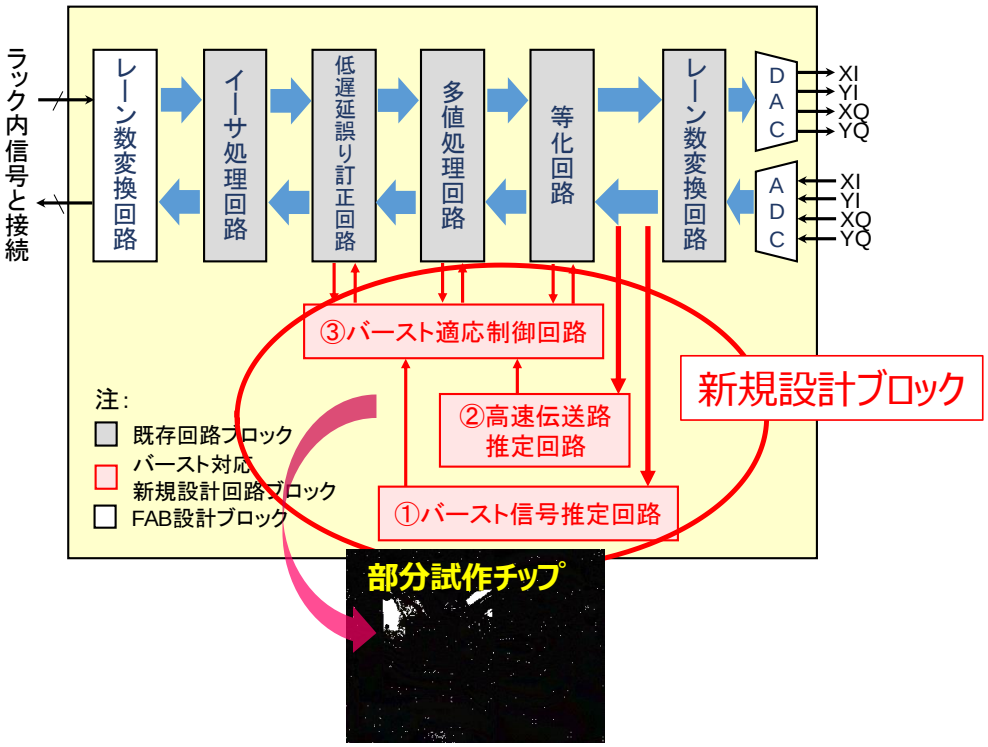


図 1.5.4.1　バースト多値プロセッサの主要ブロックと部分試作

2019 年度は試作した 16nm 部分試作チップのバースト特性を評価し、従来のバースト非対応 LSI に比べ、約 1/10 の短縮となる 500μs の切り替え時間を達成した（図 1.5.4.2）。これにより、高速にバースト応答するため新たに導入した新規設計回路ブロックの基本的な効果を確認することができた。

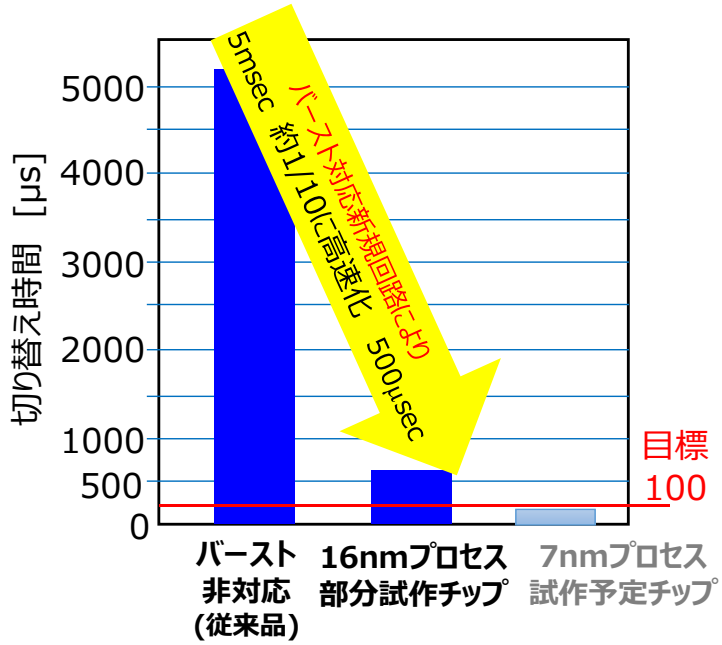


図 1.5.4.2　部分試作評価による切り替え時間短縮の達成度

＜バースト多値プロセッサー次試作＞

目標である 100μs の応答に対しては、さらなる切り替え時間の短縮が必要である。バースト信号と伝送路特性の推定精度やバースト適応制御の安定性を重視したモードや、逆に高速応答性を重視して精度と安定性を緩和したモードについてシミュレーションによる検討を実施した。

また、変調方式の拡張検討により、現時点における 16QAM 変調に対し QPSK 変調での実現性を検討した。シンボルレートを当初の 2 倍に高速化する必要があるため、光波長スイッチなど光学デバイスの対応も課題となるが、高速応答性を重視したモード選択からさらに切り替え時間を約 1/2 に短縮できることが推定された（表 1.5.4.1）。

これらの結果を踏まえ、7nm プロセスによるバースト適応制御回路の収束状態・同期状態・誤り訂正数の監視基本回路を設計・検証し、これらの回路を統合して 7nm 化した既存 IP と合せ、詳細設計を行い試作を進めた。

さらに、一次試作チップのバースト特性を評価するための評価ボードを設計、試作するとともに、クライアント側の出力信号におけるバースト対応の課題について検討を進めた。

一次試作チップを搭載した評価ボード（図 1.5.4.3）を用いて 200Gbps, 偏波多重 16QAM(DP-16QAM)信号（図 1.5.4.4）を生成した。バースト多値プロセッサは誤り訂正符号化／復号化機能を有しており、誤り訂正復号化後に符号誤り率がゼロ（エラーフリー）となることを確認した。

表 1.5.4.1　変調方式の変更による切り替え時間の短縮

	200G 16QAM	200G 8QAM	200G QPSK
Baudrate [Gbaud]	～32	～43	～64
波長数@波長間隔	96@50GHz	76@62.5GHz	64@75GHz
応答時間相対値	1	0.75	0.5
受信感度改善量	0dB(基準)	～1.2dB	～3.5dB

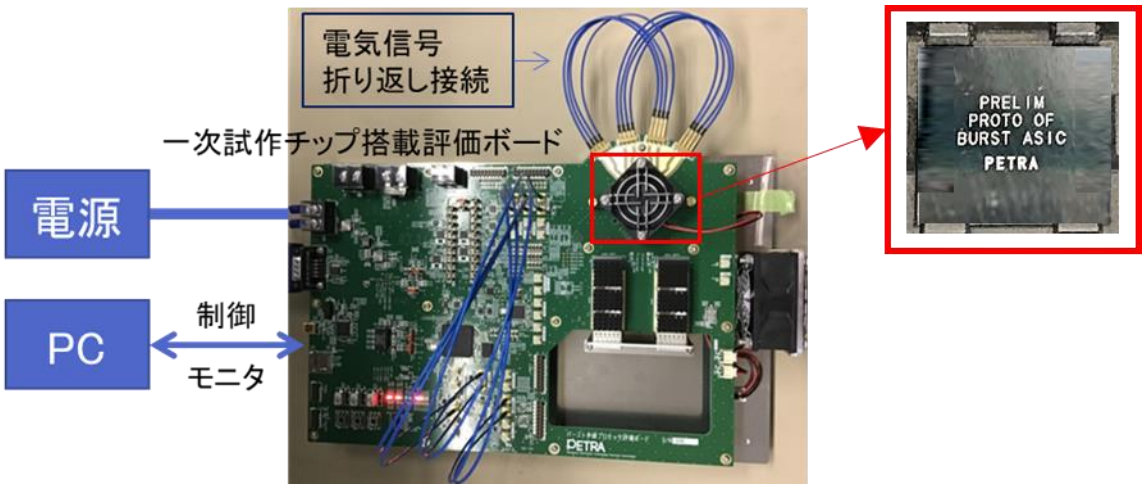


図 1.5.4.3　バースト多値プロセッサ一次試作チップと評価ボード

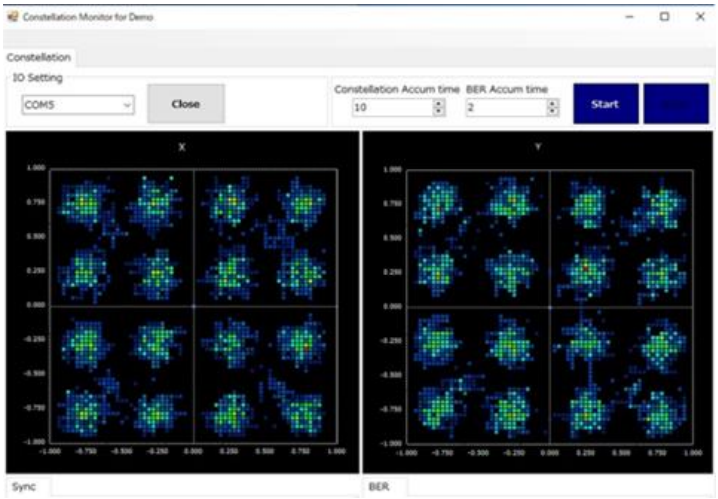


図 1.5.4.4　一次試作チップの電気折り返しによる 200Gbps，DP-16QAM 信号

さらに評価ボードを用いてバースト多値プロセッサ一次試作チップのバースト応答時間の評価を実施した（図 1.5.4.5）。図 1.5.4.5 の (a)はバースト多値プロセッサに入力されるバースト信号の波形、(b)はバースト多値プロセッサが入力信号に対して同期外れ状態を示す同期アラーム波形をそれぞれ模式的に描いたものである。実際にはバースト信号入力検出を示すトリガ信号を PC からのコマンドでバースト多値プロセッサに入力し、バースト多値プロセッサ内部に搭載した各機能ブロックの引き込み時間モニタ機能を使って応答時間を測定した。このとき図 1.5.4.1 の①バースト信号推定回路、②高速伝送路推定回路、③バースト適応制御回路はすべて ON として、それぞれパラメータの最適化を行った。バースト引き込みを 10 回実施して応答時間を測定したところ、測定毎のばらつきが見られたが平均で 94.5μs となり目標である 100μs 以下を達成した。

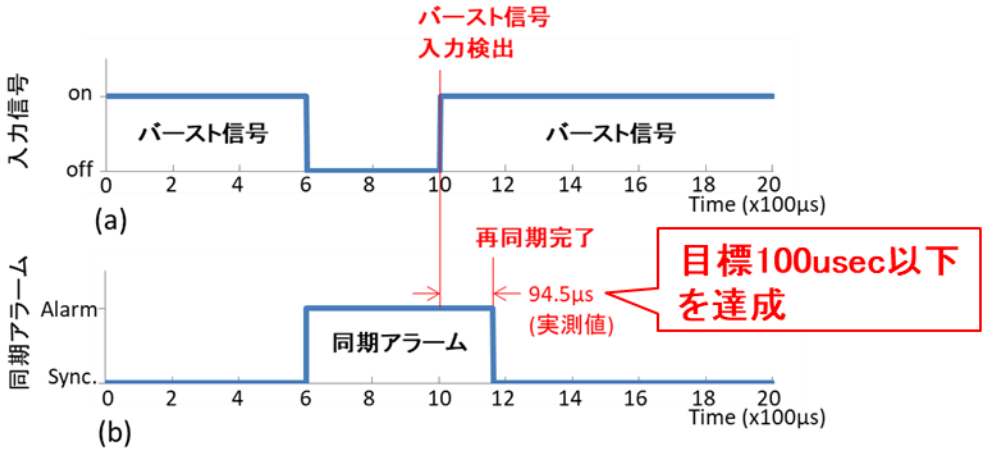


図 1.5.4.5　バースト多値プロセッサ一次試作による応答時間測定結果

＜バースト多値プロセッサ改良試作＞

光電ハイブリッドスイッチシステムでは、バースト多値プロセッサは光波長送受信器の一部として光 ToR スイッチを構成する。システム検証を実施するためにはライン側の主信

号のインタフェースだけでなく、イーサスイッチなどと接続するクライアント側インタフェース、バースト制御のための制御信号インタフェースなどが必要になる。それらのインタフェースをバースト信号に対応するように一部改良した改良試作を実施した。改良試作では、バースト多値プロセッサの応答時間を直接的に観測するために同期アラームモニタインタフェースを設けた。

図 1.5.4.6 にバースト多値プロセッサ改良試作チップと光変復調機能付き評価ボードの写真を示す。一次試作まではライン側の高速インタフェースは同軸コネクタであり、光信号を生成するためには別途光変調器などの光学部品を用意して同軸ケーブルで接続しなければならなかった。そこで改良試作と並行して光変復調機能をもつバースト多値プロセッサ評価ボードを試作した。光変復調機能付き評価ボードは、これまでの同軸コネクタインタフェースの評価ボードに高周波特性を考慮して光学部品を最短距離で実装できるように再設計したものである。バースト多値プロセッサの送信側の 4 チャネルのインタフェース（XI, XQ, YI, YQ）はそれぞれドライバアンプを介して光変調器に接続される。受信側インタフェースには ICR（Integrated Coherent Receiver）で光電変換された４チャネルの信号（XI, XQ, YI, YQ）が入力される。また、光学部には送信光源用とコヒーレント受信用ローカル光源用として２つの ITLA（Integrable Tunable Laser Assembly）を搭載している。光学部を評価ボードに一体化することにより、安定した光送受信が可能になった。

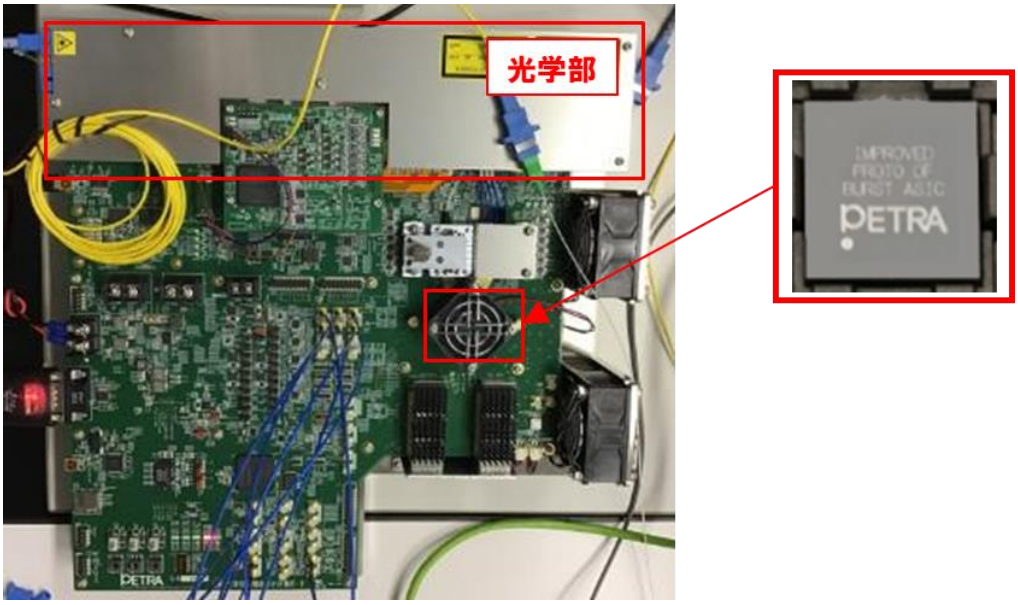


図 1.5.4.6　バースト多値プロセッサ改良試作チップと光変復調機能付き評価ボード

一方、これまでバースト多値プロセッサの応答時間は、バースト多値プロセッサ内部の引き込み時間モニタ機能を使って行っていたが、同期アラーム波形による外部から見たより客観的な応答時間の測定を実現すべく測定系を構築した。PC から評価ボード搭載した FPGA 経由でバースト多値プロセッサに再同期トリガを与える構成は従来と同じであるが、新たにバースト多値プロセッサのハードウェアピンから同期アラーム波形を出力できるようにファームウェアを改修してオシロスコープでモニタできる測定系を構築した。

図 1.5.4.7 にオシロスコープ観測した再同期トリガ波形と同期アラーム波形を示す。再同期トリガ波形は立ち下がりエッジでバースト多値プロセッサに再同期トリガがかかる。同期アラーム波形は”High”が同期外れアラーム発出状態、”Low”が同期外れアラーム解除状態である。再同期トリガ波形が立ち下がりエッジから少し遅れて同期アラーム波形が”High”から”Low”に下がっていることが分かる。この時間差が外部から客観的に観測されるバースト多値プロセッサの応答時間であり、これ以降の応答時間測定にはこの測定方法を使用する。

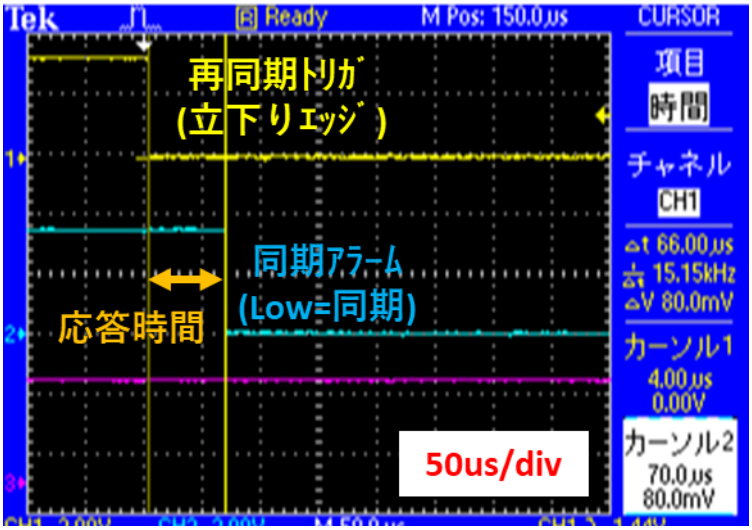


図 1.5.4.7　同期アラーム波形による応答時間測定例

図 1.5.4.8 にアラーム解除時間設定の 3 条件 1，10，100（相対値）で測定した 200Gbps，DP-QPSK での応答時間をまとめた結果を示す。アラーム解除時間設定 1（相対値）では 10 回測定中 5 回引き込みに失敗していることが分かる。アラーム解除時間設定 10，100（相対値）では 10 回測定すべてにおいて引き込みに成功して応答時間を測定することができている。応答時間を見ると、アラーム解除時間設定 1（相対値）と 10（相対値）ではほとんど変わってない一方、アラーム開示時間設定 100（相対値）では応答時間が 20µs ほど大きくなっていることが分かる。

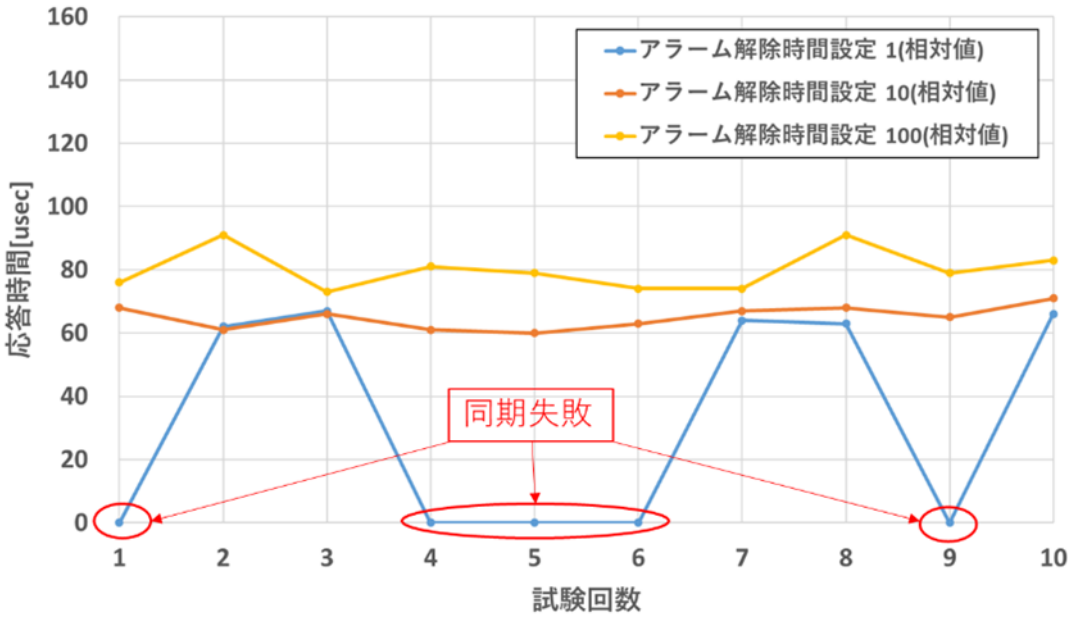


図 1.5.4.8　応答時間のアラーム解除時間依存性（200Gbps, DP-QPSK）

＜バースト多値プロセッサ先導試作＞

バースト多値プロセッサは当初200Gbpsの動作速度をターゲットにしていたが、市場動向を勘案して 400Gbps 化を加速するため改良試作の直後のタイミングで先導試作を実施した。400Gbps に対応するため回路全体を高速化・大容量化に向けて見直した。400Gbps 化を目指した先導試作は前述の改良試作と一部並行して検討を進めたため、バースト信号対応回路ブロックについては確実性を重視して一次試作までの成果を反映させた設計とした。

図1.5.4.9にバースト多値プロセッサ先導試作チップおよび光変復調機能付き評価ボードの写真を示す。図 1.5.4.10 に先導試作チップによる 400Gbps, DP-16QAM 光信号のコンスタレーションを示す。この 400Gbps 光信号を送信側から受信側へ折り返し接続して信号疎通すなわち誤り訂正後のエラーフリー動作を確認した。

図 1.5.4.11 に 400Gbps, DP-16QAM 信号でのフレーム同期後方保護段数と 10 回測定の平均応答時間の関係を示す。まずここで重要なことは図中のすべての場合において、平均応答時間が 100μs 以下を実現している点である。400Gbps 動作でも目標の 100μs 以下を確認することができた。また、アラーム解除時間設定 10, 100（相対値）両方ともフレーム後方保護段数を増やすと平均応答時間は大きくなる傾向にあることが分かる。さらに、同一のフレーム後方保護段数ではアラーム解除時間設定 10（相対値）の場合の方が同設定 100（相対値）場合に比べて平均応答時間が短くできることが分かった。

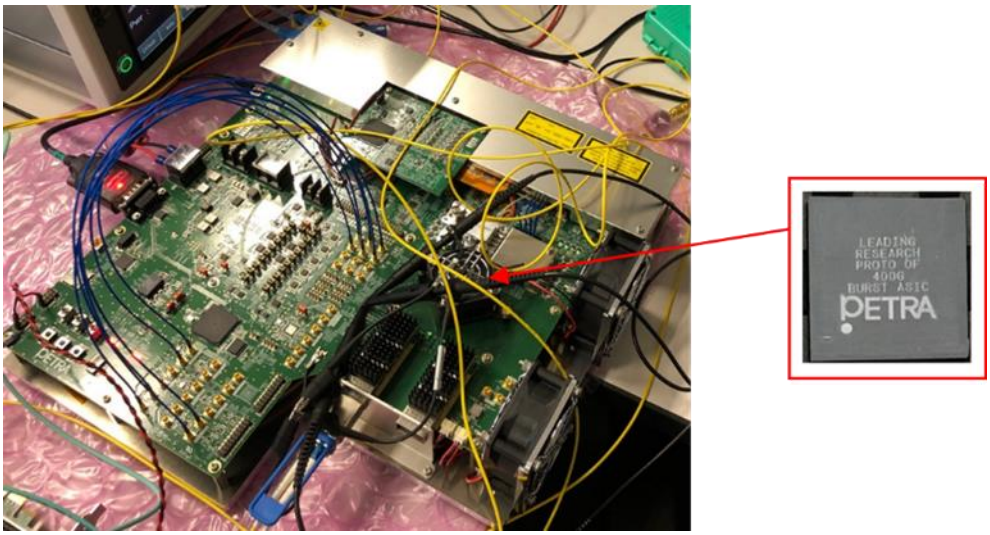


図 1.5.4.9　バースト多値プロセッサ先導試作チップと光変復調機能付き評価ボード

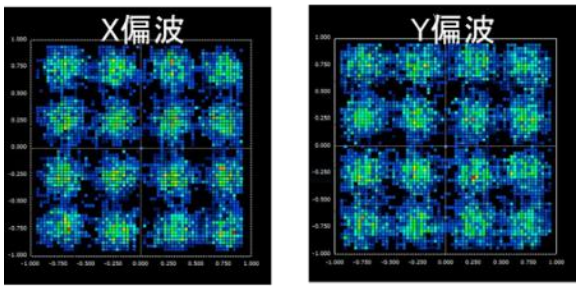


図 1.5.4.10　先導試作チップによる 400Gbps，DP-16QAM 光信号コンスタレーション

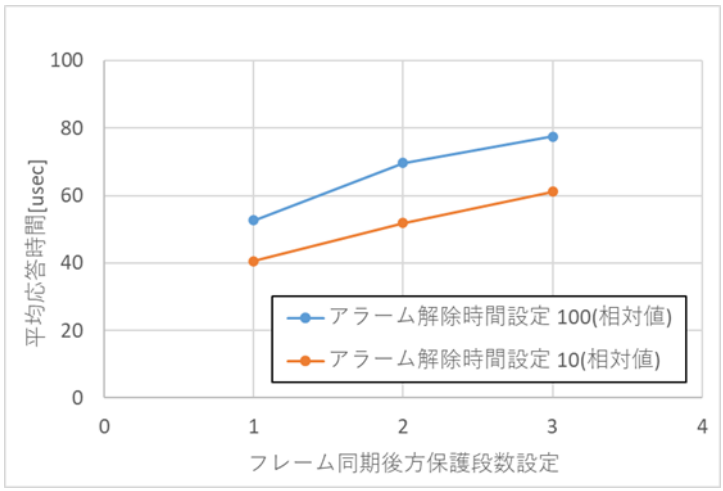


図 1.5.4.11　フレーム同期後方保護段数 vs 平均応答時間（400Gbps，DP-16QAM,）

＜バースト多値プロセッサ最終試作＞

高速バースト応答特性を実現したバースト多値プロセッサ改良試作と 400Gbps 化を実現した先導試作の成果を融合させた、バースト多値プロセッサ最終試作を実施した。最終試

作は、光電ハイブリッドスイッチシステムのシステム検証系および映像伝送デモ系に組み込んで動作させるため、詳細なインタフェース仕様を反映させ設計し試作を行った。

最終試作チップは光変復調ボードに実装され、システム検証系構築に向けて光波長送受信器に組み込まれるが、その前に光変復調ボードに実装された最終試作チップの評価を実施した。

図 1.5.4.12 には最終試作チップによる 400Gbps, DP-16QAM 光信号コンスタレーション、図 1.5.4.13 には 200Gbps, DP-16QAM 光信号コンスタレーション、図 1.5.4.14 には 200Gbps, DP-QPSK 光信号コンスタレーションをそれぞれ示す。

図 1.5.4.15 に最終試作チップによる 200Gbps での応答時間測定結果、図 1.5.4.16 に最終試作チップによる 400Gbps での応答時間測定結果のそれぞれの代表データを示す。200Gbps 動作、400Gbps 動作ともに目標である 100μs 以下の応答時間を達成したことを確認した。

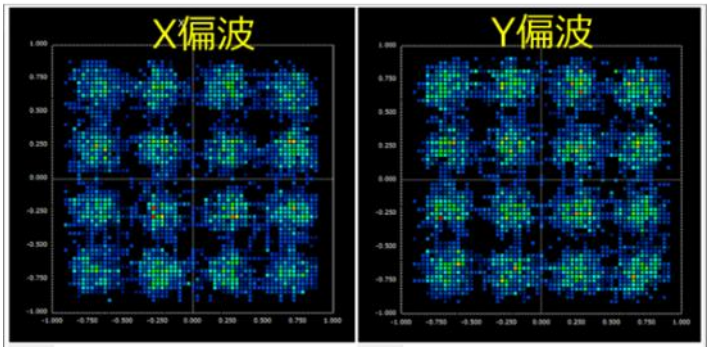


図 1.5.4.12　最終試作チップによる 400Gbps, DP-16QAM 光信号コンスタレーション

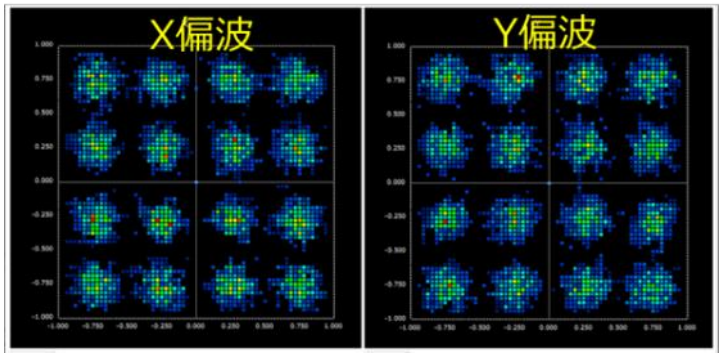


図 1.5.4.13　最終試作チップによる 200Gbps, DP-16QAM 光信号コンスタレーション

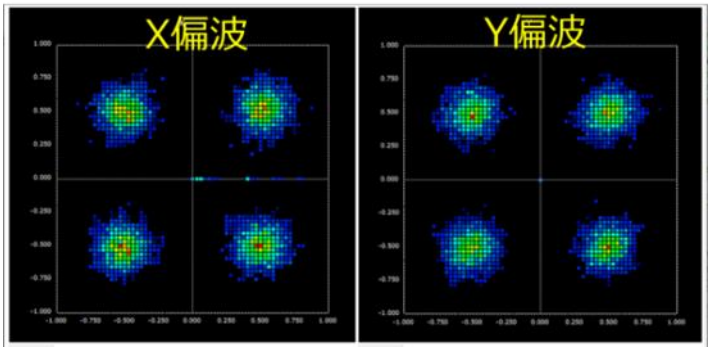


図 1.5.4.14　最終試作チップによる 200Gbps，DP-QPSK 光信号コンスタレーション

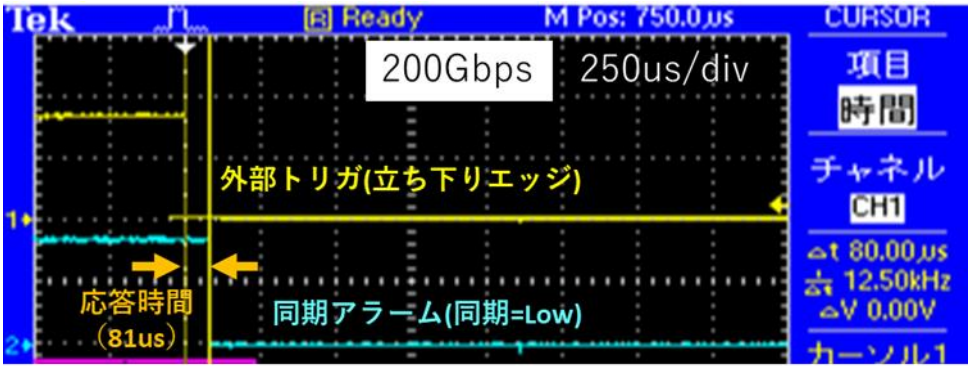


図 1.5.4.15　最終試作チップによる応答時間測定結果（200Gbps）

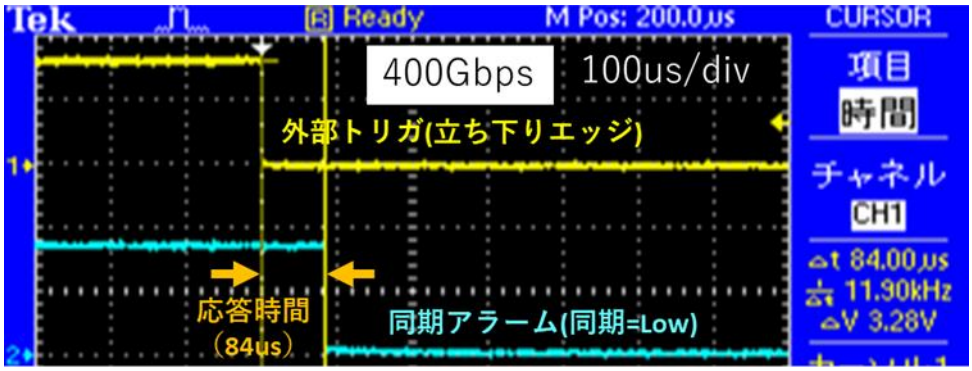


図 1.5.4.16　最終試作チップによる応答時間測定結果（400Gbps）

(15)　成果の普及

バースト多値プロセッサは、光波長送受信器に組み込まれる光電ハイブリッドスイッチシステム実現の重要な要素部品のひとつである。システム実用化に向けて、他の研究開発テーマと連携して国際会議での成果発表、データセンタ事業者への提案に取り組んだ。

また、バースト多値プロセッサの研究開発の成果の一部を自社製品の性能向上に活用していく。

研究開発テーマ「光コアスイッチ」

概要

光コアスイッチはシステム内に 1 台設けられ、各ラックに設けられた光 ToR スイッチから送出された光信号を、光電変換することなく、別のラックに向けて送信する機能を有する機能ブロックである。光電ハイブリッドスイッチシステムの目標性能から、入出力ポート数を 1000 ポート超に拡張可能であること、切替時間が 100µs 程度であること、1Tbps 級

信号の透過が可能であることの３つの要件を満たす必要がある。これを実現する光回路構成として「光波長多重回路(光合波器)」「光スプリッタ」「光増幅器」「空間光スイッチ」からなる構成(図 1.6.1.1)とし、これを実装・原理検証した上でシステム実験に適用することが、本研究開発テーマの目標である。

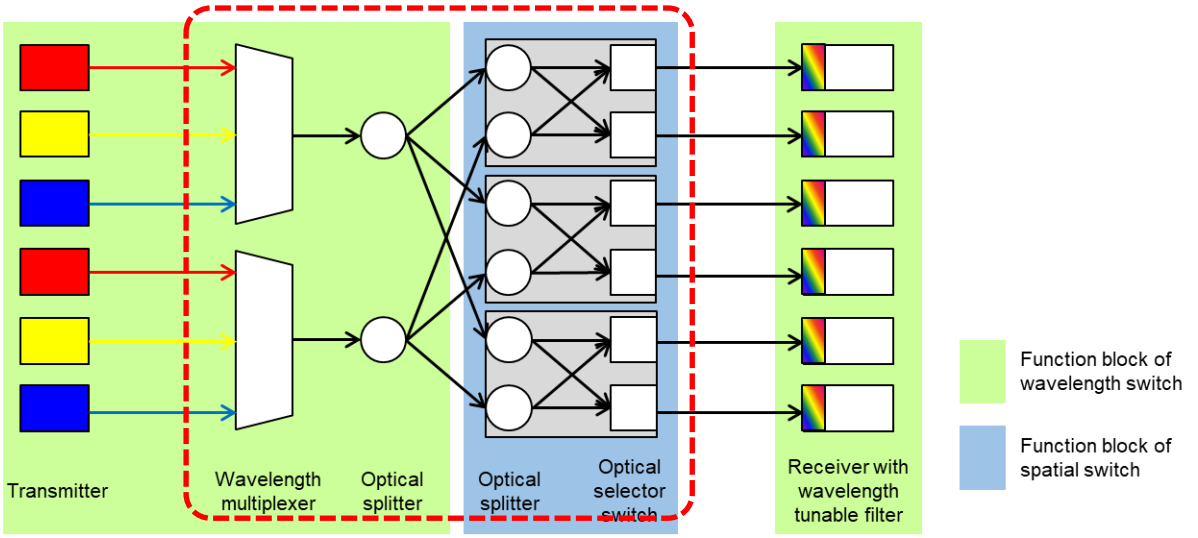


図 1.6.1.1　光コアスイッチの構成

光コアスイッチの主要構成要素のうち、「光波長多重回路(光合波器)」「光スプリッタ」「光増幅器」については、カスタマイズした既製デバイスの適用が可能であったが、「空間光スイッチ」についてはポート数(1000 ポート超への拡張性と整合する規模)、光学的動特性(切替時間 100μs 程度)、光学的静特性(1Tbps 級の信号透過と整合する挿入損失・偏波依存特性等)の要件を全て満たすデバイスが存在しなかったため、研究開発期間前半(～2020 年度)において、これら全ての要件を満たす空間光スイッチの研究開発を実施した。

最終目標と根拠

光コアスイッチの研究開発における最終目標は、システム実験に適用する 1000 ポート超に拡張可能な光コアスイッチの設計および原理検証に必要な実装を行い、他機能部との連携動作検証を実施することにある。以下、設計に関する指針、実装に関する指針、連係動作に関する指針に分けて、各々について示す。

設計に関する指針は、特に光信号伝送の観点が重要である。具体的には、「光波長多重回路(合波器)」「光スプリッタ」「光増幅器」等の構成デバイスを選定するプロセスと、新たな取り組みとして実施する「空間光スイッチ」の研究開発プロセスを並行して進め、入力から出力までの OSNR ダイヤグラム等の精度を高めながら、光 ToR スイッチ内の光波長送受信器の許容範囲との整合を図る。精度の荒い初期検討状況を、空間光スイッチが最低限満たすべき要件として表現し直すと、内蔵する光セレクタスイッチのポート数 16、過剰損失 13dB 以下、スイッチング時間 100μs 以下となる。

実装に関する指針は、フル実装時の装置サイズを実用上適切なサイズとなるよう定める必要がある。対象とする装置に必要な 1000 ポート規模の入出力ポートの専有面積や、ファイバの挿抜を一般的な作業者が実施するための適度な間隔等を考慮して設計を実施す

る。精度の荒い初期検討状況として、光コアスイッチを 1 架に収容することを目安としている。

連携動作に関する指針については、コントローラとの間で制御情報等を送受するインタフェースや通信プロトコルを規定することが目標となる。システム全体を適切に動作させる観点から、特に遅延時間の低減に配慮して設計を実施する必要がある。精度の荒い初期検討状況として、コントローラと光コアスイッチの間の通信遅延を 100μs 以下に抑えることを目安としている。

以上の指針に沿って研究開発を推進し、進捗を踏まえて検討精度を高めることによって、着実に最終目標とする装置実装、連係動作検証が達成される。なお、本目標について研究開発開始時点から見直す必要は生じなかった。

目標の達成度

光コアスイッチの研究開発における最終目標として設定した、システム実験に適用する 1000 ポート超に拡張可能な光コアスイッチの設計および原理検証に必要な実装を行うことについて、完遂することができた。成果物である検証機は、1.1 に記載の「光電ハイブリッドスイッチシステム実証」にて、他機能部との連携動作検証に成功しており、連係動作検証の観点でも完遂することができた。以下、設計に関する目標、実装に関する目標、連係動作に関する目標について、達成状況を示す。

設計に関する目標のうち、「光波長多重回路(合波器)」「光スプリッタ」「光増幅器」等の構成デバイスを選定するプロセスについては、計画通りに進捗し、成果物である検証機の完成することができた。新たに研究開発した「空間光スイッチ」(外観図 1.6.3.1)については、初期検討時に定めた要件である、内蔵する光セレクタスイッチのポート数16、過剰損失13dB以下、スイッチング時間100μs以下(図1.6.3.2参照)の光スイッチモジュールの試作に成功した。入力から出力までの OSNR ダイヤグラム等を定め、光 ToR スイッチ内の光波長送受信器の許容範囲との整合を図る点について達成できていることも、「光電ハイブリッドスイッチシステム実証」における、連携動作検証に成功したことを通じて確認できる。



図 1.6.3.1　検証機向け空間光スイッチモジュール外観

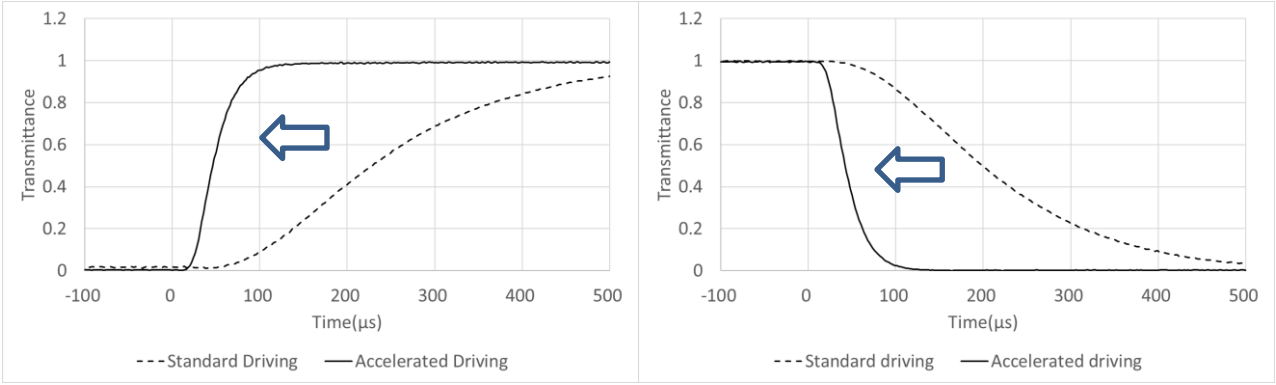


図 1.6.3.2　本研究で達成したスイッチング時間 100μs を切る応答の波形

実装に関する目標は、初期検討段階で光コアスイッチを 1 架に収容することを目安とし、フル実装時で 2 架に収容可能な検証機を完成することができた。実験用途の筐体であり、省スペース化の余地もあることから、将来的に 1 架に収容可能な見通しが得られたものと考えられる。

連携動作に関する目標は、コントローラとの間で制御情報等を送受するインタフェースや通信プロトコルを規定し、EtherCAT を採用することとして、コントローラと光コアスイッチの間の通信遅延を 100μs 以下に抑えることができた。

研究開発開始時に設定した目標に加えて、検証機を完成する前の段階で空間光スイッチモジュールと、光波長送受信器に内蔵される高速波長可変光源モジュールを連携し、光物理層における 1000 ポート級かつ 100μs 級のスイッチングに関する原理検証実験も実施した(図 1.6.3.3)。得られた研究開発成果については、光通信関連の著名な国際会議である OECC/PSC2022 において採択されている。

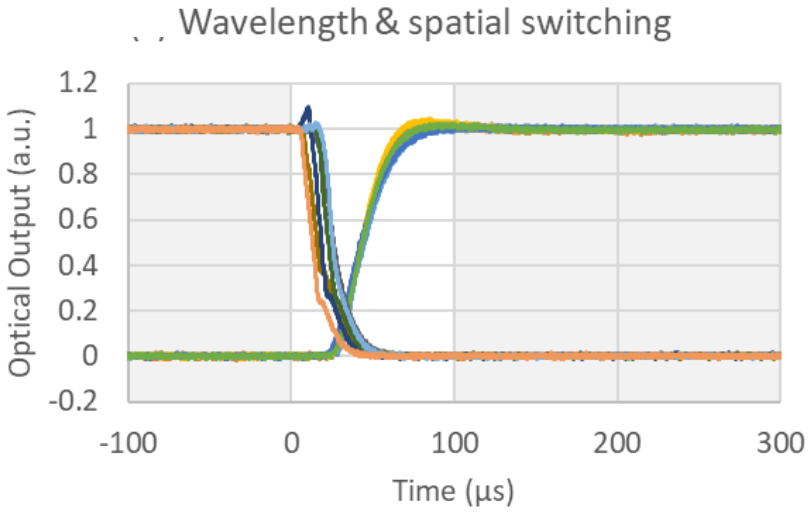


図 1.6.3.3　光物理層スイッチングの過渡応答波形

成果と意義

「空間光スイッチ」で採用した石英系 PLC 方式の光スイッチは、キャリアネットワークにも適用されている実用的な光スイッチである。本研究開発を通じて達成したスイッチン

グ時間を 100μs 以下に抑える技術は、実用的な光スイッチのスイッチング時間として最短レベルに位置づけられる。「空間光スイッチ」のスイッチング時間短縮に関する成果は、光通信に関する世界最大の会議である OFC に投稿し、口頭発表で採択されるなど、対外的にも高く評価されており、高速な光スイッチングという新たな市場開拓に向けて、重要なマイルストーンを刻むことができた。

成果の普及

1.6.4 項にて示した通り、本研究開発成果がベースとしている石英系 PLC 方式の光スイッチは、キャリアネットワークにも適用される実績のある光スイッチであり、本研究成果が実用に供されるに当たって重要な要素となるデバイスの信頼性などは、基本的に既存の石英系 PLC デバイスに準じるものと考えられる。従って、本成果が市場に普及するための素地は十分に備えており、高速な光スイッチングという未開拓の新需要を喚起することが、本技術の普及に向けて重要といえる。このような背景から、本成果の普及に向けて、前述の国際会議に加えて、国内にて開催された研究会および学会総合大会にて 4 件の招待講演を行い、本技術の価値に対する認知度向上に取り組んだ。

4.7.1.3　研究開発テーマ「国際標準化」

(1)　概要

光電ハイブリッドスイッチシステムの研究開発成果を、技術的優位を保ちながら広く普及させるため、国際標準化として以下の活動を行う。

1)光電ハイブリッドスイッチシステム制御アルゴリズムのソフトウェアを普及させるため、標準化フォーラムを選定しオープンソースとして公開する。

2)光電ハイブリッドスイッチの部品技術については、関連する標準化／技術動向等の外部状況を把握しつつ、ノウハウを蓄積する秘匿化戦略を推進する。

(2)　最終目標と根拠

1)光電ハイブリッドスイッチ制御アルゴリズムの国際標準化については、開発したソフトウェアをデファクトスタンダード化することである。このため、技術開発の成果であるソフトウェアを標準化団体等を通して公開する。

2)光電ハイブリッドスイッチの部品技術については、ノウハウを蓄積する秘匿化戦略を推進することで研究開発成果の技術的優位性を確保し、データセンタへの普及を促進させる。

(3)　目標の達成度

1)データセンタの運用事業者から注目されている OCP Future Technologies Symposium において発表し、開発成果のプロモーション活動を行った。また、開発したソフトウェアを実装して検証可能にするため、オープンソースソフトウェアとして github 上で公開した。

2)部品技術については、国際会議等における成果発表に加え、データセンタ運用事業者への提案活動を継続的に実施した。方式等のアイディアに関しては知財化を進めているが、製造ノウハウ等に関する部分については秘匿化戦略をとり、社内でノウハウの蓄積を行っており、計画通りの対応が出来ている。

(4)　成果と意義

光電ハイブリッドスイッチシステム制御アルゴリズムをオープン化し、データセンタ制御用のプラットフォームにするための環境は整えた。これにより、データセンタ事業者へのプロモーション活動の基盤を築きつつある。

(5)　成果の普及

光電ハイブリッドスイッチシステム制御アルゴリズムの有用性を、学会等で継続的に発信していく。

4.7.2. 実用化・事業化に向けての見通し及び取り組みについて

4.7.2.1　　光波長送受信器の研究開発における実用化・事業化の見通し

（技術研究組合参加組合員）

(1)　概要

当該技術研究組合参加組合員は、次世代コンピューティング向け超広帯域ネットワークを構成する光 ToR スイッチの主要構成要素である光波長送受信器の事業化を計画している。その機能は光トランシーバに高速光波長切替えおよび光バースト受信機能を付加したものである。本プロジェクトの最終年度(2022 年度)以降も継続して新たな市場開拓/顧客創出を推進し、市場明確化後に、詳細設計、製品試作、製品レベルの品質にするための製品化開発を行う。あわせて、量産化技術開発を進めていき、2025 年度以降に本プロジェクトの光電ハイブリッドスイッチシステムが適用されると想定される大規模データセンタ事業者(Amazon, Google, Meta, Microsoft など)を中心に光波長送受信器の販売を開始することを想定している。また、この光波長送受信器を部品として採用し、装置を構成してネットワークプロバイダなどに販売するホワイトボックス装置ベンダも販売ルートになりうると想定している。また、400G 光トランシーバの市場拡大を受け、本プロジェクトで開発する 400G 大容量コヒーレント送受信技術を用い、データセンタ間通信用の光トランシーバとして事業化に先行投入する計画(2023 年度)である。

「バースト多値プロセッサ」の研究開発における実用化・事業化の見通し

（技術研究組合参加組合員）

概要

当該技術研究組合参加組合員は、本研究開発で実現する光電ハイブリッドスイッチシステムの構成要素であるバースト多値プロセッサと空間光スイッチを製品化し販売する。PETRA より光電ハイブリッドスイッチシステムの技術提案を大規模データセンタ事業者（Amazon, Google, Meta, Microsoft 等）に向けて海外の競合に先駆けて実施し、同システムの早期導入を支援する。また、並行してオープンソース化団体へのオープンソフトの提供（GitHub にて光電ハイブリッドスイッチシステムの制御プログラムのソースコードを産業技術総合研究所により公開(2022.10.31)）をしており、業界標準化団体への標準化提案を通して同システムおよびそれを実現するための基盤技術が市場に受け入れられる土壌を醸成する。当該技術研究参加組合員から OEM（Original Equipment Manufacturing）ベンダ等に同システムのキーデバイスであるバースト多値プロセッサ等を販売する。その際に技術研究参加組合員から OEM ベンダ等へ設計支援情報を併せて提供することで、同システムの大規模データセンタ事業者へのタイムリーな導入を図る。こうしたアプローチを光

波長送受信器のサプライヤである技術研究組合参加組合員と連携して実施し、大規模データセンタ事業者の構築するサプライチェーン・エコシステムの中に入り込むビジネス戦略を進める。

4.7.3. NEDO 担当者の所見

1）光電ハイブリッドスイッチシステム制御技術やアルゴリズムといった要素技術の確立や、光波長送受信器、バースト多値プロセッサ、光コアスイッチといったデバイス技術の確立が、計画されていたとおり、着実に実施された。先導研究である「データセンタ向け低消費電力超多ポート高速光スイッチシステムの研究開発」が、確度の高い計画を立てることにつながり、また、21 年度において、計画より進捗できていたことを踏まえ、前倒しを実施したことが良かったと考える。21 年度～22 年度で、野村総合研究所が委託先であった「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発に係る技術動向調査」において、PETRA の光トランシーバ向けのデバイス技術は、世界トップ集団にいると評価されている。

2）データ伝送システムの実現可能性を示す実証実験は、サイトビジットにおいてデモンストレーションをした形で行われた。何が実証されたのか、比較となるものがなかったためか、疑問視するほどではなかったが、少しわかりにくい形ではあった。

3）研究開発項目②(3)先進的コンピューティング技術（光コンピューティング等関連技術）において、同じ委託先である光電子融合基盤技術研究所(PETRA)にて実施されているテーマ「異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発」（委託期間:21 年度～25 年度）実施項目 7 に、本テーマとの連携の可能性を探るとあり、どう議論されていくのか、確認していきたい。

4）光波長送受信器、バースト多値プロセッサ、および光コアスイッチのデバイス事業化に向けた具体的な計画や今後の見通しに関し、2022 年 12 月 PETRA 主催のサイトビジットにおいて、それぞれのデバイス事業を担う企業から、プロジェクトリーダーや NEDO 理事に対して、説明があった。どの技術がどの企業が責任をもって事業化に取り組むのかが明確であった。各企業において、次世代のデータセンタ向けへの取り組みに関する計画の進捗状況をフォローしていきたい。なお、デバイス事業を担う NTT エレクトロニクス(NEL)は、23 年 8 月に NTT イノベーティブデバイス株式会社と合併し、NTT イノベーティブデバイス会社に変更になったことを留意したい。

4.8. イン不揮発性メモリ分散Ａｐｐｒｏｘｉｍａｔｅコンピューティングの研究開発

4.8.1. 研究開発成果について

4.8.1.1 研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」

(1) 概要

データセンタに向けて、MRAM（磁気メモリ）、ReRAM（抵抗変化型メモリ）、フラッシュメモリ、FeFET（強誘電体FET）等の不揮発性メモリデバイスをデータ記憶・データ処理に活用した、イン不揮発性メモリ分散 Approximate コンピューティングを開発することを目指した。本研究開発プロジェクトで実施した Approximate コンピューティングでは、精度・信頼性とコスト、性能・電力等にあるトレードオフのうち、精度・信頼性の制約を部分的に緩和する。メモリ中心コンピューティング（Memory Centric コンピューティング）ではメモリが性能・電力のボトルネックとなるため、プログラミングとハードウェア・ソ

フトウェアの全階層を統合して、最終的な演算結果の精度は落とさずに処理やデータの精度を落としエラーを許容する Approximate コンピューティングを開発した。全体の計算精度を落とすことで、不揮発性メモリ、不揮発性メモリデバイス、アクセラレータ、分散処理、ネットワーク・コンピューティングの全てをバランスよく高速化、極限までの低電力化を実現した。

Approximate 不揮発性メモリでは、不揮発性メモリデバイスを制御するソフトウェアを開発し、機械学習アルゴリズム、メモリ、制御ソフトウェアの統合を行うことで、Approximate 不揮発性メモリシステムおよび Approximate 不揮発性メモリを用いた Computation-in-Memory (CiM) を開発した。

Approximate 分散処理では、分散深層学習に Approximate In-Storage Computing の適用を目指して、モデルの分散深層学習に関する研究を行った。ネットワークへのエラー適用、学習アルゴリズムの改良などを行い、精度と電力効率の向上のトレードオフについて示した。

Approximate 強誘電体メモリデバイスでは、極低消費電力 CiM のハードウェアとして、HfO_2 系強誘電体膜を用いた FeFET ソースフォロワの基礎デバイス特性の明らかにすると共に、ゲート絶縁膜破壊特性の物理モデルを構築した。

Approximate ストレージでは、In-Storage コンピューティング機能を有し、ある程度の誤りの発生が許容されるデータ記録装置について検討を行った。Approximate ストレージ向けの誤り訂正符号を確立し、電力効率の向上を明確化した。

Approximate コンピューティングを活用した上で正しい計算結果を得るためには、アプリケーション側の対応が必要である。そこで Approximate ネットワークを用いたイン不揮発性メモリ分散コンピューティングを用いてアプリケーションを実行する環境において、正しく動作することを保証した上で高速に実行できるパラメータを発見する Approximate プログラミング手法を提案した。

全体統合システムとして、データウェアハウス向けデータベースシステムを試作し、Approximate Computing 機能を模擬し評価を行った。また、提案する In-Storage コンピューティングシステムについて、Approximate ストレージをシミュレート可能な SimGrid プラグインを実装し評価した。

(2) 最終目標と根拠

計算機の消費電力の指数関数的な増大により、ビッグデータ処理や AI などの演算需要に対して電力限界に達する。ムーアの法則による汎用プロセッサの性能向上の限界により、アクセラレータの専用プロセッサ化や不揮発性メモリの活用など多様なハードウェアを活用する。通常の CPU 技術は 10 年後に約 32 倍向上（2 年で 2 倍向上）するに留まるところ、本研究開発では、Approximate 不揮発性メモリ、Approximate 分散処理、Approximate アクセラレータ、不揮発性 FPGA デバイス、Approximate 強誘電体メモリ、Approximate ストレージの様相技術を統合し、Approximate プログラムがシステム全体に寄与することでビッグデータ処理や AI 計算に対してシステム全体で電力効率 100 倍以上の性能向上を示し、優位性のある計算機システムを実現する。

(3)　目標の達成度

Approximate ネットワーク、Approximate 不揮発性メモリ、不揮発性 FPGA を用いたイン不揮発性メモリ分散コンピューティングを用いてアプリケーションを実行する環境において、正しく動作することを保証した上で高速に実行できるパラメータを発見する Approximate プログラミング手法により、目標とする 100 倍の性能向上が可能であることを確認できた。要素技術として、Approximate 不揮発性メモリでは、不揮発性メモリである強誘電体 FET（FeFET）のエラーに耐性のある CiM を提案し、不揮発性メモリに生じるエラーを補償する機械学習手法を明らかにして、Approximate 不揮発性メモリシステムを高速・低電力化した。Approximate 分散処理においては、独自のモデル分散深層学習アルゴリズムとして、前段モデルの学習を途中から一部スキップする方法を提案、実装、評価した。7%の精度低下において電力効率（精度/J）が約 1.77 倍になること、また約 2%の精度低下時には電力効率が約 1.61 倍であることを示した。Approximate 強誘電体メモリデバイスでは、HfO_2 系強誘電体膜を用いた FeFET ソースフォロワの基本電気特性と信頼性を明らかにして、低消費電力 CiM への有用性を明らかにすると共に、その回路技術に貢献した。Approximate ストレージでは、誤り訂正符号技術について検討し、一部のエラーのみを訂正可能、かつ、訂正能力を制御できる誤り訂正技術を確立した。電力効率の向上が実現できることを示し、開発目標を達成した。

さらに全体統合システムにおいて、ストレージエラー10%、演算メモリエラー0.1%、固定小数点以下 1 ビット量子化演算の条件下で、クエリ結果の誤差が 0.7%であること、および省電力効果の簡易見積もり結果が約 74%削減可能であることを示した。また、アプリケーションの実行を検証した結果、データベースアプリケーションを実行した場合のストレージ実行効率が 10 倍向上可能であることがわかったことから、提案する In-Storage コンピューティングシステムが全体として統合されて運用可能であることがわかった。

(4)　成果と意義

本研究開発で実施した Approximate コンピューティングでは、精度・信頼性とコスト、性能・電力等の間のトレードオフのうち、精度・信頼性の制約を部分的に緩和する。メモリ中心コンピューティング（Memory Centric コンピューティング）ではメモリが性能・電力のボトルネックとなるため、不揮発性メモリ、不揮発性メモリデバイス、アクセラレータ、分散処理、ネットワーク、プログラミングというハードウェア・ソフトウェアの全体（サーバレベル、ラックスケール）に対して Approximate コンピューティングを適用した。プログラミングとハードウェア・ソフトウェアの全階層を統合して、最終的な推論結果の確度は落とさずに処理やデータの精度を落とす・エラーを許容する Approximate コンピューティングを開発した。全体の計算精度を落とすことで、不揮発性メモリ、不揮発性メモリデバイス、アクセラレータ、ネットワークの全てをバランスよく高速化、極限までの低電力化を実現し、電力効率 100 倍以上を達成した。

Approximate 不揮発性メモリでは、不揮発性メモリデバイスに Approximate コンピューティングを適用し、Approximate 不揮発性メモリシステムを開発した。メモリデバイス・ハードウェアのみならず、メモリを制御するソフトウェア、メモリと制御ソフトウェアの統合を行った。データの価値とメモリの信頼性を組み合わせた上で、メモリのエラーを許す Approximate 書き込み・読み出し方式を適用する、不揮発性メモリシステムを開発した。

さらに、機械学習応用の Approximate アクセラレータとして提案した、FeFET を用いた CiM は積和演算の超並列動作により高い電力効率を示した。不揮発性メモリを用いた CiM に生じるエラーによる機械学習演算精度を評価するために、図 1 に示す CiM 精度評価プラットフォームを開発した。このプラットフォームを用いることで、重みの再学習によりエラー補償し推論精度を回復できることを示した。さらに、CiM の重要な応用である組み合わせ最適化問題に向け、Simulated Annealing のアルゴリズムを提案し CiM のデザインを示した。

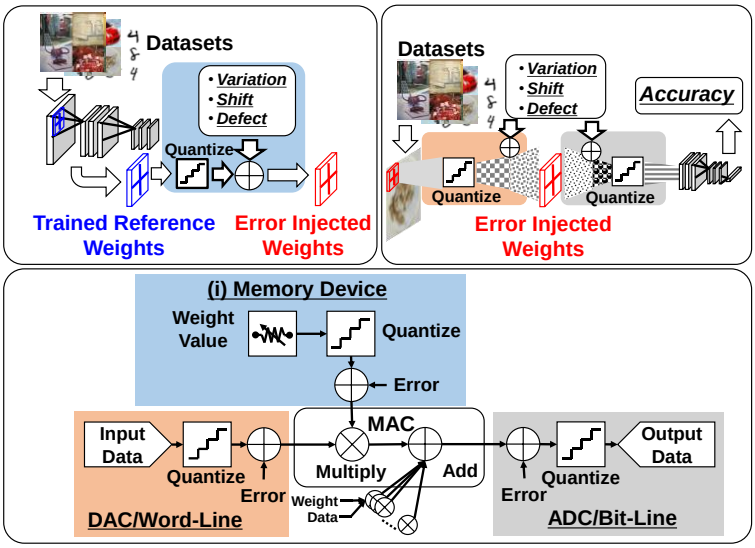


図 1 不揮発性メモリを用いた CiM 精度評価プラットフォーム

Approximate 分散処理において、In-Storage コンピューティングへの適用を想定したモデル分散深層学習アルゴリズムの提案および評価を行った。このアルゴリズムでは、ある Epoch までは前段モデル、後段モデルともに通常通り学習を行い、一定時間経過後の Epoch では、後段モデルのみ学習を行う。そして、特定の時点で前段モデルの出力を後段モデルと同じインスタンスに保持し、後段モデルは前 Epoch までの計算結果を再利用して学習を行う。単に学習全体の後半 Epoch で前段モデルへの Backward 結果の反映を行わない場合、推定精度の悪化が無視できないため、本研究開発では数 Epoch ごとに 1 Epoch は前段モデルでの計算を行い、前段モデルの出力結果の更新を行う。この方法により、前段の計算コストを低減し、省電力効果を得ることが可能である。実際の省電力効果についての詳細を表 1 にまとめた。各ケースの実測値における推論精度（Test 精度）、電力消費量、電力効率に加え、電力測定時の課題（GPU ドライバの省電力制御の遅延）を解決した場合の想定値も示す。Epoch10(10 Epoch 目に前段モデルの学習を停止)-span5(5 Epoch ごとに出力結果を更新)の条件で 7%の精度低下時に電力効率（精度/J）が約 1.77 倍、Epoch10-span3 の条件では、約 2%の精度低下で電力効率が約 1.61 倍を得た。

表 1 提案アルゴリズムの精度と電力効率

方式	Test精度	実測電力消費量[J]	電力効率[精度/J]	想定電力消費量[J]	想定電力効率[精度/J]
conventional	62.08%	302269.02	0.00000205	302269.02	0.00000205
Epoch10-span3	60.05%	191883.01	0.00000313	182076.96	0.00000330
Epoch10-span5	55.08%	157678.62	0.00000349	152170.99	0.00000362
Epoch30-span3	61.20%	246704.13	0.00000248	241651.05	0.00000253
Epoch30-span5	59.68%	230877.76	0.00000258	227929.64	0.00000262

Approximate 強誘電体メモリデバイスでは、FeFET のソースフォロワ型動作の検証を行った。Approximate コンピューティング用の極低消費電力 CiM を実現する上で、この FeFET のソースフォロワ型読出しを用いたセルアレイが有望である。FeFET は強誘電体膜をゲート絶縁膜とする MOSFET であり、メモリ機能とロジック機能を併せ持つデバイスとして AI 計算用回路への応用が強く期待されている。特に近年見出された、スケーリング可能で CMOS プロセスに適合した材料である HfO_2 系強誘電体膜を用いた FeFET は実用化に極めて近いことから、本材料を用いたソースフォロワ型 FeFET 動作の実証を進めた。図 2 の動作模式図と実験結果に見られる様に、予め FeFET に書き込んだ閾値電圧がソースフォロワ方式で適切に検出できることを初めて実証した。更に、このデバイスを用いて、多値書き込みやリードディスターブなどのソースフォロワ回路動作特性、データリテンションや絶縁破壊などの信頼性特性を実験的に明らかにすると共に、物理モデルの検討を行った。

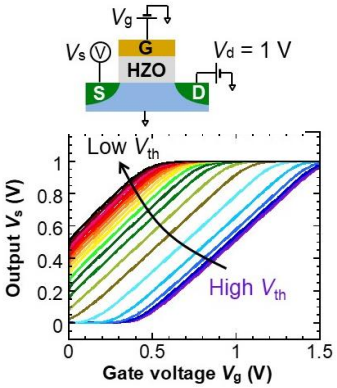


図 2 ソースフォロア FeFET の模式図と実験的に得られたゲート電圧とソース電圧の関係

Approximate ストレージでは、In-Storage コンピューティング機能を有し、ある程度の誤りが許容されるデータ記録装置である Approximate ストレージについて検討を行った。Approximate ストレージにおける In-Storage コンピューティング向けの誤り訂正符号技術を確立し、電力効率の向上を明確化した。まず、In-Storage コンピューティングで実行する演算アルゴリズムに関して、Approximate ストレージの概念が有効であることが明らかにした。次に、Approximate ストレージに求められる誤り訂正符号技術を検討した。一部のエラーのみを訂正可能、かつ、訂正能力を制御できる誤り訂正技術について検討し、繰り返し復号を利用できる誤り訂正符号の採用などの提案とその有効性をシミュレーション評価により確認できた。また、復号の繰り返し回数を減少することで、電力効率の向上が実現できることを示した（図 3）。

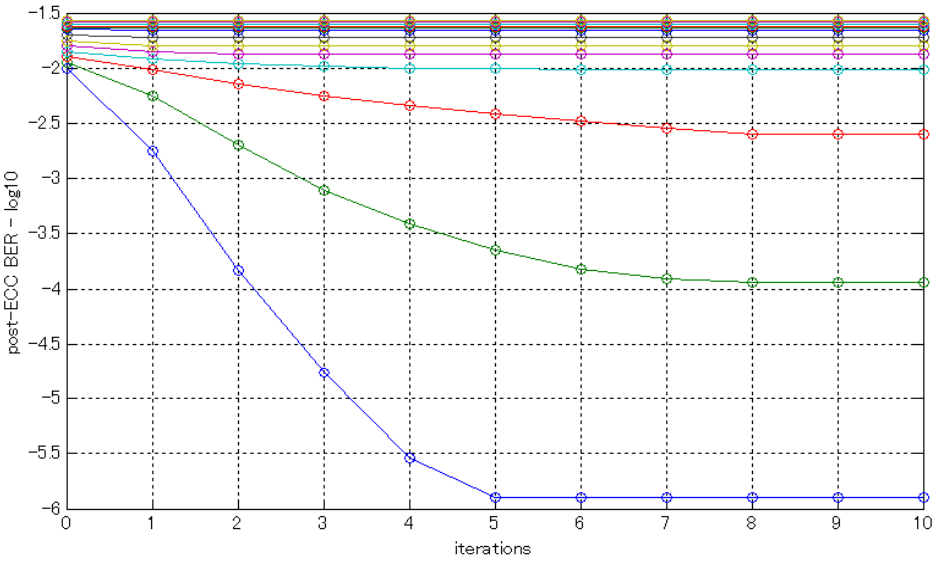
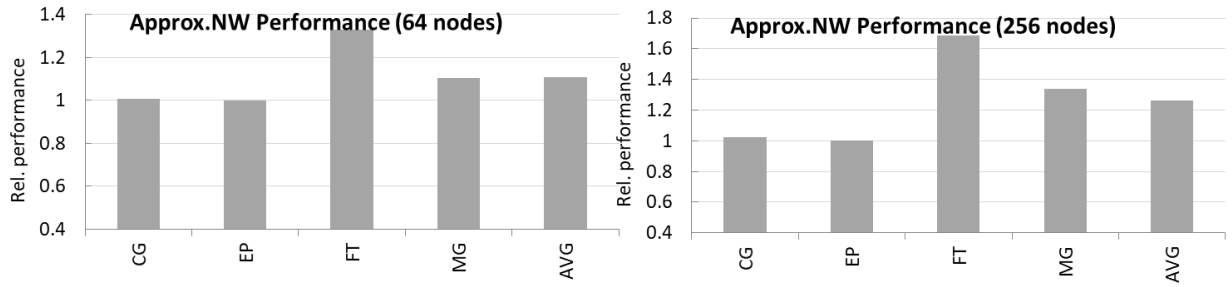


図 3 誤り訂正後のエラーレートと繰り返し回数の関係（4KB BCH）

Approximate ネットワークにおいて、MPI 通信のための倍精度浮動小数点データの bitwise な圧縮法をアルゴリズム化し実装を行った。姫野ベンチマークおよび k-means アプリケーションにおける性能評価を行った結果、1.52 倍から 1.98 倍の性能向上を改善できた。また、回路シミュレータである CACTI に対する評価環境を開発し、これを用いた結果、スイッチのリンクごとに SRAM としてキャッシュを実装した場合に 512 要素を設定すると、100 平方ミリを制限とするスイッチチップ全体で共有する SRAM キャッシュとしては 8192 要素が実現可能であることが分かった。既存の 3D トーラストポロジに加えて 4D トーラスおよびメッシュ、またドラゴンフライトポロジを追加し探索を行った結果、ノードの計算力が 5TFlops、ネットワークバンド幅 800Gbps でレイテンシ 1ns の場合に最大で理論値の 70%以上の実効性能を達成することができた。

Approximate プログラミングにおいて Approximate 分散処理で使用されるパラメータセットの呼び出しルーチンの実装を完了した。また、試行性能のゆらぎに対応する信頼区間を用いて実装したアプリケーションの評価を進めた結果、準最適解を得る確率を最大 20 ポイント向上できることがわかった。また、FPGA アクセラレータを構成する IP 群に対して、組み合わせによるリソース競合が性能低下の理由であることを考慮した探索手法を開発できた。探索を行った結果、図 4 のように、64MPI ランクにおいて NPB-FT で 1.32 倍、これを含めた 4 アプリの平均 1.1 倍の性能向上を達成することができた。さらに 256MPI ランクにおいては NPB-FT で 1.68 倍、平均 1.26 倍の性能向上を達成すること



ができた。

図 4 NPB ベンチマークプログラムの Approximate プログラミングによる性能向上

全体統合システムとして、図 5 に示すように、許容されるエラー率とその場合の Approximate ストレージのバンド幅、また対応する NPB-DT のアプリ性能は向上する。

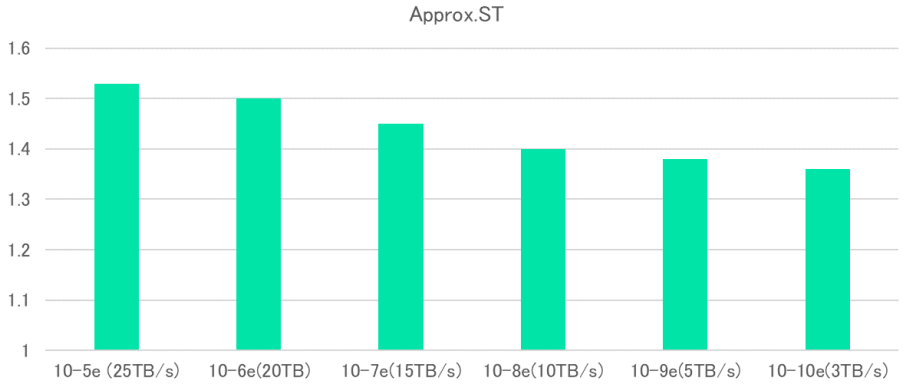
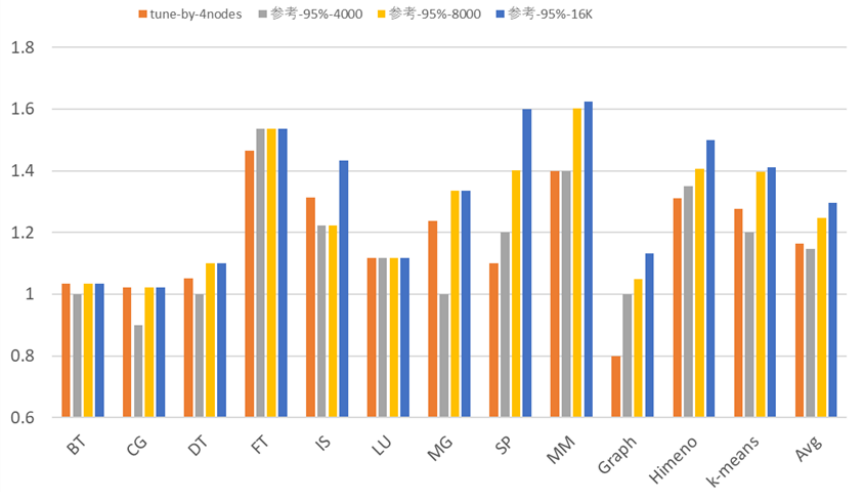


図 5 許容されるエラー率と対応するバンド幅、および使用する NPB-DT のアプリ性能

一方で、Approximate プログラミング技術による探索性能の最適化技術を統合することにより、性能のゆらぎを考慮した上で、図 6 のように、各種並列実行アプリケーションについて、小規模なシステム(tune-by-4nodes)においても、64 ノードや 256 ノードといった大



規模なシステムで探索を行った結果に匹敵する探索結果を得られることを示した。

図 6 Approximate プログラミング技術を用いた探索最適化

以上の結果より、図 7 **エラー！ 参照元が見つかりません。**の通り、許容される誤差(x 軸)と Apache.Drill-IO の相対実行性能(y 軸)の評価を行った結果、Data Warehouse (DWH) アプリの Quality of Results (QoR) を損なわない範囲においても相対実行効率が最大 100 倍以上向上できることがわかった。

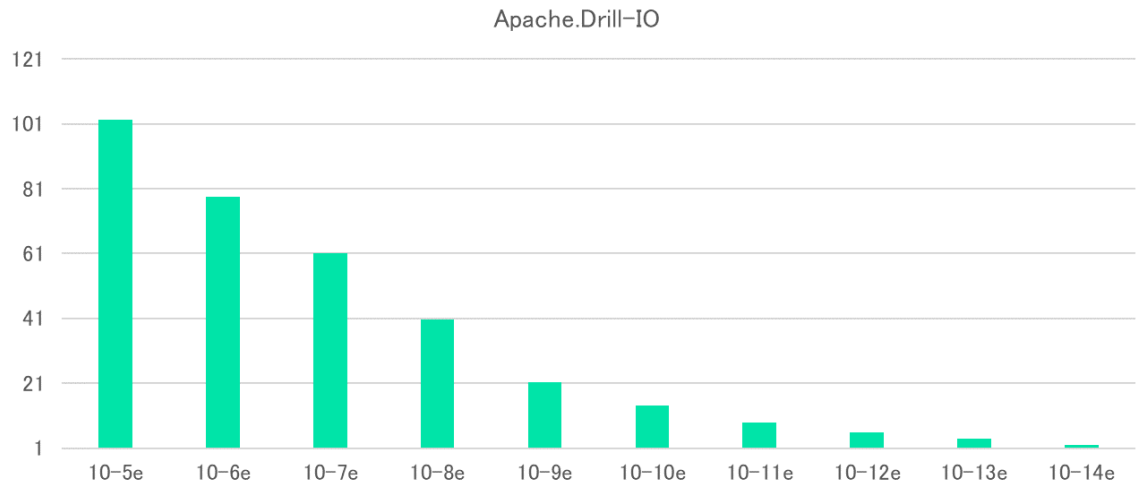


図 7 許容される誤差(x 軸)と Apache.Drill-IO の相対実行効率(y 軸)

(5)　成果の普及

学会発表・論文発表を積極的に行い、学会発表 84 件、論文 9 件を発表し、5 件の受賞実績を得た。また、特許 1 件が審査請求済である。さらに、さらにシンポジウム主催、デモ展示等を通してインメモリ分散 Approximate コンピューティングの普及に尽力した。

Approximate 不揮発性メモリでは、不揮発性メモリを用いた CiM および Approximate 不揮発性メモリシステムに関する研究を行い学会発表 70 件、論文 6 件を発表した。その結果 5 件の受賞実績を得て、成果普及に貢献した。Approximate 分散処理においては、Approximate Computing の普及・展開を目的に、2020 年度にマルチメディア推進フォーラムの招待講演で産業界へのアピールを行った。さらに、2021 年と 2022 年度には学会での発表と関連特許の出願を行った。Approximate 強誘電体メモリデバイスでは、HfO_2 系強誘電体 FeFET ソースフォロワの基本電気特性を明らかにした主著論文 1 件、およびその絶縁破壊信頼性の挙動を明らかにした主著論文 1 件を公表すると共に、回路応用に関する論文や学会発表に協力した。Approximate ストレージでは、2023 年 8 月にアメリカの Santa Clara で開催された Flash Memory Summit (FMS2023) に参加し、Approximate ストレージについて業界の専門家と意見交換した。Approximate ネットワークはこれまで要素技術から予測されたビットエラー率(BER)、バンド幅、および消費電力をパラメータとして使用しシミュレーションにより性能評価を行ってきたが、イン不揮発性メモリ分散 Approximate コンピューティングの実現に向けては実機評価での正確なパラメータ分析が必要である。そこで、移管譲渡された実験機材を活用し、設定された実際の消費電力および転送時に起こるエラーの発生率およびパターンを再現して測定することで Approximate ネットワークについて実機に即したさらに正確な評価を行っている。また、設定された実際の消費電力および転送時に起こるエラーの発生率およびパターンを再現し測定すること、可逆および非可逆圧縮の通信や集合通信における性能評価を行っている。これらを含めて、全体統合システムとして社会実装に向けて引き続きイン不揮発性メモリ分散 Approximate コンピューティングの研究開発を進めている。

4.8.2. 実用化・事業化に向けての見通し及び取り組みについて

4.8.2.1　テーマにおける実用化・事業化の見通し

(1)　概要

本プロジェクトの最終的な事業化目標は、2029 年以降にデータセンタ向けに Approximate コンピューティング・イン不揮発性メモリサーバを販売することである。研究期間完了後、実用化に向けた研究開発の枠組みのもと、サーバベンダの参画を得て本格的な製品技術の開発と事業化を進める予定である。

三栄ハイテックス社の研究要素は 2020 年度で収束し、Approximate アクセラレータの研究成果は Approximate 分散処理に統合された。2021 年度以降、出口戦略を強化するために Approximate ストレージ（シグリード社）を追加し、2023 年度以降の研究開発枠への移行を目指して活動を行った。

2023 年度以降の継続本格研究に向けて、国内のサーバ・ストレージベンダ、外資系ベンダ、国内サービス企業、ベンチャーキャピタルなどに研究成果を適宜紹介した。これにより、いくつかの企業とは非公式ながら協力体制を構築することに成功した。

また、リトルウイング社ではセミナー等で一部の研究概要を紹介し、水面下での顧客探索活動を行ってきた。この際、AI 活用を行う国内メーカーの研究開発者から、ハイエンド GPU の調達が困難であるため、Approximate 化により調達が容易な GPU の活用の可能性について本研究開発に興味を示された。

(2)　実用化・事業化への課題と対応策

中間評価後、NEDO 技術委員会から実用化に向けたユースケース具体化の必要性が指摘され、2021 年度からアプリケーションユースケースの調査・分析に注力した。この分析は、HPC や AI の専門家、民間企業の IT 研究者などのヒアリングと公開情報の調査により進められ、エッジサーバや工場内オンプレミスクラウドなど省電力が必要なシナリオが望ましいとの結果が得られた。また、AI 画像処理や超大規模モデルの AI 処理の可能性も示唆された。

実用化に向けては、ストレージレイヤでのデータ格納・前処理が可能なアプリケーションが適切と判明。これには AI 学習・推論処理、データウェアハウス向けデータベース処理、データ正規化・正則化、Data Augmentation、数値データの前処理が含まれる。本研究開発では、これらの条件に合致する数値データベースを対象としたデータウェアハウスに焦点を当て、第 1 節で述べた成果を得た。

現在はソフトウェアやシミュレーションレベルの研究が中心だが、実用化にはハードウェア試作を含む実証が必要であり、これには資金調達が必須である。

(3)　実用化・事業化の体制

前述した通り、三栄ハイテックス社の研究はリトルウイング社に移管され、出口戦略を強化するためにシグリード社を追加し、実用化に向けた研究開発活動を進めた。国内のサーバ・ストレージベンダ、外資系ベンダ、国内サービス企業、ベンチャーキャピタルなどに研究成果を適宜紹介し、いくつかの企業とは非公式ながら協力体制を構築した。本研究開発では、データウェアハウスの研究に加えて、エッジ向けセキュリティやエッジ向け

Large Language Model（LLM）サービスなどの適用分野の拡張を検討し、資金調達活動を行った。

(4)　市場規模と経済効果

2021年10月25日にREPORTOCEANが発行したレポートによると、本研究開発項目で開発対象のSSDコントローラ市場は、2021年から2030年にかけて健全な成長率が見込まれている。SSDコントローラの世界市場規模は2020年には141億米ドルであり、2021年から2030年までの予測期間中、年平均成長率（CAGR）14.2%で成長し、2030年には530億米ドルに達すると予測されている。市場の成長をもたらしている主な要因は、クラウドベースのデータセンタに対する需要の高まりである。さらに、データセンタに対する需要の高まり、サードパーティパートナーによって維持されているインフラの企業レンタル、データストレージのニーズなどの側面も、今後数年間の市場の成長に影響を与えると予想される。今回の開発対象のSSDコントローラは、データセンタや産業用途に特化しており、今後安定した成長が見込まれるカテゴリである。

(5)　ベンチマーク

これまでSSDコントローラは、高耐久性、低コスト、低エラーレートで高速なストレージを実現することを目指して開発が進められてきており、今後も競合他社の基本的開発動向は変わらないと考えられる。一方、今回の開発対象のSSDコントローラには、次のような優位性がある。

- 従来から優位性が認められているユニークなECC技術による高耐久性・長寿命化
- Approximate 技術（ある程度のエラーを許容）による高速化・低電力化
- In-Storage Computing技術による高速化・低電力化

これらの優位性を有するSSDコントローラにより、コストパフォーマンスに優れたストレージソリューションを顧客に提供できる。

(6)　事業化までのマイルストーン

2022年度までの予定では、要素技術の研究開発と連携動作の検証が主な内容であった。前述したように、ユースケース具体化にフォーカスして活動を進めたが、水面下での顧客探索活動で興味を示す企業もあり一定の成果を得た。これを踏まえ、2023年度以降の本格研究枠に向けてサーバベンダの参画を目指し、各種交渉を進めた。

Approximate Computing技術の適用には、データウェアハウスやデータベースソフトウェアの開発に多大な開発費用が必要となる。ソフトウェア部分においては10億円オーダーの人件費および数年オーダーの時間が必要と予想される。独自の新規ハードウェアとの統合を考慮すると、開発費はさらに高騰すると考えられるため、資金調達が重要な課題となる。

SSDコントローラの事業化には、次のステップが必要である。

- 試作チップの設計・開発
- 試作チップ（MPWなど）の製造・評価
- 量産チップの設計・開発
- 量産チップ（フルマスク）の製造・評価

試作チップ完成には 1 億円、量産チップの完成には数億円の資金が必要であるため、金融機関からの投資や販売見込先からの開発資金の調達が重要な課題である。

4.8.3. NEDO 担当者の所見

1) 研究成果について

(1)本研究開発は、システム全体で電力効率 100 倍以上の性能向上を示す計算機システムの実現が目標であり、それは可能であることを確認できたという報告である。実施計画書に記載されている研究目標に対して、結果はどうだったのか、100 倍以上の電力効率に関する数値が、成果報告書を含めて確認したところ、十分でないと感じた。果たして、目標を達成することができているのか、不明瞭ではないかと思った。

表 1 研究目標と結果について

		実施計画書(研究目標)	成果報告書	事業原簿
実施項目①-1	東京大学	Approximate不揮発性メモリにより**3倍**	数値に関する情報不明	数値に関する情報不明
実施項目①-2	リトルウィング	Approximate不揮発性分散処理により**3倍**	**1.61倍～1.77倍**	**1.61倍～1.77倍**
実施項目②	三栄ハイテックス	Approximateアクセラレータ、不揮発性FPGAデバイス、FPGA化により**14倍**	数値に関する情報不明	**10倍**以上
実施項目③	国立情報学研究所	Approximateプログラムの寄与は他の項目に反映	数値に関する情報不明	数値に関する情報不明
デバイスの進化・ノーマリーオフ・DVFS等の進化		FPGA(アクセラレータ) で**10倍**、メモリで**5倍**(引用:IRDS Roammap)	数値に関する情報不明	数値に関する情報不明
チーム全体		**100倍**以上(135倍程度)	100倍以上を達成	100倍以上を達成

2) 実用化・事業化の見通しに関して

「いくつかの企業とは非公式ながら協力体制を構築することに成功した」(※1)という記載があるが、非公式であるのに成功したということに違和感がある。なぜなら、成果が出た段階で改めて検討するとか、様子見のためだけに参加する企業ではないかという懸念が生じるからだ(※2)。成功したというならば、なぜ、非公式な協力体制が成功になるのかに疑問を抱く。公式に協力体制を構築できたということであれば理解できる。

※1 2. 実用化・事業化に向けての見通し及び取り組みについて
2.1 テーマにおける実用化・事業化の見通し 2.11 概要 11 行目

※2 NEDO 研究開発マネジメントガイドライン(Ver1.1.1)p18)より、抜粋。「成果が出た段階で改めて検討する」といった曖昧な態度や、「様子見のためだけに参加する」企業という理由だけで参加する企業は、研究開発体制を構築する上で適切であるとはいえません。

3) フォローアップに関するヒアリング事項(23 年 8 月実施)について

(1) 成果発表、知財について、学会発表 83 件、論文 8 件を発表し、学会などにおいては好評価が得られているとのことであった。21 年 3 月 31 日出願「時系列データ処理装置」の出願審査請求が実施された。

(2) 研究開発の継続について、今後も引き続き、ファストデータをターゲットとしていきたいとのこと。産業領域における自動運転に適用できるのかは、東大として検証できず、

一般的なイメージで判断されるのは困るとのことだった。あくまでも技術開発であるため、どう産業応用に展開するについては、NEDO に協力を仰ぎたいとのことであった。
(3) 実用化・事業化の見通しを得るためには、15 年程度の研究開発が必要であり、5 年間では短い。サーバベンダとは非公式であるが協力体制は継続しているとのこと。

4) PJ 担当としての課題について
研究成果に関して、関係する学会に参加することによって、状況の把握に努めるべきであった。実用化・事業化については、市場動向や・技術動向を踏まえて、どう産業応用に展開するべきなのかを検討していきたいと感じた。事業者の発信以外の情報収集を留意するようにしたい。

4.9. 物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発

4.9.1. 研究開発成果について

4.9.1.1 研究開発テーマ名

高効率・高速処理を可能とするＡＩチップ・次世代コンピューティングの技術開発/次世代コンピューティング技術の開発/物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発

(1) 概要

レーザーおよびスピン波を用いたリザバーの数理モデルを構築し、数値シミュレーションによってデバイス実装時の計算性能および計算効率を最大化する。開発する物理リザバー・デバイスの基本特性と物理的制約を考慮して、実際のリザバー・デバイスのダイナミクスを再現する数理（物理）モデルを構築する。

具体的に開発する物理リザバー・デバイスの担当は以下となる。
・光・リザバー　：日本アイ・ビー・エム株式会社
・スピン・リザバー　：東京大学
本研究開発テーマは各々のデバイスに密接に関係しており、個別開発と共同開発を適宜おこないながら遂行する。光・リザバーに関しては信号処理の高速性、スピン・リザバーに関しては信号入出力方法の多様性、という各々のリザバー・デバイスの特徴を発揮できる様にモデリングをおこなう。また、リザバー応答をリードアウトにおいてリアルタイムで高速かつ効率的に学習するための機械学習アルゴリズムを複数検討する。

センサー機器と物理リザバーとのインターフェースおよび物理リザバーを制御するためのＦＰＧＡ制御プラットフォームを設計・試作する。さらにミドルウェアから制御可能な物理リザバー・システムを構築し、コンポーネント化を行う。理論解析の実施項目で得られた知見をもとに、様々なベンチマーク問題やセンサーデータに適用することで、動作確認および認識性能、電力削減効率や計算速度に関する性能評価を行う。

(2)　最終目標と根拠

最終目標

計算性能や処理速度を指標に、各リザバー・デバイスの特性を最大化するアルゴリズムを選定する。デバイス実装に最適な動作パラメータの設定指針を与える。

光リザバー・デバイスの性能としては 5-10Gbps 程度の高速動作、400mW 以下の低消費電力性を実現する。エッジ・ネットワーク側に展開可能なデバイスを実現するため、光リザバーはボードサイズにデモ・システムをインテグレーションする。

スピン波リザバーチップは、そのスピン波の低消費電力性を活用するものであり、光に比べて一層の低消費電力を目指す。処理速度はスピン波の共鳴周波数の GHz 程度のキャリアを利用することから、それを変調して信号を乗せることから数百 MHz 程度までの処理速度を実現する。チップサイズはまずは数μm 角程度のものの実現を目指す。

根拠

物理リザバー・コンピューティングは、物理ダイナミクスを直接用いて認知データ処理を行うため、所望の性能を得るためにはそのダイナミクスを適切に調整しなければならない。特に、従来とは異なる動作領域でのダイナミクスを積極的に利用して計算を行うため、その動作パラメータのチューニング手法を開発することは計算性能および計算効率を高めるためには非常に重要であるが、設計指針はこれまで報告されていない。こうした、波動物理リザバーの数理モデルを構築し、数値シミュレーションによってデバイス実装時の設計指針を得て、具体的なデバイスの作製開発につなげる。

また、光リザバー・コンピューティングの応用として念頭に置いている高速 5G・光ネットワーキングにおけるエッジ・コンピューティングは、超低遅延、超大容量が要求される。さらにエッジ側で動作には、GPU 等と比較して低消費電力での動作やコンパクトな実装が要求される。これらの市場動向を考慮し、性能の最終目標を設定した。消費電力の目標値に関しては、現状のデモ・システムの主要なコンポーネントである増幅器が 400mW、レーザー源が 20mW 程度であることから、これらの合計値を下回る値を設定した。スピン波リザバーチップはスピン波物理の数値実験によりその実現サイズ、使用周波数等のパラメータの同定を進め、一層の省電力化が可能である見通しである。

デバイス実装の観点からは、様々な物理系による物理リザバー・コンピューティングが提案されているが，その多くは実験室内のデモに留まっており、様々な分野のユーザーが自らのタスクに自由に適用できるというレベルには至っていない。そのため、最終目標に掲げた集積性を実現する必要がある。

(3)　目標の達成度

本研究においては、次世代情報通信を開拓する技術として、超高効率な認知情報処理を行う超低消費電力な高速機械学習デバイスとシステムの開発を行った。機械学習コンピューティング「波動ベース物理リザバー・コンピューティング」の高いポテンシャルを有効活用するために、物理現象とコンピューティングが密接に関わるデバイス・システム基盤技術、デバイス実装技術、優位性の発揮される社会課題応用、ハードウェア技術を駆使したシステム実装、などの様々な技術階層の開発をシームレスに行った。具体的な波動システムとして、光システムとスピンシステムを中心に開発を行い、各々の特性を発揮す

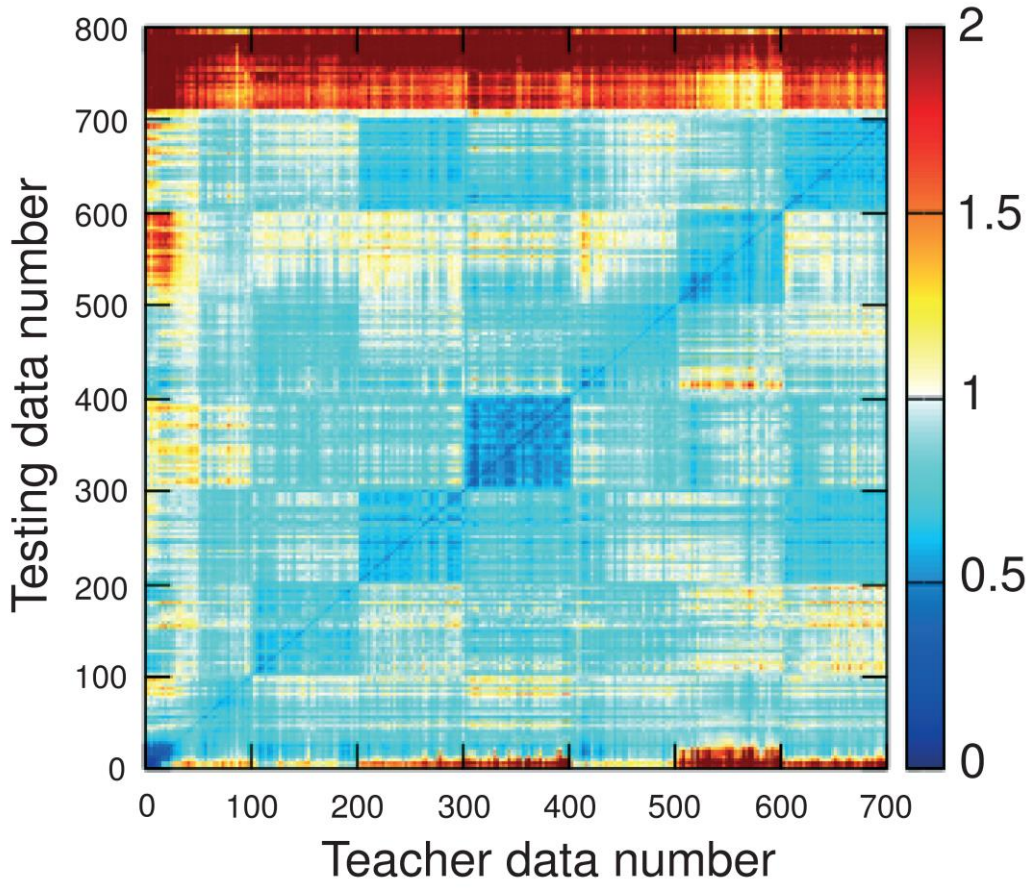
るための物理現象操作とシステム設計技術の開発に成功した。時系列データを用いたベンチマークタスクで高い計算性能を達成することにより、これらのシステムが有望な機能性を有することを実証した。ミドルウェアの開発では、基本技術実証の目的から FPGA ベース物理リザバーシステムの提案とこれを制御するためのスクリプトの開発に成功し、エッジデバイス上で様々な情報処理を行うプラットフォームを構築した。また、エッジ・コンピューティングによる産業インフラストラクチャ―への適用を探究し、その高い可能性に有用な知見を見出し、開発したシステムが次世代情報通信に有望な技術であることを明らかにした。

以下、実施項目ごとに成果を記載する。

実施項目１－１：【物理リザバーの数理・アルゴリズムの研究開発】（日本 IBM 担当分）
光リザバーについては、時間遅れリザバーとその拡張モデルの数学的モデルを用いて、文字認識や音声認識のタスクを行い、80%から 90%の精度を得た。さらに信号復元、トラフィック識別などの多様なタスクを実行できるシミュレーションプログラムも構築した。また、リザバー・コンピューティングのマルチタスキング特性を多目的最適化として定式化し、多目的最適性の観点から明らかにした。

実施項目１－２：【物理リザバーの数理・アルゴリズムの研究開発】（東京大学担当分）
提案したスピン波リザバーデバイスの優位性を活かした時系列データのパターン情報処理を効率的に行うリザバー・コンピューティングシステムの構築と、社会課題解決への適用を探究した。具体的には、デバイス内のスピン波ダイナミクスを実現するシミュレーション環境の構築、ダイナミクスを操作するデバイス動作環境と入力信号表現の開発、ダイナミクスを最大限に活用する出力方式と計算アルゴリズム、といったシステム開発を、ベンチマークタスクの計算性能評価を基準として推進した。本実施項目は２－２と密接に関係して推進したため、ハードウェアデバイスの工夫とあわせたタスク計算性能の結果に関しては２－２に記載する。
　スピン波リザバーデバイスは連続する媒体に伝播する波動を利用するトップダウン方式の開発であるため、高い計算性能を達成するためのダイナミクスと計算性能の関係性の解明、設計指針、および適用可能なタスクの見通しが立てづらいことが予想された。この理由によって、ボトムアップに構築可能なメモリスタ素子を用いたネットワーク、エコーステートネットワークを用い、構成要素の微調整とハードウェア構成によるダイナミクス操作を行いながらタスク計算性能との関係を明らかにし、それらの知見をスピン波リザバーシステム開発に活用する相補的な推進を行った。また、これらの系において、具体的な社会解決課題の実装に近い多数のベンチマークタスクを効率的に行う計算アルゴリズム開発も行った。具体的には、メモリスタネットワーク構造の工夫により波形分類、音声認識、心電図データの分類などのベンチマークタスクにおいて、他の最先端物理リザバー・コンピューティングに匹敵する高い計算性能を達成し、システム設計に知見を得た。また、エコーステートネットワークでは、ダイナミクスの調整とあわせて再構成法のアルゴリズムを用いることで、工場内のモーター音から高精度な異常検知が可能であることを実証した。これらの結果によって、コンピューティングシステムの設計指針の明確化と、アルゴリズ

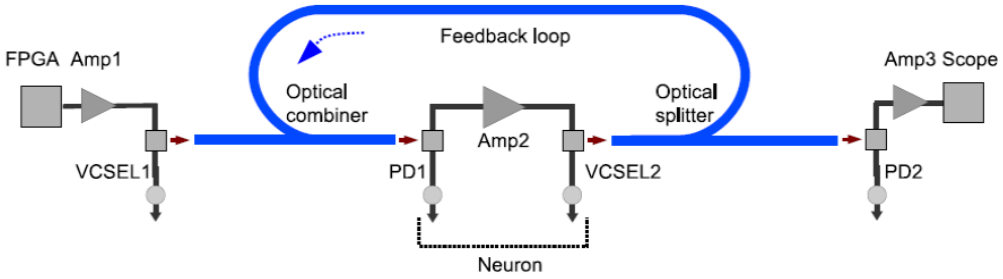
ムの工夫によって幅広い実用アプリケーションに応用可能であることを明らかにした（図1）。



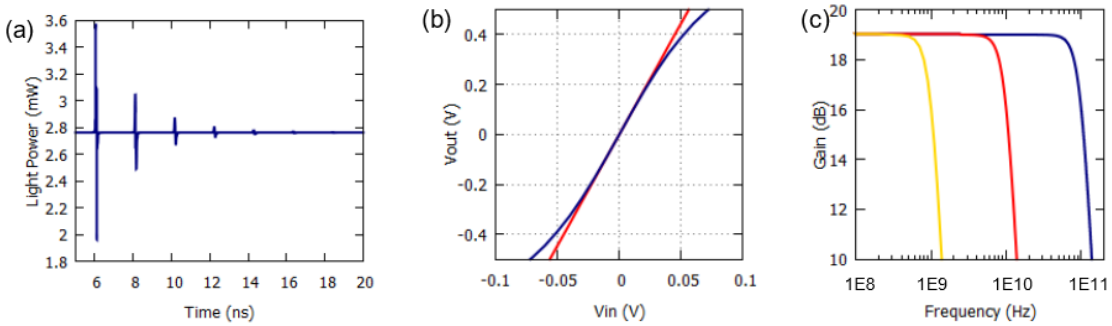
（図 1）　ポンプの発生音を録音したデータ 800 件（正常 701 件、異常 100 件）に対して、ESN による異常検知で、教師データ（横軸＝データ番号）を様々に取り換えた時、それらデータをテストに用いた場合の正常（青）／異常（赤）の判断結果。どの正常データを教師データとした場合でも、正常と異常が良く分類できている。

実施項目２－１：【光リザバー・デバイス設計技術の研究開発】（担当：日本 IBM）

図２に示すレーザー系を用いた光リザバー・デバイスのアーキテクチャを提案した。さらに、その数理モデルを構築し、数値シミュレーションによってデバイス実装時の計算性能および計算効率の解析を達成した。具体的にはレーザー系のダイナミクスを表すレート方程式の時間領域での解析および非線形増幅器の周波数領域での解析を行い、その性能特性を評価した。特に光回路部品（増幅器など）の特性がリザバーの性能に及ぼす影響を明らかにした（図３）。これらの結果により、研究計画に記載した技術開発を達成した。



（図２）光リザバーデバイスの構造

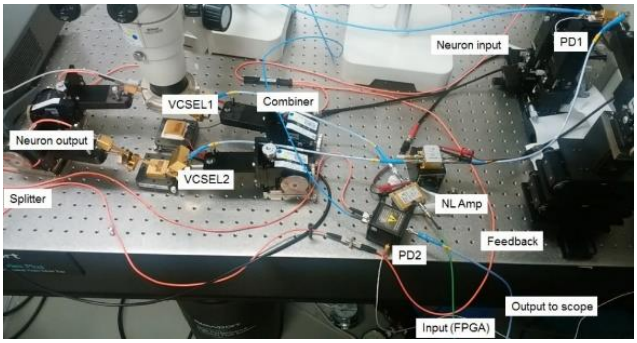


（図３）光リザバー・デバイスの特性。

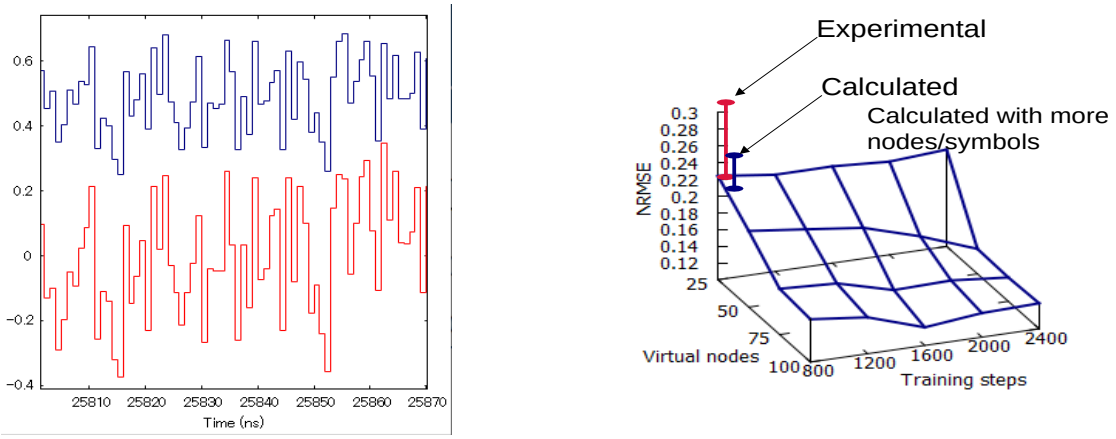
(a) パルス入力に対するエコー応答。 (b) 非線形増幅器の増幅特性。 (c) VCSEL レーザーを駆動する増幅器の周波数応答特性。

本プロジェクト開始前に、光ファイバーを用いたテーブルトップ光信号フィードバック回路により、光リザバー・コンピューティングの基礎的な実証実験に成功している（図４）。本プロジェクトでは、広帯域受光器を導入し、高いゲインによるクリアな信号によりデモ・システムの性能向上を達成した。このデモ・システム上で、時系列生成タスクや通信路における信号復元タスクなど様々なベンチマーク・タスクを行い、その性能がシミュレーションから期待されるものとよく一致していることを確認した（図５）。さらに、新規光受信器を導入し、高ゲインによるクリアな信号を実現し、デモ・システムのタスクを性能向上させた。これらの結果により、研究計画に記載した技術開発を達成した。

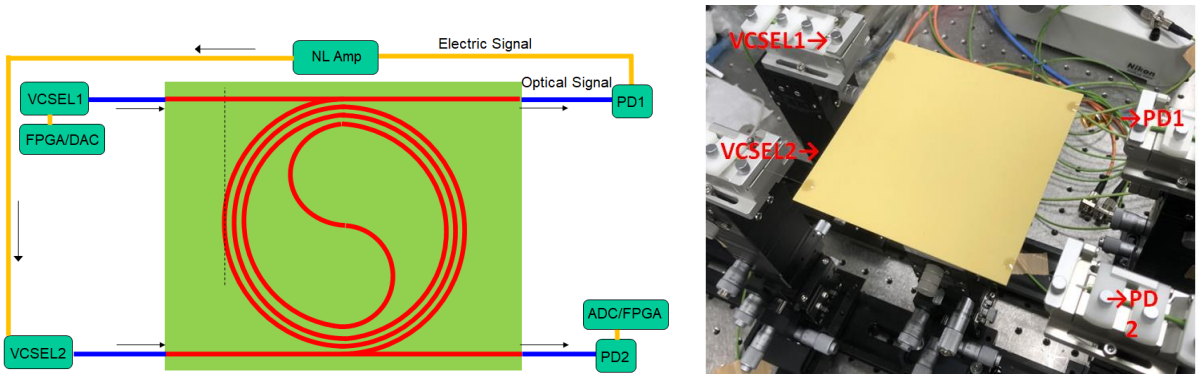
さらに高速で低消費電力の光リザバー基板を設計・製造し、可搬なプロトタイプを構築した。この光リザバー基板は螺旋状に配線された低損失のポリマー光導波路で構成されており、10 cm 四方の有機基板上に 1 メートルの光路を実現している。これに直線状のポリマー導波路を 2 本組み合わせることで、既に実現されていた光ファイバーを用いた光リザバー回路を完全に置き換えることに成功した（図６）。この基板を VCSEL（垂直共振器型半導体レーザー）およびPD（光検出器）等の光電変換素子や増幅器と組み合わせることで、システムを携帯サイズかつ低消費電力の光リザバー・デモシステムにするという最終目標を達成した。



（図４）テーブルトップ・デモシステム



（図５）（左）：光リザバー出力（赤）とシミュレーション出力（青）の比較。（右）：時系列生成タスクにおける仮想ノード数、学習ステップと誤差の関係。



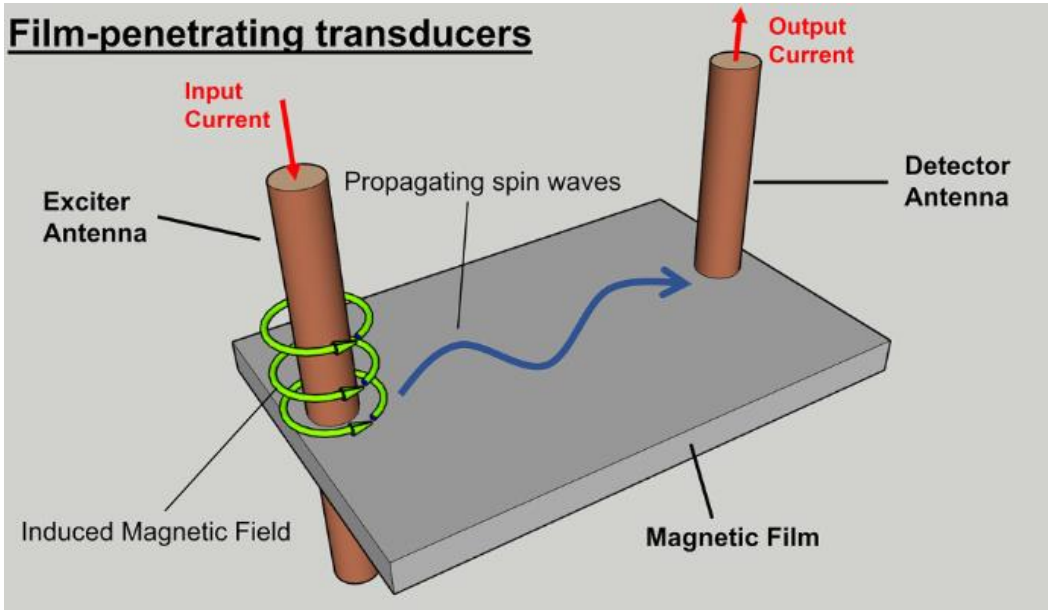
（図６）（左）：ポリマー光導波路基板を用いた光リザバー回路、（右）ポリマー光導波路基板

実施項目２－２：【スピンリザバー・デバイス設計技術の研究開発】（担当：東京大学、横浜国立大学）

提案したスピン波リザバーデバイスの利点の一つは、比較的簡便なチップデバイス構造により実現可能性が高いことにある。一方、ベンチマークタスクで高い計算性能を達成するには出力端子数を多くしなければならないことが明らかとなり、このトレードオフを解消する現実的なコンピューティング手法の開発が重要であった。そこで、スピン波のダイナミクスを局所的に操作可能な磁区構造を導入し、全体的に操作可能な外部印加磁場にも着目し、様々な工夫を導入したシステムを物理シミュレーションベースで探究した。ハード

ウェアにおける出力端子数を実現可能な数に抑えつつ、いくらかの外部磁場下における出力波形を取得・統合した出力状態ベクトルを生成することで、物理リザバー・コンピューティングでは難易度の高いベンチマークタスクである非線形回帰移動平均モデルにおいて、チップコンピューティングでは最も高い計算性能を達成した。こうした、信号取得時の環境変化を利用によりダイナミクスを操作して実効的出力ノード数の増加と出力波形の多様化を実現することは、作製簡便性と高い計算性能を同時に実現する現実的な手法の一つとして、非常に有効であることを見出した。

効率的に局所からスピン波を励起する技術として、スピン波－電流変換器（トランスデューサ）を新規構造で提案し、入力と出力を電流で行うスピン波デバイスのシミュレーション環境を構築した。特に、スピン波の非線形物理現象を詳細に解析することで、それらを効率よく発現・取得する条件を見出した。本提案技術が既存アンテナ技術では難しい局所のスピン波操作に有効であり、スピン波リザバー・コンピューティングデバイスの要素技術として有望であることを明らかにした（図 7）。



（図 7）スピン波－電流変換器（トランスデューサ）の新規構造である Film-Penetrating Transducer (FPT)の基本構造。従来の 1 次元構造アンテナと異なり 0 次元構造であるため配置の自由度が高く密度も高くとれるため、リザバーコンピューティングチップの高機能化に大きく寄与する。

デバイス実装は、プロトタイプデバイスによるリザバー・コンピューティングの原理実証を目指し、プローバーをベースとした高周波測定系の構築を行った。まず従来型アンテナをベースとした変換部分の設計を行い、デバイス作製技術を開発した。それらを利用して磁性ガーネット基板上にデバイスを作製し、その基礎特性の取得に成功した。

実施項目３：【物理リザバーのコンポーネント化の研究開発】

光リザバー・デバイスのコンポーネント化に関しては、従来の物理リザバー・デモシステムの高性能化のため、センサー機器と物理リザバーとのインターフェースの役割を果たし、かつ物理リザバー・デバイスをコントロールする FPGA 制御プラットフォームを設計した。このプラットフォーム上で、ポリマー光導波路基板を用いた時間遅れ光リザバー・デバイスによる音声認識のデモを行い、標準的な音声認識タスクである TI46 データセットに対して、85%以上の認識率を達成した（図８）。これにより FPGA 制御プラットフォーム作成と評価を完了し、最終目標を達成した。

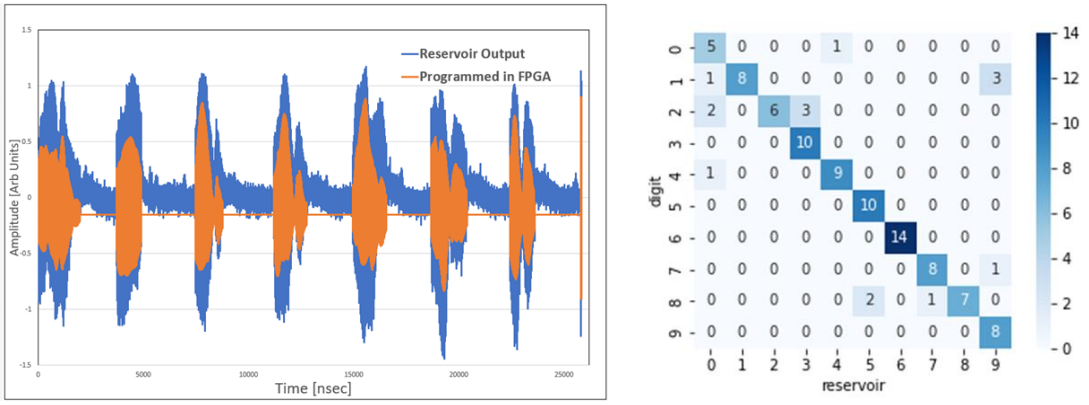
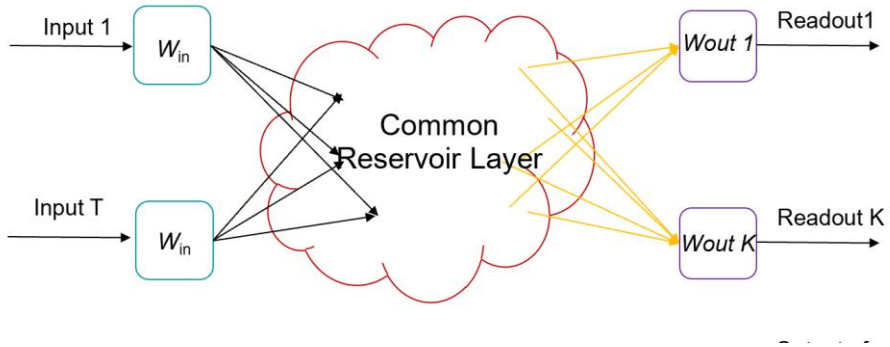


図８　（左）：音声認識データに対するポリマー光導波路基板を用いた光リザバーからの出力、（右）混同行列　（正答を示す対角線上の数値の和が、全体の和 100 に対し 85 に達している）

実施項目４：【物理リザバー・コンピューティングのミドルウェアの研究開発】
商用のエッジ・コンピューティング・ミドルウェア製品を研究し、クラウドシステムからエッジの物理的なリザバーシステムを管理する方法を確立した。さらに、物理リザバー・デバイスを備えた FPGA システムを制御するためのさまざまなソフトウェアを開発した。これらのソフトウェアを使用することで、物理リザバー・デバイスを搭載したエッジデバイス上で音声検索などの様々なタスクを行うことができるプラットフォームの開発に成功した。

実施項目５：【物理リザバー・コンピューティングのアプリケーションの研究開発】
光リザバーとスピン・リザバーに対し、エッジにおける機械学習プラットフォームの観点から、エッジデバイスでの異常検知、M2M、イン・ネットワーク・コンピューティングなどへの産業応用が可能であることを示した。
　また現在、コンテナ仮想化を用いたマルチテナント環境などの従来のクラウド・テクノロジーがエッジにも展開されている。このような環境にリザバー・コンピューティングを適用するために、各タスクに共通のリザバー層に各タスクのリードアウト層を並列に接続するマルチタスク型の構成について提案した（図９）。さらに、計算リソースの制約下で全体の速度向上を最大化するように各リードアウト層の並列度を決定する最適化問題を定式化し、リザバー・コンピューティングがエッジにおけるマルチテナント環境において有

効な機械学習プラットフォームとなることを明らかにした。



（図９）リザバー・コンピューティングによるマルチタスク機械学習

(4)　成果と意義

光リザバー・デバイスの開発についていくつかの報告があるが、いずれも 100m 超の光ファイバーを必要としたり、損失が大きく、エッジやネットワークへ展開可能な集積化デバイスは開発途上である。これに対し、本研究開発で提案した光リザバー・デバイスのアーキテクチャは、光ファイバーを光導波路に置き換えて実装することができ、エッジ側に展開可能なサイズと消費電力を実現できる点に大きな意義がある。

光リザバー・デバイスの特徴である高速性を十分にアピールするデモを行うためには、FPGA プラットフォームにおける DAC/ADC のデータ入出力レートを高速化する必要がある。また、現在のデモ・システムはディスクリートな光部品を組み合わせて構成されており、光ファイバーのアライメント等を必要とするため、可搬性に欠けるという課題がある。従って、FPGA デモ・システム高速化し、デモ・システム全体を評価ボードにインテグレーションすることは、エッジに展開可能な集積化されたデバイスの構築に向けて重要なステップとなる。

また、スピン波リザバーチップはこれまでにない基本構造を有しており、波動伝搬によって時空間を極限まで利用するハードウェアであって、実用化に向けての今後の本格的な研究展開を進めてゆく予定である。本研究によって、理論面およびモノづくり面の両面で、その嚆矢となるマイルストーンを達成した。

(5)　成果の普及

多数の国内・国際会議での発表や技術セミナーおよび講演を通して、潜在的なビジネス・パートナーおよびアカデミアに対し成果の普及を行った。

4.9.2. NEDO担当者の所見

従来の光リザバー・デバイスと比較しても、本研究開発で提案した光リザバー・デバイスのアーキテクチャは、光ファイバーを光導波路に置き換えて実装することができ、エッジ側に展開可能なサイズと消費電力を実現できる点に大きな意義がある。
さらに、これらの成果普及として、数の国内・国際会議での発表や技術セミナーおよび講演を行い、レザバーの有用性を広めることができたという点も評価できる。
これらの研究は、コロナ渦であったが、実施項目全てにおいて、一定の成果を出せたことも評価できる。
いくつかの要因が重なり、プロジェクトが終了となってしまったが、開発したシステムが次世代情報通信に有望な技術であることが結果として出ていることから、レザバーの研究開発を継続して行っていれば、実用化に向けて大きな成果が期待できたという点では、残念であった。
また、レザバーの開発技術に関しては、今後も期待できるため、実用化に向けて、今後も本格的な研究展開を進めていただき、いち早く市場に投入することを期待している。

4.10. 深層確率コンピューティング技術の研究開発

1.研究開発成果について

本研究開発の目標は、①新しい深層確率コンピューティングのアルゴリズムを探求し、②それを確率プログラミング言語によって容易に利用できるようにし、さらに③最適化されたハードウェアによる加速・省電力化を実現することである。これにより、エッジ側での深層確率学習を低消費電力で実現し、通信帯域の削減等により新しい機械学習の応用可能性を切り開く。この目標に対し、以下の成果を達成した。

- 多様な状態空間モデルの拡張をSVAEに紐付け開発可能とする体系を確立した。
- Ensemble Kalman Filterを援用した新しいアルゴリズムEnsemble Kalman Objective（EnKO）を開発した。
- カーネル法と深層学習の融合による効率的な確率推論の方法を開発した。
- 敵対的生成ネットワーク（Generative Adversarial Network。以後GAN）の判別器を用いた異常検知法（Anomalous Latent variable Generative Adversarial Network。以後ALGAN）を開発した。
- 確率論理プログラミング言語PRISMに対し、深層ニューラルネットワークモデルを効率よく記述し、取り扱うための拡張の実装としてT-PRISMを開発し公開した。
- エッジ側や各種アクセラレータでの深層学習を可能にするMiniCTorchの開発を行った。
- 深層確率プログラミング言語TarsをPyTorch上に移植・拡張し、Pixyzとして公開した。
- 深層ベイズ向けの新規学習アルゴリズムAdamBを開発し、その性能を実証した。
- 深層ベイズ学習向けのアクセラレータMoviTANの開発を行い、消費電力を1/100以下にできることの見通しを立てた。
- 関数評価器や乱数生成等を含む深層学習アクセラレータ向けのハードウェアライブラ

リRIALの開発を行った。
個別の研究開発テーマにおける詳細は以下に示す。

1.1 研究開発テーマ「①深層確率コンピューティングに適した計算アルゴリズムの研究開発」（統計数理研究所、中央大学）

1.1.1 概要

深層確率コンピューティングのコアとなるアルゴリズムを開発する。具体的には、変分自己符号化器（Variational Auto Encoder。以後 VAE）を状態空間モデルと融合するアルゴリズムを開発する。深層ニューラルネット（Deep Neural Network。以後 DNN）は識別モデルとして利用されるのが普通であるが、生成モデルに活用する研究もこの 2～3 年富に盛んである。その中でも VAE は、生成モデルの自動構築法としての汎用性から大きな期待が寄せられている。中央大学における研究開発の進め方においては、モデル探索とパラメータ学習に関するアルゴリズムの研究開発を両輪とする。前者では、変分オートエンコーダと状態空間モデルの融合（実施項目①-(1)）を行う。後者では、パラメータの学習アルゴリズムおよびエッジークラウド間の計算バランシング法の開発（実施項目①-(2)）を行う。情報・システム研究機構では、より要素的な研究開発として、カーネル法と深層学習の融合による効率的な確率推論の方法（実施項目①-(3)(A)）と、GAN を用いた確率推論法（実施項目①-(3)(B)）に関する研究開発を行う。

1.1.2 最終目標と根拠

最終年度（2022 年度）には、実施項目①-(1)、①-(2)、および①-(3)で開発した手法を、産業技術総合研究所、京都大学、東京大学のソフトウェア開発チームのソフトウェアに実装し、実データへの適用を行うことにより、エッジークラウド間の計算バランシングを評価する。深層学習によるサンプリングの高度化により、サンプルによる確率分布の表現を効果的に学習する方法を開発する。

1.1.3 目標の達成度

実施項目①-(1)においては、時系列信号向きの VAE である Sequential VAE（SVAE）の各手法を確率因果グラフの形で表現し、エンコーダ・エボリューター・デコーダで整理することで、多様な状態空間モデルの拡張を SVAE に紐付け開発可能とする体系を確立した。
実施項目①-(2)においては、Ensemble Kalman Filter を援用した新しいアルゴリズム EnKO を開発し、これを Pixyz で実装した。また、クラウドに集まるモデルバンク（パラメータベクトルバンク）のオンラインアップデートアルゴリズムの研究開発を行い、エッジークラウド間の計算バランシングを評価した。

実施項目①-(3)においては、カーネル法の関数計算能力と、柔軟な非線形性を実現する深層学習の利点を組み合わせたカーネル深層ベイズ法を開発した。また、製品検査などの異常検知を対象とし、正常データのみからの異常検知学習法である ALGAN を開発した。
これらから、目標を達成したと考える。

これらを総合し、目標を達成したと考えられる。

1.1.4 成果と意義

エッジでの処理・エッジ―サーバの分散処理に適した深層確率コンピューティングアルゴリズムの研究開発を行った。Internet of Things (IoT) の時代となり、人工物の機能や状態のモニタリングのために、膨大なセンサ情報をクラウドに集めることがさまざまな産業分野で企図・実施されている。IoT センサから得られるデータは、その多くが動画を含めた時系列データである。時系列データの現場オンライン処理には、時系列データの特徴ベクトルを得る方式と、時系列データを生成確率モデルである統計モデルで表現する方式がある。統計モデルは、推定値の確率評価がやりやすく、また解釈も容易であるが、モデルの表現能力を十分に高めなくてはならない。本開発では、VAE 深層ニューラルネットを生成確率モデルに活用する研究に取り組んだ。VAE は、統計モデルとして記述された生成モデルであり、現在でも、昨年 (2022 年) 画像生成技術として非常に話題になった Stable Diffusion など多くの生成モデルや情報圧縮法で活躍している。特に、時系列信号向きの VAE を SVAE と呼ぶ。本研究開発において我々は、SVAE の各手法を確率因果グラフの形で表現し、エンコーダ・エボリュータ・デコーダで整理することで、多様な状態空間モデルの拡張を SVAE に紐付け開発可能とする体系を確立した。これにより、事前分布およびプロポーザル分布の構成に関しても取り扱える範囲を拡大し、問題に適した状態空間モデルの同定が可能となるアルゴリズムを開発した。この描画による整理と分析を基に、産総研・東大・京大が開発するソフトウェアの Pixyz で表現が困難な形式を洗い出し、その解決のための検証実験を実施した上で基本アルゴリズムを計算機に実装した。これらにより、時系列信号向けの深層確率モデルの基本アルゴリズムを定式化およびソフトウェアとの連携を実現できた。

実施項目①-(1)で開発した基本アルゴリズムに組み込むことでパラメータ推定を改善する方式を検討し、計算プラットフォームの基本設計を行った。本研究開発のパラメータ学習としては、基本、Filtering Variational Objective (FIVO) の枠組みを採用し、FIVO を用いたパラメータ推定にかかわる多様な数値検証実験を実施し、その推定性能について評価を行った。検証実験には、模擬データを用いるとともに、実データとしてスマートメータから得られたデータの分析も実施した。さらなる検証実験の結果から、推論時に逐次データ同化手法である、Ensemble Kalman Filter を援用した新しいアルゴリズム EnKO を開発し、既存手法の課題であった勾配の偏性や粒子の縮退が生じないことを確認した。これらの性質により、EnKO は FIVO よりも粒子数を 1/100 程度に削減可能で、効率的な学習アルゴリズムであることを、模擬データ、オープンソースのセンサデータ、スマートメータから得られた実データを用いた数値実験により実証した。さらに、これらのアルゴリズムを Pixyz で表現し、SVAE に容易に適用可能な形式として計算機に実装した。さらに、クラウドに集まるモデルバンク (パラメータベクトルバンク)

のオンラインアップデートアルゴリズムの研究開発を行い、エッジークラウド間の計算バランシングを評価した。

研究項目①-(3)では，エッジ処理に適した確率推論法として、以下の二点の開発を行った。

(a) 深層学習とカーネル法を融合した確率推論：カーネル法の関数計算能力と、柔軟な非線形性を実現する深層学習の利点を組み合わせたカーネル深層ベイズ法を開発した。これにより、従来のベイズ推論の計算時間の問題を解決し、確率推論の信頼性を柔軟に表現する基盤技術が提供できた。

(b) 深層生成モデルによる確率推論：製品検査などの異常検知を対象とし、正常データのみからの異常検知学習法を開発した。開発された方法 ALGAN は、低い計算コストを実現するため単純な GAN 構造を採用し、正常・異常の識別境界を適切に学習するために、潜在変数に正常と異常の２つの正規分布を導入した。いくつかの標準的な異常検知データセットで検証した結果、計算時間と精度のトレードオフで優れた性能を示すことを確認した。また、ALGAN は画像以外のデータにも汎用的に適用可能である。

ALGANはPythonで実装され、維持管理が容易なDockerイメージとして提供されている。また、理化学研究所で設計されたチップ上での稼働を目的として、京都大学で開発されたMiniCTorchでの実装が可能な版を公開している。手書き数字データセットを用いたタスクでは、GPU を用いない処理系でも十分高速な処理が可能であることが示された。

1.1.5 成果の普及

本成果の主要な部分は論文として出版され、また EnKO および ALGAN のコードは公開されている。

1.2 研究開発テーマ「②確率プログラミング言語の研究開発」

（産業技術総合研究所、東京大学、京都大学）

1.2.1 概要

本項目では、複雑な確率モデルを用いた学習および推論の計算を、ハードウェアシステムおよび基盤ソフトウェア上で容易に実現するための確率プログラミング言語およびそのプログラムの実行環境の開発を行う。こうしたプログラミング言語により、複雑な確率モデルの定義、すなわち確率変数の間の記述を可能にするとともに、そうしたモデルの記述をするだけで、様々な種類の学習・推定アルゴリズムが利用可能になる（図 1 参照）。

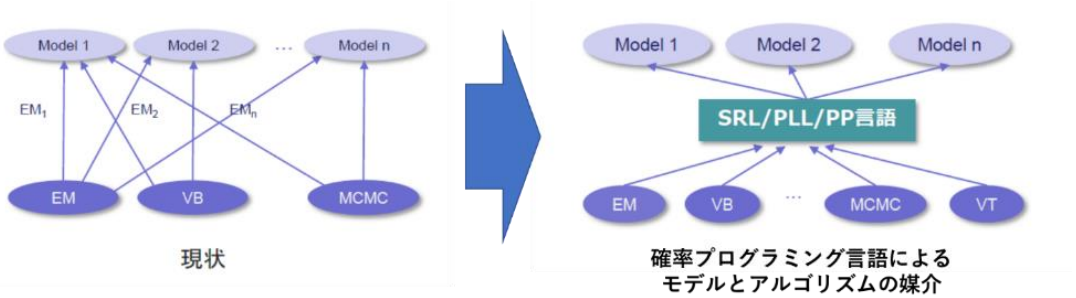


図１　確率プログラミング言語の役割

これまでに、多くの確率プログラミング言語が研究開発されているが、そこでは、大きく二つのアプローチが取られている。一つは、汎用のプログラム言語に確率の扱いを導入して、汎用性の高い確率プログラミング言語へと拡張するアプローチ、もう一つは、深層学習のフレームワークに確率の扱いを導入して、深層学習を前提とした確率プログラミング言語へと拡張するアプローチである。本研究開発では、１つ目のアプローチとして、東京工業大学、産業技術総合研究所、および京都大学で開発された、強力な記述力を持つ確率的な論理プログラミング言語 PRISM を基盤とする 実施項目②-(1) 確率論理プログラミング言語の研究開発を、２つ目のアプローチとして、深層学習を前提とした確率プログラミング言語として東京大学で開発された Tars を基盤とする 実施項目②-(2) 深層確率プログラミング言語の研究開発を、並行して探索的に実施し、それぞれのアプローチの特徴および得失を明らかにするとともに、それぞれを相互参照しながら全体の改善を進めて、最終的には、実施項目②-(3) 確率論理プログラミングと深層確率プログラミングの評価と融合によって、融合によるさらなる高度化の可能性を探る。

1.2.2 最終目標と根拠

最終年度である 2022 年度に、以下の目標を達成する。

1) 実施項目①で検討する複雑な確率モデルを含む 2 種類以上の確率モデルが、拡張された PRISM および Tars を PyTorch 上に移植した Pixyz によって扱えることを示す。

2) PRISM および Pixyz の実施項目③で構築するハードウェアのシミュレータ上での実行効率のシミュレーションによる評価を完了させる。

3) PRISM と Tars の融合の方針を提案し、融合の可能性を示す。

これらの目標を達成することにより、世界的にも類のない、深層ニューラルネットワークを含む複雑なモデルの記述能力とハードウェアによる高速な実行速度を有する、深層確率プログラミング環境を実現し、深層確率生成モデルの研究開発を加速することが可能になる。

1.2.3 目標の達成度

実施項目②-(1)では、高度なプログラミング能力を持つ確率論理プログラミング言語である PRISM をベースに行列・テンソル計算を融合し、深層学習技術を導入することでスケーラブルなモデリング言語 Tensorized PRISM (T-PRISM) を開発した。また、ハード

ウェアとの連携のためにPyTorchをベースとして、その計算グラフをC言語へとコンパイルするPRISM-MiniCTorchを開発した。
実施項目②-(2)では、新しい深層確率プログラミングのためのライブラリとしてTarsおよびその後継であるPixyzを提案し構築した。構築したPixyz上で、研究項目①の成果である時系列データの深層確率モデルを含む複数のモデルの実装と性能評価を行い、実行速度やプログラムの記述や理解、再利用の容易さの点で優れていることを示した。
実施項目②-(3)では、T-PRISMを用いた深層確率モデルの実装を行うとともに、PRISM-MiniCTorchをベースとして二つのアプローチを融合したフレームワークを開発した。
これらを総合して、目標を達成したと考える。

1.2.4 成果と意義

研究項目②確率プログラミング言語の開発では、深層ニューラルネットワークを用いて定義されるような複雑な確率モデルを用いた学習および推論の計算を、ハードウェアシステムおよび基盤ソフトウェア上で容易に実現するための確率プログラミング言語およびそのプログラムの実行環境の研究開発を、既存の確率プログラミング言語に深層学習を導入するアプローチと、深層学習のプログラミングフレームワークに確率の扱いを導入して、深層学習を前提とした確率プログラミング言語へと拡張するアプローチの二つのアプローチで実施し、それぞれのアプローチの特徴および得失を明らかにするとともに、最終的には融合の可能性を探った。研究項目②-(1)では、高度なプログラミング能力を持つ確率論理プログラミング言語であるPRISMをベースに行列・テンソル計算を融合し、深層学習技術を導入することでスケーラブルなモデリング言語T-PRISMを開発した。まず、深層学習と論理プログラムを結び付けるためのテンソル意味論を開発し、それを基盤としてT-PRISMの処理系を新たに構築した。構築したT-PRISMを用いて知識グラフ処理や文脈自由文法などの複雑な確率分布モデルを含む複数のサンプルアプリケーションの実装と性能評価を行い、有効性を示した。研究項目③との連携のために、PyTorchをベースとして、その計算グラフをC言語へとコンパイルするPRISM-MiniCTorchを開発した。また、Python言語との連携を行うためのインターフェースも実装した。研究項目②-(2)では、深層生成モデルにおける(1)深層ニューラルネットワークが確率分布に隠蔽される、(2)モデルが目的関数に基づいて設計・学習される、という2つの性質を踏まえた新しい深層確率プログラミングのためのライブラリとしてTarsおよびその後継であるPixyzを提案し構築した。構築したPixyz上で、研究項目①の成果である時系列データの深層確率モデルを含む複数のモデルの実装と性能評価を行い、実行速度やプログラムの記述や理解、再利用の容易さの点で優れていることを示した。研究項目②-(3)では、T-PRISMを用いた深層確率モデルの実装を行うとともに、PRISM-MiniCTorchをベースとして二つのアプローチを融合したフレームワークを開発した。このフレームワークを用いることで、ユーザは課題に応じたプログラミング方式を容易に選択してプログラミングを行い、エッジデバイス上で実行することが可能になる。

1.2.5 成果の普及

T-PRISM, Pixyz に関しては、サンプル実装も含めて GitHub 等で公開している。また、チュートリアルも実施して成果の普及に努めた。

1.3 研究開発テーマ「③深層確率コンピューティングに適したハードウェアシステムの開発」（理化学研究所）

1.3.1 概要

深層確率コンピューティングのエッジ学習に向けたハードウェアシステムの開発を行う。

本研究開発では、エッジ側で学習を行うことが前提となっており、エッジ側での計算量が多い。この問題を解決するためには、本方式に適した効率のよいハードウェアを開発する必要がある。アルゴリズムの汎用性が高いことを考慮すると、特定の精度・性能に限定したハードウェアを開発するのは適切でない。そこで、アルゴリズムに合わせて機能を設計するが、精度等は用途に合わせて変更可能なハードウェア基盤を構築する。回路の最適化により、現行CPUに比べ100倍以上の電力性能の実現可能性を示す。

1.3.2 最終目標と根拠

開発する技術の電力効率（単位電力あたりの計算性能）が、事業開始時点における同等の技術と比較し、100倍以上となる可能性を示す。

- ハードウェアを実装し、アプリケーションの性能評価とそれに基づく性能改善を行う。
- 電力見積もりを行い、1/100以上のエネルギー効率が達成できる見通しを示す。

上記を通じ、エッジ側での学習を可能とし、通信量・電力削減を実現する。

1.3.3 目標の達成度

- 深層確率モデルの一つである、ベイズ深層学習のBayes-by-Backprop（以降BBB）の学習をサポートする機能拡張を行ったプロセッサ生成システムMovitanを開発した。
- Movitanの電力評価を行い、プロジェクト開始時に比べて10年後に100倍以上の電力性能の実現可能性を示した。

1.3.4 成果と意義

ベイズ深層学習の加速装置を中心としたプロセッサ生成基盤の開発を行った。深層学習の実社会での活用に向けて、推論結果に妥当性を反映させることが重要である。深層学習は自信過剰な推論を行う傾向があるが、重みを確率分布として扱うアプローチである Bayesian Neural Network(以降 BNN) によってこうした傾向を補正することができる。本研究では深層確率コンピューティングとして BNN をターゲットに、BBB 法による学習の加速を目指した。BBB では通常の深層学習で用いられる大量の行列積演算の他に、近似事後分布から重みをサンプリングする操作でも専用ハードウェアによる効率的な実行が可能で

ある。これまで BBB の専用ハードウェアの研究はワークフローが単純な推論のみが取り組まれてきたが、本研究では複雑なワークフローが要求される学習における最適なハードウェア構成について研究を行った。

深層学習のモデルアーキテクチャは自由度が高いため、目的や新規アルゴリズムに対する専用ハードウェアの最適な構成を容易に行えるようにする必要がある。このような多様化する専用ハードウェアのアーキテクチャの探索に備えて、効率的なシステムオンチップ（SoC）開発が可能な生成システムのフレームワーク Chipyard を用い、パラメータによるカスタム化が容易な Chisel 言語を用いて開発を行った。Chipyard に含まれる行列積アクセラレータの生成フレームワーク Gemmini を利用し、BBB の学習をサポートする機能拡張を行ったプロセッサ生成システム Movitan を開発した。Movitan はベクトル型アーキテクチャに基づくアクセラレータであり、各 Processing Element（以降 PE）は浮動小数点演算器の他、特殊関数の近似回路を持ち、乱数を連続的に受け取ることができる。このデータフローの構成によって事後確率分布からの効率的な重みのサンプリングを行うことが可能である。Movitan、並びに他深層学習向けハードウェア開発の効率化のために、Chisel 言語で書かれたライブラリ（Riken Arithmetic and Logic library。以後 RIAL）の開発も行った。RIAL は基本浮動小数点演算、特殊関数など、専用プロセッサ開発に有用なライブラリである。また、Chisel 言語を用い、シンプルな Onchip Network（NoC）“SimpleNoC”を完成させた。Movitan で生成されたハードウェア上でのプログラミングは C/C++ API を介して行われ、専用ハードウェアに依存する部分は、ハードウェアと同時に生成される専用の C ヘッダー情報を利用する。

Movitan の TSMC N7（7nm）プロセスでの実装試行を行い、面積 0.34mm^2（テスト回路除き、実装率を考慮していない）、1GHz 動作時に消費電力 0.093W の見積もりであった。サイクル当たりの演算数を、（積和 2 演算＋特殊関数 8 演算＋正規乱数 30 演算 = 40 演算）×8 ユニットとすると、320 演算となる。これから電力性能を見積もると 3.4TFLOPS/W である。2028 年には 2nm プロセスが確実に利用可能であるから、さらに電力効率を 5 倍以上にでき、17TFLOPS/W の性能が期待できる。プロジェクト提案時の GPU Nvidia P100 は、FP16 で約 0.07TFLOPS/W である。これから、電力効率を 100 倍以上にできる見通しが立った。

また、Movitan によって効率的に高速化が可能なアルゴリズムの開発およびアプリケーションの開拓を行った。BBB は学習が難しく、標準的な深層学習モデルの学習に失敗することが知られている。BBB の損失関数には正答率と関連のある項とベイズに由来する事前分布と事後分布の項が含まれる。分散パラメータの急激で過剰な増加の原因は、このベイズに由来する項にあることを確認し、Adam による最適化から分離した Adam with decoupled BBB（以降 AdamB）を提案した。AdamB はこれまで学習の困難であった ResNet や VGG の学習に成功したことに加えて、自信過剰な傾向を抑えた推論を実行することを確認した。さらに共変量シフトベンチマークを行い、推論の「確からしさ」出力において AdamB が優れた性能を持つことを示した。

1.3.5 成果の普及

AdamB は論文として出版し、ソースコードは Github に公開している。また、RIAL の正規乱数発生器について、企業に技術指導を行った。

2.NEDO 担当者の所見

本研究テーマは、アルゴリズム、ソフトウェア、ハードウェアを連携した開発により、研究開発時点の既存技術に対して 100 倍以上の電力性能を目指していたが、事業終了時までに目標を達成することが出来なかった。事業終了後の継続研究により、シミュレーションでの目標達成を確認している。

事業終了後に実施した事業者へのヒアリング結果は以下のとおり。

Ⅰ．研究成果について

事業目的である 100 倍以上の電力性能（2018 年度 対 CPU）については事業終了時点ではハードウェア開発の遅延により明確化出来ていなかった。しかし、終了後に TSMC の 7N のライブラリにアクセス可能となり、ハードウェアの性能シミュレーションが可能となった。その結果達成する見込みを得た。（ただし 2nm 世代）特許についてはメンバーに企業が入っていなかったこともあり、0 件。論文・外部発表についてはほぼ当初の予定通りとの見解。ハードウェアについては現在論文執筆中。

Ⅱ．研究の継続性について

研究は継続している。ソフトウェア（T-PRISM、Pixyz）は継続アップデート。ハードウェアについては今年度より RaaS（先端システム技術研究組合）に加入し、TSMC のライブラリにアクセス可能となったことで継続出来ているが、AI チップ関連のプロジェクトに参加できないか検討したが NG。ラピダスで再検討を計画している。

Ⅲ．NEDO 事業について

技術推進委員会がストレスであった。既存技術を改善する手法に対して保守的と感じた。新規技術には寛容であるが既存技術に関しては否定的な意見を受けた。また、研究テーマに関してはエッジ AI に絞ったが、サーバをターゲットにした方が良かったかもしれない。これは計画を立てた事業者側の問題。

Ⅳ．その他

現在、理研が計画している「TRIP-AGIS」の計算方式を検討中。確率コンピューティングも採用の可能性があり、その際は今回の研究結果が活かせる可能性あり。また、事業者のひとつである中大は、東電（スマートメータ）や沖（異常検知エッジ向けコンピュータ）と共同研究を進めており、研究成果が活かされている。

本研究が事業期間内に目標を達成することが出来なかったのは、ハードウェア開発の遅れにある。アルゴリズム開発チームとハードウェア開発チームの間の連携が計画通りに進まなかったことにより、アルゴリズム研究の一部をハードウェアチームが実施することになったのが原因と考えられる。状況に合わせて組織体制等の見直しが出来ていれば結果は変わった可能性がある。NEDO としても事業の進捗状況を踏まえて提案等を行うことが必要であったと考える。

本研究は、全体の開発目標は達成できなかったが、個々には成果を出せている。特にソフトウェアで開発した開発言語「T-PRISM」や「Pixyz」は現時点でも継続したアップデートが行われている。ハードウェアについても事業終了後の継続研究により、理化学研究所が計画する「TRIP-AGIS」の計算方式の候補となっている。

4.11. 2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェア技術の探索

4.11.1. 研究開発成果について

本研究開発項目では、ポストムーア時代を迎える2028年に現在のハイエンド汎用CPUの100 倍の性能を多くのアプリで達成するために、アーキテクチャ、システムソフトウェア、プログラミング等の技術探索を行い有望な指針を示すという目標に対し、現在の計算機システムの性能分析に加え性能モデリング技術を開発すると共に、アーキテクチャの探索を行った。選別した 21 個のベンチマークアプリケーションの特性を解析し、この解析の結果からこれらのベンチマークアプリケーションを High Flops/Byte アプリと Low Flops/Byteアプリに分類し、各カテゴリに対して性能100倍を達成するアーキテクチャ等技術の探索を行なった。探索の結果、High Flops/Byteアプリでは CGRA を用いたアーキテクチャ、Low F/Bアプリでは LARCA,LARCA+,PIMのアーキテクチャにより性能100倍を達成できる見込みが得られた。

4.11.1.1 研究開発テーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」

(1) 概要

本事業では、ポストムーア時代を迎える 2028 年頃に、事業開始時の 2018 年におけるハイエンド汎用 CPU の 100 倍の性能を多くのアプリで達成する画期的な帯域重視の FLOPS-to-BYTES アーキテクチャと共に、それに対応したシステムソフトウェア・プログラミング・アルゴリズムの技術探索を行うことを目的として、探索的研究を実施した。本目的に対し、科学技術計算からビッグデータ、AIに至るまでの広範囲な分野をカバーする複数のベンチマークを対象として特性解析を行い、その結果に基づき性能目標を達成するための技術要件を明らかにした。以下に示す各項目の研究を各参画機関において実施し、性能目標が達成可能であるとの見通しを得た。

・実施項目 1.1（理化学研究所）
2028年ポストムーア時代の100倍の性能向上を示す性能モデリング及びシミュレータ環境

・実施項目 1.2（理化学研究所）
データフローによる特化型計算のための非ノイマン型計算機構とプログラミングモデル

・実施項目 2（東京工業大学）
メモリアーキテクチャ革新に対応するシステムソフトウェア技術

・実施項目 3（東京大学）
新計算原理に基づくプログラミング容易性と性能の両立に関する研究

・実施項目 4（富士通株式会社）
将来の高性能 CPU を拡張したノードアーキテクチャ構成方式の研究開発

実施項目 1.1 では、ベンチマークの特性解析と、2018 年のハイエンド CPU 比で 100 倍のアプリケーション性能を達成するための要件分析を行った。実施項目 1.2、2 および 3 では、目標達成要件を満たすための技術要素に関する研究を実施した。実施項目 4 では、汎用プロセッサと異種計算基盤とを統合した新しいノードアーキテクチャ向けの I/F の提案と、それを支える新デバイス・実装技術の探索を行った。

(2)　最終目標と根拠

2025-2030 年頃に半導体微細化の進化が終焉する「ポストムーア時代」が到来すると予想される。その時代に向け、その解決の為の種々の技術が提案・研究されている。デバイスでは、CMOS に代わる新型の高速・低電力のトランジスタや、新たな原理によるメモリ素子、超高効率な光素子などの研究が盛んに行われており、それらを空間的に結合する三次元実装も急激に進化している。また、量子コンピューティングやニューロモーフィックコンピューティングなど、新たな計算原理や、その実装法の研究も始まっている。しかしながら個々のデバイスや計算法の進化だけでは適用領域が狭く、かつ従来の計算原理との隔たりが大きい。本事業では、ポストムーア時代を迎える 2028 年頃に、事業開始時の 2018 年におけるハイエンド汎用 CPU の 100 倍の性能を多くのアプリで達成する画期的な帯域重視の FLOPS-to-BYTES アーキテクチャと共に、それに対応したシステムソフトウェア・プログラミング・アルゴリズムの技術探索を行うことを目的として、探索的研究を実施する。具体的には、「2017 年 Q4 頃に登場した Intel® Xeon PhiTM Knights Mill (Knights Mill もしくは KNM) と比較し、ベンチマークアプリケーションにおいてノードチップあたり最大 1kW 以下で 100 倍の性能を 2028 年頃に達成可能なアーキテクチャの探索と候補の掲示」を本事業の達成目標とする。

【実施項目 1.1】
2028 年ごろのアーキテクチャはポストムーア時代の入り口とも言え、あまねくプログラムで現状の 100 倍の実行効率が期待されるも、その最適な構成は、デバイス・ハードウェア・システムソフトウェア・プログラミング、更にはアルゴリズムに至るまで、コ・デザインが必須であり、そのために、様々なシステム構成を試す必要があるが、このためには、総合的なポストムーア時代へのシミュレータが必須であり、かつ、大量のケースを試す必要がある。そこで、各種汎用アプリケーションの特徴を抽出し、現有のスパコンを用いたシミュレーション環境を構築して、100 倍加速の達成を検証する。

【実施項目 1.2】
ムーア則の終焉以降にも向上が期待できるデータ転送能力を性能向上につなげることが可能な計算機アーキテクチャおよびそのプログラミングモデルの創成を目的として、アル

ゴリズムをデータフロー回路に展開して実行する非ノイマン型の新しい計算機アーキテクチャと、そのプログラミング手法の探求を行う。ムーア則の終焉以降にも向上が期待できるデータ転送能力を性能向上につなげることが可能な計算機を実現するためには、命令の逐次実行およびその並列化に基づいた従来のノイマン型プロセッサの限界を超えることができる新しいアーキテクチャが重要であるが、そのために、アルゴリズムをデータフロー回路に展開して実行する非ノイマン型の新しい計算機アーキテクチャと、そのプログラミング手法を探求する必要がある。そこで、（１）アーキテクチャ評価環境の構築、（２）アーキテクチャ設計空間の探索、を行い、ポストムーア時代の半導体技術の下でも性能をスケール可能な計算機アーキテクチャを明らかにすることを、期間全体の目標とする。

【実施項目 2】

本実施項目で焦点を置くのは、ポストムーア時代に性能向上を継続するためにますます多様化・複雑化が求められるメモリ階層を対象とした、アーキテクチャ探索と効率的活用である。メモリ階層の構成要素はキャッシュメモリ、メインメモリ、大容量不揮発メモリを基本とするが、それらの境界も多様化しうるとする。本分野の技術動向として、HBM などの三次元積層メモリ、プロセッサとメモリの積層実装による超広帯域接続や、キャッシュメモリがパッケージ内の複数チップに分散するチップレット化などが見られ、本項目でも重要視して研究開発を推進する。より具体的には（１）メモリアーキテクチャ探索のための性能推定ツール群の構築とアーキテクチャ空間探索、（２）ポストムーア時代のメモリ階層向けのデータ転送削減技術・システムソフトウェア技術。このようなアーキテクチャ・ソフトウェア連携により、2028 年後に多くのアプリについて性能 100 倍を可能とする方法の確立を、期間全体の目標とする。

【実施項目 3】

開始時点での目標は、100 倍達成に向けて当初の想定アーキテクチャ等に適応するソフトウェアの積極的改変を伴うものだった。探索型プロジェクトゆえ、アーキテクチャ的な見直しが許容され、冷却・ピン数・メモリ容量の限界の超越や、ユーザや実装メーカーから見たギャップ(障壁)の抑制等が必要との感触を得た。そこで、FLOPS-to-BYTE コンセプトを実現する新計算原理としてニアデータプロセシングモデルを採用する方向性を探求することで、それらの課題を解決できる新アーキテクチャを考案し、探求した。これを高速に再現できる仮想環境を構築し、その上で性能評価を行いつつ、必要に応じて支援システムソフトウェアの開発により性能向上させることで、ムーア則終焉後にも性能向上できる汎用高性能計算機の正しい方向性の一つである証拠を取得することを期間全体の目標とした。

【実施項目 4】

2028 年に向けて性能 100 倍を実現するコンピューティング基盤の実現に向けては、これまでのプロセッサの進化のトレンドを上回る性能向上を達成しなければならない。これを実現する技術の候補としては(1)新しい計算方法を取り込んだ演算器、(2) 新しいデバイス・実装技術の適用　が考えられる。そこで本実施項目では、汎用プロセッサと CGRA やニアメモリ型アクセラレータなどの異種計算基盤とを統合した新しいノードアーキテク

チャ向け I/F の提案と、それを支える新デバイス・実装技術の探索を行う。　そして他実施項目と連携し、2028 年までに利用可能なデバイス・実装技術を活用した、事業化可能なノードアーキテクチャによって性能 100 倍を達成可能であることを示すことを期間全体の目標とする。

(3)　目標の達成度

本事業全体として、当初の研究計画通り目標を達成した。選別した 21 個のベンチマークアプリケーションの特性を解析し、この解析の結果からこれらのベンチマークアプリケーションを High Flops/Byte アプリと Low Flops/Byte アプリに分類し、各カテゴリに対して性能 100 倍を達成するアーキテクチャ等技術の探索を行なった。その結果、High Flops/Byte アプリでは CGRA を用いたアーキテクチャ、Low F/B アプリでは LARCA,LARCA+,PIM のアーキテクチャにより、事業開始時の 2018 年におけるハイエンド汎用 CPU の 100 倍の性能を達成できる見込みが得られた。これは、本事業の達成目標である「2017 年 Q4 頃に登場した Intel® Xeon PhiTM Knights Mill (Knights Mill もしくは KNM)と比較し、ベンチマークアプリケーションにおいてノードチップあたり最大 1kW 以下で 100 倍の性能を 2028 年頃に達成可能なアーキテクチャの探索と候補の掲示」を達成したことを意味する。

【実施項目 1.1】

当初の研究計画通り目標を達成した。主要なアプリケーションの選定と特性解析と性能 100 倍のためのアーキテクチャ探索を実施した。理研 Fiber アプリおよび DOE/ECP プロジェクトで利用されているプロキシアプリケーションの中から 21 個のアプリケーションを選定し性能特性の解析を行った。また 1.5nm を想定して実装した仮想的なプロセッサ $LARC^{A}$、$LARC^{A+}$の性能を推定したところ、対象とするメモリ律速アプリケーションにおいて、条件付きではあるが性能 100 倍を達成できる見通しが得られた。

【実施項目 1.2】

当初の研究計画通り目標を達成した。HPC 向け CGRA の可能性を探るために、ベースライン CGRA の提案と設計、評価フレームワークの開発、およびベンチマーク評価と設計空間探索を実施した。5nm CMOS で実装した CGRA コアの性能を推定したところ、性能 100 倍要件である「シナリオ②：要求演算性能 109.3 TFLOPS」は十分に達成できる見通しが得られた。

【実施項目 2】

当初の研究計画通り目標を達成した。メモリシステムを主な研究対象として、性能 100 倍を可能にするためのアーキテクチャ技術とソフトウェア技術の統合を実施した。メモリシステム性能ツールチェーンの開発および、LARC アーキテクチャ上でメモリバウンドなステンシル計算カーネルの評価および局所性向上最適化を行った。これらの技術統合により、2018 年比 119 倍という性能推定結果が得られ、性能 100 倍を達成できる見通しが得られた。

【実施項目 3】
当初の研究計画より望ましい高度な目標を達成した。プログラミング容易性と性能 100 倍の両立を目的として、PIM によるアプローチを中心に研究を進めた。移植コストゼロは提案アーキテクチャ McIM により達成し、HPC の大半を占めるメモリバンド幅ネック型アプリの性能 100 倍要件であるメモリ性能 34.5TB/s は提案アーキテクチャ B/F アクセラレータにより達成した。上記の性能達成のために当初想定していた新規ソフトウェアの開発は基本的に不要である。併せて、タスク並列型アプリの負荷分散も探求した。この成果は一部の該当アプリケーションへの少ない書き換えによるプラスαの性能向上に寄与すると期待される。

【実施項目 4】
当初の研究計画通り目標を達成した。将来の高性能 CPU を拡張したノードアーキテクチャ構成方式の調査検討によって性能 100 倍のコンピュータ実現に向けて、他の実施課題のサポートを行う立場で
① 既存 CPU の性能ボトルネック調査
② 2028 年に利活用可能な新デバイス技術の調査
③ アクセラレータに向けた性能予測基盤の整備(実施課題 2 と共同で実施)
④ 実装可能性観点からのアクセラレータの性能、電力、面積評価(実施課題 1.2 と共同で実施)
を行った。その結果として、実施課題 1-2 の CGRA 方式アクセラレータが 2028 年に実装可能な技術によって 100 倍の性能を達成できることを確認した。

(4) 成果と意義

本事業全体として、様々なアプリケーションに対し事業開始時の 2018 年におけるハイエンド汎用 CPU の 100 倍の性能を達成できるアーキテクチャ候補などの技術的見込みが得られたことにより、今後の高性能計算機開発の道筋が明らかとなった。

【実施項目 1.1】
ポストムーア時代の計算機アーキテクチャを見据え、2028 年頃にあまねくプログラムで現状の 100 倍の実行効率を達成するための技術探索を行うことを行なった。この探索には、様々なシステム構成で、パラメータの異なるケースを評価・解析する必要がある。このために我々は(1)主要なアプリケーションの選定と特性解析と(2)性能 100 倍のためのアーキテクチャ探索を行った。性能 100 倍のためのアーキテクチャ探索を定量的に示すためには、その基準となるプロセッサー（ベースライン）を選定する必要があるが、このベースラインとして Intel Xeon Phi Knights Mill を採用した。(1) に関しては、ベンチマークアプリケーションの移植などを行い、それらのソースコードを公開した。ベンチマーク一式としてソースコードを公開することは今後同様の基準で別のアーキテクチャを評価する際に重要である。(2)に関しては、ルーフラインモデルに基づき性能 100 倍を達成するためのアーキテクチャ探索を行った。昨今、演算性能に律速するアプリケーションとメモリ性能に律速するアプリケーションが混在し、単一のプロセッサで要求される演算性能とメモリ性能を同時に満たすことは困難である。本実施項目では、選別したベンチマークアプリ

ケーションを演算密度に基づき、High Flops/Byte、Low Flops/Byte の 2 つに分類し、それぞれのアプリケーションカテゴリにおいて性能 100 倍の達成可否を見積もる方法論を提案した。これにより、実際に物理的に CPU を製造、使用しなくても、性能を見積もることが可能となるので、100 倍性能を達成する CPU アーキテクチャの探索に非常に重要となる。

【実施項目 1.2】
HPC システムに対する CGRA の適用可能性を探るために、ベースラインの CGRA アーキテクチャの提案と設計、その評価フレームワークの開発、およびベンチマーク評価と設計空間の探索を実施した。また、5nm CMOS テクノロジで倍精度浮動小数点演算器を実装した場合の CGRA コアの性能を推定した。その結果、実施項目 1.1 で示された【達成条件 I】「109.3Tflop/s の演算性能」は、5nm 世代の CMOS テクノロジを用いた場合にでも十分に達成可能であるとの見通しが得られた。

【実施項目 2】
メニーコアプロセッサのためのキャッシュ構造や異種メインメモリ等の先進的なメモリアーキテクチャ動向の詳細調査により、本研究で対象とするメモリアーキテクチャの探索空間をより具体化することができた。また、メモリアーキテクチャ空間探索のためにメモリ性能を自由に設定可能な性能推定ツールの整備を行い、実施項目 1.2 や実施項目 3 との連携を含めたアーキテクチャ全体の探索の基盤とすることができた。また性能推定対象のベースとしては実施項目 1.1 を中心に策定された LARC アーキテクチャを用い、性能 100 倍超の見通しを得るなど、強固な項目間連携のもと、当初目的の達成に大きく貢献した。

【実施項目 3】
冷却・ピン数・メモリ容量の限界を超越しつつ、ソフトウェアの改変無しに、大容量データも含むバンド幅ネックアプリケーション全般を加速しうる McIM 型 B/F アクセラレータという有望な新アーキテクチャを考案した。生成 AI で珍重される GPU とは相補的に共存可能な新カテゴリのアクセラレータで、ハイエンドから HPC ユーザ個人用に至る全階層の計算環境改善に適し、商業的に成功し価格高騰する GPGPU に次ぐ新潮流となる可能性がある。これはプロジェクト開始当初には予測できていなかった発見であり、探索的研究プロジェクトとしては望ましい成果と考えられる。バンド幅ネックアプリケーションは HPCG に代表される反復解法だけでなく、グラフ解析や Recommendation(DLRM)があり、Facebook 社などのデータセンターにおけるエネルギー消費の大きな割合を占める。DLRM のバンド幅感度は HPCG より高いことも確認でき、McIM 型 B/F アクセラレータはその加速や省電力に大きく貢献できる可能性がある。

【実施項目 4】
実施項目 2 と連携して、新しいデバイスのパラメータを含んだ性能推定ツールを構築し、実施項目 1.2 の CGRA アーキテクチャを例にその実現可能性の予測ができるようにした。この基盤は、他のアーキテクチャのデザインスペース探索にも今後活用することが出来る。
さらに対外的に公開可能な 5nm 半導体プロセスライブラリでの実装評価を行うためのフローを構築し、それを実施項目 1.2 と共有を行うことが出来た。このフローも今後、先端

半導体プロセステクノロジを適用した新しいアーキテクチャの実装評価に向けて活用が進んでいくものと思われる。

(5)　成果の普及

【実施項目 1.1】

評価ターゲットとして様々な特性を持つ 20～30 本程度のアプリケーションに絞ることを目標に、HPC・ビッグデータ・AI アプリケーションのベンチマークや実アプリケーションの内容と基本要件を調査した。特に、理研で開発されたアプリケーションのミニアプリ集である FIBER、米国 DoE の研究所が中心となり開発された ECP Proxy Apps、HPC 系の基本ベンチマークである HPCG、AI 系のベンチマークとして DeepBench・MLPerf・Deep500、ビッグデータ系のベンチマークとし BigDataBench・Graph500 を中心に調査を行った。その結果、最終的に 21 個のベンチマークを選別した。それらのベンチマークをポストムーア評価環境フレームワーク（ J. Domke, PAStudy, “Post-moore evaluation framework”, https://gitlab.com/domke/PAstudy）として公開し、成果の普及に努めた。これまでの成果は、大変選別の厳しい国際学会 IPDPS2019 へ採択され発表を行った。また本 NEDO プロジェクトの成果発表のために LSPANC においても口頭発表を行なった。

【実施項目 1.2】

CGRA に関するアーキテクチャに関する調査結果、サイクル精度で評価が可能な CGRA のエミュレーション試作環境、アーキテクチャの探索に関して、論文投稿を行った。これらは、IEEE Access 誌、国際会議 ASAP2020, HPCAsia2022, CGRA4HPC2022, CLUSTER2022 に採録された。また、国内の関連研究会で複数回の発表を行った。加えて国際会議 ASAP2020 にて CGRA に関するパネルセッションを開催した他、国際会議 IPDPS2022, 2023 にて併設のワークショップ”CGRA4HPC”を企画・開催するなど、本研究成果の普及に努めた。

【実施項目 2】

メニーコアや異種メインメモリを持つアーキテクチャの詳細性能評価結果について、国際学会でポスター発表するとともに、そのためのメモリ遅延性能測定ツールを公開(https://github.com/yuki1024/ymlc)した。また高性能グラフ最短経路カーネルについて、国際学会 HPC Asia で論文発表するとともに、このソフトウェアも公開(https://github.com/toshioendo/hoalgos)した。引き続き、メモリ階層性能推定ツールから得られた結果についても学術発表を予定するとともに、実施項目 1.1 の研究者と合同で、性能推定ツールの普及に向けたハンズオンイベントを計画している

【実施項目 3】

現行のマシン上でも何らかの効果があり、かつ McIM を支援しうるソフトウェアに関しては、McIM を前面に出さない形で SC19 や ICPP2020 などの HPC 系の著名なコンファレンスや IEEE Transaction on PDS で発表を行った。一方、McIM 型 B/F アクセラレータはスーパーコンピュータや大規模データセンターへの成果の普及がゴールであり, その推進力を得るべく、アーキテクチャ系のトップコンファレンスでの採録を目指し、エミュレータに

よる大量評価結果をベースに投稿中である。この分野のトップコンファレンスは永年に渡り日本人が数年に 1 件しか通らない非常に狭き門であるゆえに推進力となりうる。これと併せて特許申請という形での成果の普及の努力中だが、職務発明提案が学内の知財部門で個人移転(承継かつ不出願)判定となったため個人出願もできない状態にあり、NEDO での個人移転審査に向けて出願後の実用化を担う移転先法人を探索中である。特許取得優先で未発表の B/F アクセラレータを、この状態で長期間放置すると特許取得や成果普及できないリスクが高まるため、1 年以内の新規性喪失例外出願を前提に、2023 年 9 月の研究会論文として発明者と発明の骨子を公的に確定する。

【実施項目 4】

実施項目 2 と連携して得られた新アーキテクチャの性能推定ツールに関して、国内研究会において発表を行った。また、CPU との接続 IF 規格並びにインターコネクト技術の調査結果に関しては、広く大学・企業連携の勉強会の場で共有を行った。

4.11.2. 実用化・事業化に向けての見通し及び取り組みについて

4.11.2.1 2028 年に性能 100 倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索における実用化・事業化の見通し（国内企業システムベンダー等）

(1) 概要

国内には、理研が運用するスーパーコンピュータ京、富岳を設計・製造し、同技術を使用した製品で事業化を行った企業である富士通を含め、富岳の次を請け負うことが可能なシステムベンダーが幾つか存在する。また、メモリ等のデバイス技術を開発する企業も存在する。これらの国内企業に加え国外（主に米国）の企業や研究所とも意見交換を行い、本課題で得られた知見を基に、将来における高性能計算機の実用化、事業化の道筋を模索した。本事業の途中からは富士通が参画し、スーパーコンピュータ「京」と「富岳」の開発で培ったシステム開発技術を活用し、他の 3 実施項目を実用可能性の観点からサポートすることを目的として「将来の高性能 CPU を拡張したノードアーキテクチャ構成方式の研究開発」を実施した。本事業で得られたアーキテクチャ指針等の知見の一部は、将来のスーパーコンピュータ開発事業の技術的検討の礎として、2022 年より開始した理研主体で富士通も参画するポスト富岳のフィージビリティスタディにおいて活用されている。

(2) 実用化・事業化への課題と対応策

有望な要素技術を研究開発する国内企業はあるものの、実運用に耐える品質の製品化・システム化には長い道のりが必要となる。要素技術としては、例えば、デバイス製造技術、パッケージング技術、シミュレーション等による性能予測技術が挙げられる。また、ポスト富岳のような新方式による次世代高性能計算機システムの構築に取り組む企業は少なく、産学で連携し、企業の観点での実現可能性の検討を行う必要がある。例えば、可能性のある新規アーキテクチャに対する実現可能性や、ソフトウェアのエコシステムを含めたシステム化の実現可能性について、企業自体も研究を行っているところではあるが、産学での連携によりそれを加速し、さらに事業化に繋げていく必要がある。
これに向けた対応策・取組として、以下を行った。

・要素技術を研究開発する企業や国立研究所と意見交換
企業や研究所を訪問し、技術的な意見交換を実施。
意見交換企業・研究所：
米国 HPE（光インターコネクト技術）、富士通（高性能計算機システム、富岳）、
富士通セミコンダクタ（カーボンナノチューブメモリ）、
KIOXIA（NAND 型フラッシュメモリ）、
米国ローレンスバークレー研究所（新デバイスに対する性能予測、特化型計算等）、
米国アルゴンヌ国立研究所（CGRA コンパイラ・アーキテクチャ、特化型計算）、

AMD(一貫性維持リンクと DIMM I/F を有する chiplet)等

・産学間で必要な情報を共有し相乗効果を目指す。
1. 次世代コンピューティングの最先端技術のロードマップやその性能パラメータの提供
2. ロードマップや性能パラメータを参考に性能 100 倍達成のための性能推定
3. アプリケーションの性能 100 倍達成するための数値目標の提供
4. 企業のロードマップ作成や技術開発に寄与

・企業の参入障壁を低減する選択肢も準備。
実績のある実装技術や CPU アーキとの Gap を抑制したアプローチ(McIM)を探索
Gap が原因でこぼれ落ちる市場規模を拾い上げ、企業の投資意欲を促進

(3) 実用化・事業化の体制

実用化・事業化の体制は、具体的に定まってはいないものの、次世代スーパーコンピュータの事業化に向けて、そのフィージビリティスタディにおいて本事業の成果の一部に基づいた検討が行われている。

(4) 市場規模と経済効果

想定できる市場規模としては、HPC 市場（2022 年 360 億ドル）、データセンター（2022 年 2640 億ドル）、人工知能市場規模（2023 年 5,153 億ドル）、FPGA 市場（2023 年 93 億ドル）に延びつつある市場が考えられ、これらを先取りすることができれば事業化の可能性は十分あり得る。また、McIM に関しては大容量のメモリに対応することで、HPC 向けプロセッサではカバーできないような領域の AI ユーザを取り込める可能性があり、その場合には、HPC 市場の 10 倍程度の規模が見込める。

(5) ベンチマーク

HPC, データセンター・AI 等の想定市場におけるワークロードに対し性能評価を行うことで、潜在的な事業化の可能性や製品化した際のバリューを見積もれる可能性がある。これを行うには、そのような評価に長けた企業を連携して進めていく必要がある。

(6) 事業化までのマイルストーン

1. 国内企業との意見交換
2. 本研究課題への積極的参画を期待する企業との協議
3. 参画企業と、事業化を行う技術的ターゲットの絞り込み
4. 参画企業と、市場価値、事業化までのコストの見積り
5. 具体的な研究開発の開始

次世代高性能計算基盤（次世代スパコン）の事業化に向けたマイルストーンは以下の通りである。

1. 実現可能性調査（フィージビリティスタディ）による、目標要件設定、利用可能技術と有望アーキテクチャの探索、達成可能性能や開発コスト推定、リスクの精査
2. 開発目標と計画の策定
3. 開発主体企業との開発体制の確立
4. 開発の実施
5. 製造と運用開始

4.11.3. NEDO 担当者の所見

様々なアプリケーションに対して、2018 年におけるハイエンド汎用 CPU の 100 倍の性能を達成できるアーキテクチャ候補などの技術的な見込みが得られ、高性能計算機開発の道筋が明らかとなったということでは、一定の成果を達成したものと判断できる。

一方、テーマ名にもある汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術という観点では、物足りない面はあるが、本事業で得られたアーキテクチャ指針等の知見の一部が、2022 年より理研主体で開始したポスト富岳のフィージビリティスタディに活用されている点は評価できるものである。

今後システム化に向けての技術完成度を高めるべく、富士通などの国内企業のみならず、米国の有力企業・研究機関との意見交換を行っている点は、良い方向であると思われる。これらの連携などを更に強化して、実用化・事業化に向けた体制を早期に構築することを期待したい。

添付資料

●プロジェクト基本計画

基本計画最新版については以下を参照：

https://www.nedo.go.jp/content/100797085.pdf

掲載 WEB ページ：

https://www.nedo.go.jp/activities/ZZJP_100123.html

●関連する施策や技術戦略

NEDO 技術戦略：

・コンピューティング／物性・電子デバイス分野の技術戦略

・AI を支えるハードウェア分野の技術戦略

関連する施策：

・半導体・デジタル産業戦略（令和 5 年 6 月 6 日策定）

・量子技術イノベーション戦略（令和 4 年 4 月策定）

・量子未来社会ビジョン（令和 4 年 4 月策定）

・量子未来産業創出戦略（令和 5 年 4 月策定）

・成長戦略（令和 3 年 6 月 18 日閣議決定）

・世界最先端デジタル国家創造宣言・官民データ活用推進基本計画（令和 2 年 7 月 17 日閣議決定）

・統合イノベーション戦略 2024（令和 6 年 6 月 4 日閣議決定）

・AI 戦略 2022（令和 4 年 5 月 10 日閣議決定）

・第 5 期科学技術基本計画（平成 28 年 1 月閣議決定）

・第 6 期科学技術・イノベーション基本計画（令和 3 年 3 月 26 日閣議決定）

・第 6 次エネルギー基本計画（令和 3 年 10 月 22 日閣議決定）

●プロジェクト開始時関連資料

・「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」研究開発事業に係る技術評価書（事前評価）
評価結果：https://www.meti.go.jp/policy/tech_evaluation/e00/03/h29/J039.pdf

・総合科学技術・イノベーション会議が実施する国家的に重要な研究開発の評価
評価結果：https://www8.cao.go.jp/cstp/output/kettei171225_1.pdf

・2020年度中間評価：
評価結果：https://www.nedo.go.jp/content/100930405.pdf

・総合科学技術・イノベーション会議が実施する国家的に重要な研究開発の評価（中間評価）
評価結果：https://www8.cao.go.jp/cstp/siryo/haihui060/siryo1-2.pdf

●各種委員会開催リスト

採択審査委員会		
件名	内容	実施日
「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／②次世代コンピューティング技術の開発」採択審査委員会	次世代コンピューティング技術の開発に係る採択審査を行う	2018/08/10
「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」追加公募に係る採択審査委員会	「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」の追加公募に係る採択審査委員会を行う。	2020/04/03
「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／研究開発項目〔2〕次世代コンピューティング技術の開発」に係る 2021 年度追加公募　採択審査委員会	高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／研究開発項目〔2〕次世代コンピューティング技術の開発」2021 年度追加公募の採択審査を行う。	2021/06/15
「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発に係る技術動向調査」採択審査委員会	「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発に係る技術動向調査」公募に係る採択審査を行う	2021/09/15
「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業／次世代コンピューティング技術の開発」に係る既存課題拡充に関する追加公募　採択審査委員会	「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業／次世代コンピューティング技術の開発」に係る既存課題拡充に関する追加公募　採択審査委員会の設置伺い	2022/01/26
「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業／次世代コンピューティング技術の開発」に係る既存課題拡充に関する追加公募　採択審査委員会	「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業／次世代コンピューティング技術の開発」に係る既存課題拡充に関する追加公募の採択審査を行う。	2022/02/28

ステージゲート委員会		
件名	内容	実施日
「高効率・高速処理を可能とする AI エッジ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」量子コンピューティング関連テーマステージ	「次世代コンピューティング技術の開発」量子コンピューティングに係るステージゲート評価を行う。	2020/11/27

ゲート評価委員会		
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」新原理コンピューティング関連テーマステージゲート評価委員会	「次世代コンピューティング技術の開発（新原理コンピューティング）」に係るステージゲート評価を行う。	2020/12/01
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/量子コンピューティング技術および新原理コンピューティング技術の開発に関するステージゲート審査委員会	量子コンピューティング技術および新原理コンピューティング技術の研究開発に関して、これまでの成果を確認し、2023 年度以降の本プロジェクトの継続可否に関する審査を行う。	2022/12/6
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関するステージゲート審査委員会	先進的コンピューティング技術(光コンピューティング等関連技術) の研究開発に関して、これまでの成果を確認し、2023 年度以降の本プロジェクトの継続可否に関する審査を行う。	2022/12/7

技術推進委員会		
件名	内容	実施日
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」量子コンピュータ関連テーマ技術推進委員会	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」に係る進捗状況の確認や成果報告を行い、専門家による評価を行う。	2020/06/26
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」新原理コンピューティング関連テーマ技術推進委員会	「高効率・高速処理を可能とする AI チップ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」に係る進捗状況の確認や成果報告を行い、専門家による評価、助言を行う。	2020/07/06
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」量子コンピュータ関連テーマ技術推進委員会	「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」に係る進捗状況の確認や成果報告を行い、専門家による評価を行う。	2021/02/01
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティング技術の開発／次世代コンピュー	「高効率・高速処理を可能とする AI チップ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」に係る進捗状況の確認や成果報告を行い、専門家による評価、助言を行う。	2021/02/03

ティング技術の開発」新原理コンピューティング関連テーマ技術推進委員会		
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」新原理コンピューティング関連テーマ技術推進委員会	「高効率・高速処理を可能とするAIチップ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」に係る進捗状況の確認や成果報告を行い、専門家による評価、助言を行う。	2021/7/19
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」量子コンピュータ関連テーマ技術推進委員会	「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」に係る進捗状況の確認や成果報告を行い、専門家による評価を行う。	2021/8/27
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」量子コンピュータ関連テーマ技術推進委員会	「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」に係る進捗状況の確認や成果報告を行い、専門家による評価を行う。	2022/2/3
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」新原理コンピューティング関連テーマ技術推進委員会	「高効率・高速処理を可能とするAIチップ・次世代コンピューティング技術の開発／次世代コンピューティング技術の開発」に係る進捗状況の確認や成果報告を行い、専門家による評価、助言を行う。	2022/3/4
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関する技術推進委員会	先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関する技術推進委員会を行う。	2022/8/9
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/脳型コンピューティング技術および量子コンピューティング技術の開発に関する技術推進委員会	脳型コンピューティング技術および量子コンピューティング技術の研究開発に関して、2023 年度以降の本プロジェクトにおける計画・成果の妥当性確認および課題抽出を行い、本プロジェクト実行における技術面・事業面の助言を行う	2023/2/2
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関する技術推進委	先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関する技術推進委員会を行う。	2023/2/2

員会		
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/量子コンピューティング技術開発に関する技術推進委員会	量子コンピューティング技術の研究開発に関して、2024 年度以降の本プロジェクトにおける計画・成果の妥当性確認および課題抽出を行い、本プロジェクト実行における技術面・事業面の助言を行う。	2024/2/7
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関する技術推進委員会	先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関する技術推進委員会を行う。	2024/2/1
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/新原理コンピューティング技術（脳型等データ処理高度化関連技術）の開発に関する技術推進委員会	新原理コンピューティング技術（脳型等データ処理高度化関連技術）の研究開発において実施される、脳型等データ処理高度化関連技術に関するこれまでの成果および成果から抽出した課題について、専門家による評価を実施する。	2024/04/24
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/新原理コンピューティング技術（脳型等データ処理高度化関連技術）の開発に関する技術推進委員会	新原理コンピューティング技術（脳型等データ処理高度化関連技術）の研究開発において実施される、脳型等データ処理高度化関連技術に関するこれまでの成果および成果から抽出した課題について、専門家による評価を実施する。	2024/05/29
高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティングの技術開発/量子コンピューティング技術開発に関する技術推進委員会	量子コンピューティング技術の研究開発に関して、2024 年度以降の本プロジェクトにおける計画・成果の妥当性確認および課題抽出を行い、本プロジェクト実行における技術面・事業面の助言を行う。	2024/9/6
「高効率・高速処理を可能とするAIエッジ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関する技術推進委員会	先進的コンピューティング技術(光コンピューティング等関連技術)の開発に関する技術推進委員会を行う。	2024/9/9

●特許論文等リスト

◎量子計算及びイジング計算システムの統合型研究開発

【特許】

番号	出願者	出願番号	国内・外国・PCT	出願日	状態	名称
1	学校法人帝京大学	２０２１－１０４９７８	ＪＰ：日本国	2021.6.24	出願継続中	量子装置、量子ビット読み出し装置および電子回路
2	日本電気株式会社	２０２２－０００７８	ＪＰ：日本国	2022.1.5	出願継続中	半導体素子
3	日本電気株式会社	２０２２－０００７９	ＪＰ：日本国	2022.1.5	出願継続中	半導体素子
4	日本電気株式会社	２０２２－０００７４０	ＪＰ：日本国	2022.1.5	出願継続中	超伝導量子回路
5	日本電気株式会社	２０２２－０４６２８６	ＪＰ：日本国	2022.3.23	出願継続中	量子デバイス
6	日本電気株式会社	２０２２－０５６１０９	ＪＰ：日本国	2022.3.30	出願継続中	超伝導量子回路装置
7	国立研究開発法人理化学研究所	２０２１－２１５４２６	ＪＰ：日本国	2022.12.29	出願継続中	コンデンサ及びコンデンサの製造方法
8	株式会社　東芝	１７／４０１１９２（ＵＳ）	ＵＳ：アメリカ合衆国	2021.8.12	出願継続中	計算装置
9	株式会社　東芝	２０２１－０９３９７９	ＪＰ：日本国	2021.6.4	出願継続中	計算装置
１０	日本電気株式会社	２０２２－０２１１５１	ＪＰ：日本国	2022.2.15	出願継続中	計算装置、計算方法およびプログラム
１１	日本電気株式会社	２０２１－１８１９１８	ＪＰ：日本国	2021.11.8	出願継続中	量子デバイス
１２	日本電気株式会社	２０２１－１８４２４１	ＪＰ：日本国	2021.11.11	出願継続中	超伝導量子回路
１３	日本電気株式会社	２０２１－１８９５９７	ＪＰ：日本国	2021.11.22	出願継続中	超伝導量子回路装置と超伝導量子回路の制御方法
１４	日本電気株式会社	２０２１－１９３４２６	ＪＰ：日本国	2021.11.29	出願継続中	サンプルホルダおよび超伝導量子計算機
１５	日本電気株式会社	２０２１－１７４０３３	ＪＰ：日本国	2021.10.25	出願継続中	超伝導回路
１６	日本電気株式会社	２０２１－１７６６８９	ＪＰ：日本国	2021.10.28	出願継続中	配送地区割当装置、配送地区割当表示装置、配送地区割当方法およびプログラム
１７	株式会社フィックスターズ	２０２１－２１３４９６	ＪＰ：日本国	2022.12.27	出願継続中	情報処理システム、情報処理方法及び情報処理装置
１８	日本電気株式会社	１７／９６０２１３（ＵＳ）	ＵＳ：アメリカ合衆国	2022.10.5	出願継続中	ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ　ＣＩＲＣＵＩＴ
１９	日本電気株式会社	１７／９６９９２１（ＵＳ）	ＵＳ：アメリカ合衆国	2022.10.20	出願継続中	ＤＥＬＩＶＥＲＹ　ＤＩＳＴＲＩＣＴ　ＡＬＬＯＣＡＴＩＯＮ　ＤＥＶＩＣＥ，ＤＥＬＩＶＥＲＹ　ＤＩＳＴＲＩＣＴ　ＡＬＬＯＣＡＴＩＯＮ　ＤＩＳＰＬＡＹ　ＤＥＶＩＣＥ，ＤＥＬＩＶＥＲＹ　ＤＩＳＴＲＩＣＴ　ＡＬＬＯＣＡＴＩＯＮ　ＭＥＴＨＯＤ　ＡＮＤ　ＰＲＯＧＲＡＭ
２０	国立研究開発法人産業技術総合研究所	２０２２－１０８０８７	ＪＰ：日本国	2022.7.5	出願継続中	超伝導量子回路
２１	日本電気株式会社	２０２２－１８３５１６	ＪＰ：日本国	2022.11.16	出願継続中	量子デバイス

２２	日本電気株式会社	１７／９７４７４４（ＵＳ）	ＵＳ：アメリカ合衆国	2022.10.27	出願継続中	ＱＵＡＮＴＵＭ ＤＥＶＩＣＥ
２３	日本電気株式会社	１７／９７８３５６（ＵＳ）	ＵＳ：アメリカ合衆国	2022.11.1	出願継続中	ＳＵＰＥＲＣＯ ＮＤＵＣＴＩＮＧ ＱＵＡＮＴＵＭ ＣＩＲＣＵＩＴ
２４	国立研究開発法人産業技術総合研究所，日本電気株式会社	２０２３－０２０２２６	ＪＰ：日本国	2023.2.13	出願継続中	共振器及び周波数可変型共振器
２５	日本電気株式会社	ＰＣＴ／ＪＰ２０２２／０２４８２５	ＰＣＴ（全指定）	2022.6.22	出願継続中	超伝導量子回路
２６	学校法人早稲田大学	２０２２－１２５７１９	ＪＰ：日本国	2022.8.5	出願継続中	計算方法、計算システム、及びプログラム
２７	日本電気株式会社	２０２２－１２１２１８	ＪＰ：日本国	2022.7.29	出願継続中	演算装置、量子状態生成装置、演算方法、量子状態生成方法およびプログラム
２８	日本電気株式会社	２０２２－１２６６８８	ＪＰ：日本国	2022.8.8	出願継続中	変換装置、演算装置、変換方法、演算方法およびプログラム
２９	日本電気株式会社	２０２２－１３１７０３	ＪＰ：日本国	2022.8.22	出願継続中	量子デバイス
３０	日本電気株式会社，国立研究開発法人産業技術総合研究所	２０２２－１０８０８７	ＪＰ：日本国	2022.7.5	出願継続中	超伝導量子回路
３１	日本電気株式会社	２０２２－１３１１７３	ＪＰ：日本国	2022.8.19	出願継続中	量子デバイスとその構成方法
３２	日本電気株式会社	２９／８６５０４３（ＵＳ）	ＵＳ：アメリカ合衆国	2022.7.5	出願継続中	Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｄｅｖｉｃｅ
３３	日本電気株式会社	２９／８４５０９０（ＵＳ）	ＵＳ：アメリカ合衆国	2022.7.5	出願継続中	Ｓｅｍｉｃｏｎ ｄｕｃｔｏｒ Ｄｅｖｉｃｅ
３４	日本電気株式会社	２０２２－１３９９９１	ＪＰ：日本国	2022.9.2	出願継続中	量子デバイス
３５	国立研究開発法人理化学研究所	ＪＰ２０２２／０４８６５６	ＰＣＴ（全指定）	2022.12.28	出願継続中	コンデンサ及びコンデンサの製造方法
３６	日本電気株式会社	２０２３－０４３０１６	ＪＰ：日本国	2023.3.17	出願継続中	最適化装置、最適化方法およびプログラム
３７	日本電気株式会社	２０２３－０５３０３１	ＪＰ：日本国	2023.3.29	出願継続中	超伝導回路装置とその製造方法
３８	日本電気株式会社	ＪＰ２０２３／０１０１３０	ＰＣＴ（全指定）	2023.3.15	出願継続中	処理装置、処理方法、および記録媒体
３９	日本電気株式会社	１８／１０５４８６（ＵＳ）	ＵＳ：アメリカ合衆国	2023.2.3	出願継続中	ＣＯＭＰＵＴＡＴＩＯＮ ＡＰＰＡＲＡＴＵＳ ＡＮＤ ＣＯＭＰＵＴＡＴＩＯＮ ＭＥＴＨＯＤ ＴＨＥＲＥＦＯＲ
４０	日本電気株式会社	１８／１２３０３８（ＵＳ）	ＵＳ：アメリカ合衆国	2023.3.17	出願継続中	ＱＵＡＮＴＵＭ ＤＥＶＩＣＥ
４１	日本電気株式会社，国立研究開発法人産業技術総合研究所	２０２３－０２０２２６	ＪＰ：日本国	2023.2.13	出願継続中	共振器及び周波数可変型共振器

４２	日本電気株式会社	２０２３－０２７６０６	ＪＰ：日本国	2023.2.24	出願継続中	量子デバイス
４３	日本電気株式会社	１８／１０１７００（ＵＳ）	ＵＳ：アメリカ合衆国	2023.1.26	出願継続中	ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ ＱＵＡＮＴＵＭ ＣＩＲＣＵＩＴ ＡＰＰＡＲＡＴＵＳ
４４	日本電気株式会社	１８／１０２２０９（ＵＳ）	ＵＳ：アメリカ合衆国	2023.1.27	出願継続中	ＡＩＲＢＲＩＤＧＥ， ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ ＣＩＲＣＵＩＴ ＡＰＰＡＲＡＴＵＳ ＡＮＤ ＭＥＴＨＯＤ ＯＦ ＦＡＢＲＩＣＡＴＩＯＮ ＴＨＥ ＳＡＭＥ
４５	日本電気株式会社	１８／１０１９１７（ＵＳ）	ＵＳ：アメリカ合衆国	2023.1.26	出願継続中	ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ ＱＵＡＮＴＵＭ ＣＩＲＣＵＩＴ ＡＰＰＡＲＡＴＵＳ
４６	日本電気株式会社	１７／９８６０３１（ＵＳ）	ＵＳ：アメリカ合衆国	2022.11.14	出願継続中	ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ ＱＵＡＮＴＵＭ ＣＩＲＣＵＩＴ ＡＰＰＡＲＡＴＵＳ ＡＮＤ ＣＯＮＴＲＯＬ ＭＥＴＨＯＤ ＦＯＲ Ａ ＳＵＰＥＲ ＣＯＮＤＵＣＴＩＮＧ ＱＵＡＮＴＵＭ ＣＩＲＣＵＩＴ
４７	日本電気株式会社	１７／９９４７２８（ＵＳ）	ＵＳ：アメリカ合衆国	2022.11.28	出願継続中	ＳＡＭＰＬＥ ＨＯＬＤＥＲ ＡＮＤ ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ ＱＵＡＮＴＵＭ ＣＯＭＰＵＴＥＲ
４８	日本電気株式会社	１８／０９０３２０（ＵＳ）	ＵＳ：アメリカ合衆国	2022.12.28	出願継続中	ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ ＱＵＡＮＴＵＭ ＣＩＲＣＵＩＴ
４９	日本電気株式会社	２０２２－２０３１７１	ＪＰ：日本国	2022.12.20	出願継続中	量子デバイス
５０	日本電気株式会社	２０２２－２００７８４	ＪＰ：日本国	2022.12.16	出願継続中	量子コンピューター装置
５１	日本電気株式会社	２０２３－００６１２６	ＪＰ：日本国	2023.1.18	出願継続中	量子チップ、量子デバイス、および量子コンピュータ
５２	日本電気株式会社	２０２３－００００５６８	ＪＰ：日本国	2023.1.5	出願継続中	データ圧縮装置、データ圧縮方法およびプログラム
５３	日本電気株式会社	ＪＰ２０２３／０１６８８４	ＰＣＴ（全指定）	2023.4.28	出願継続中	学習モデル正則化装置、学習モデル正則化方法および記録媒体
５４	日本電気株式会社	２０２３－１３０３３３	ＪＰ：日本国	2023.8.9	出願継続中	デバイスとその製造方法
５５	日本電気株式会社	１８／２２２８３３（ＵＳ）	ＵＳ：アメリカ合衆国	2023.7.17	出願継続中	ＣＯＭＰＵＴＡＴＩＯＮ ＤＥＶＩＣＥ， ＱＵＡＮＴＵＭ ＳＴＡＴＥ ＧＥＮＥＲＡＴＩＯＮ ＤＥＶＩＣＥ， ＣＯＭＰＵＴＡＴＩＯＮ ＭＥＴＨＯＤ， ＱＵＡＮＴＵＭ ＳＴＡＴＥ ＧＥＮＥＲＡＴＩＯＮ ＭＥＴＨＯＤ， ＡＮＤ ＰＲＯＧＲＡＭ
５６	日本電気株式会社	１８／２３４１９８（ＵＳ）	ＵＳ：アメリカ合衆国	2023.8.15	出願継続中	ＱＵＡＮＴＵＭ ＤＥＶＩＣＥ
５７	日本電気株式会社	１８／２３５０３５（ＵＳ）	ＵＳ：アメリカ合衆国	2023.8.17	出願継続中	ＱＵＡＮＴＵＭ ＤＥＶＩＣＥ ＡＮＤ ＣＯＮＦＩＧＵＲＡＴＩＯＮ ＭＥＴＨＯＤ ＴＨＥＲＥＯＦ
５８	国立研究開発法人産業技術総合研究所，日本電気株式会社	１８／３４１０９２（ＵＳ）	ＵＳ：アメリカ合衆国	2023.6.26	出願継続中	超伝導量子回路

５９	日本電気株式会社	２０２３－１１４７８３	ＪＰ：日本国	2023.7.12	出願継続中	量子デバイス、発振周波数設定方法およびプログラム
６０	日本電気株式会社	２０２３－１０１５７５	ＪＰ：日本国	2023.6.21	出願継続中	量子デバイス及び量子デバイス製造方法
６１	日本電気株式会社	２０２３－１２２７３４	ＪＰ：日本国	2023.7.27	出願継続中	制御装置、量子アニーリングシステム、制御方法およびプログラム
６２	日本電気株式会社，国立研究開発法人産業技術総合研究所	１８／３４１０９２（ＵＳ）	ＵＳ：アメリカ合衆国	2023.6.26	出願継続中	ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ ＱＵＡＮＴＵＭ　ＣＩＲＣＵＩＴ
６３	日本電気株式会社	１８／２３０２８９（ＵＳ）	ＵＳ：アメリカ合衆国	2023.8.4	出願継続中	ＳＵＰＥＲＣＯＮＤＵＣＴＩＮＧ ＣＩＲＣＵＩＴ
６４	日本電気株式会社	２０２３－１２３５５１	ＪＰ：日本国	2023.7.28	出願継続中	超伝導量子回路装置と超伝導量子回路の制御方法
６５	株式会社　東芝	２０２３－１３８０７１	ＪＰ：日本国	2023.8.28	出願継続中	計算装置
６６	日本電気株式会社	２０２３－１０９２０１	ＪＰ：日本国	2023.7.3	出願継続中	量子デバイスおよびその製造方法
６７	国立研究開発法人産業技術総合研究所，日本電気株式会社	２０２４－０２９０７２	ＪＰ：日本国	2024.2.28	出願継続中	量子計算方法、量子デバイス、量子計算機、及び量子計算システム
６８	国立研究開発法人産業技術総合研究所，日本電気株式会社	１８／４３９３４２（ＵＳ）	ＵＳ：アメリカ合衆国	2024.2.12	出願継続中	共振器及び周波数可変型共振器
６９	日本電気株式会社	１８／３８８５６３（ＵＳ）	ＵＳ：アメリカ合衆国	2023.11.10	出願継続中	ＱＵＡＮＴＵＭ　ＤＥＶＩＣＥ
７０	日本電気株式会社	２０２３－１８９９２７	ＪＰ：日本国	2023.11.7	出願継続中	表示制御装置、演算システム、表示制御方法、表示方法およびプログラム
７１	日本電気株式会社	２０２３－１６９７１６	ＪＰ：日本国	2023.9.29	出願継続中	超伝導デバイスおよびその製造方法
７２	日本電気株式会社	２０２３－１８５２２１	ＪＰ：日本国	2023.10.30	出願継続中	学習装置および学習方法
７３	日本電気株式会社	２０２３－１８７７５３	ＪＰ：日本国	2023.11.1	出願継続中	暗号化装置、最適化システム、暗号化方法および暗号化プログラム
７４	国立研究開発法人産業技術総合研究所，日本電気株式会社	２０２４－０２９４１９	ＪＰ：日本国	2024.2.29	出願継続中	情報処理装置、制御装置、情報処理システムおよび制御方法
７５	日本電気株式会社	２０２３－２０４５５７	ＪＰ：日本国	2023.12.4	出願継続中	共振器、発信器、および共振器の製造方法
７６	日本電気株式会社	２０２３－２１５２２４	ＪＰ：日本国	2023.12.20	出願継続中	超伝導量子回路、量子ビット、量子コンピュータ、及び製造方法
７７	日本電気株式会社	２０２３－２１２４３５	ＪＰ：日本国	2023.12.15	出願継続中	超伝導デバイスおよびその製造方法
７８	日本電気株式会社	２０２３－２０８５７３	ＪＰ：日本国	2023.12.11	出願継続中	回路装置及び制御方法
７９	日本電気株式会社	１８／２３９４４７（ＵＳ）	ＵＳ：アメリカ合衆国	2023.8.29	出願継続中	ＱＵＡＮＴＵＭ　ＤＥＶＩＣＥ
８０	日本電気株式会社	２０２３－１５１８８８	ＪＰ：日本国	2023.9.20	出願継続中	量子デバイスおよびその製造方法
８１	日本電気株式会社	ＪＰ２０２３／０４５４５７	ＰＣＴ（全指定）	2023.12.19	出願継続中	演算装置、設定装置、設定方法および記録媒体
８２	日本電気株式会社	ＪＰ２０２３／０４５５３２	ＰＣＴ（全指定）	2023.12.19	出願継続中	超伝導量子回路装置と制御方法

８３	日本電気株式会社	２０２４－０２８７８５	ＪＰ：日本国	2024.2.28	出願継続中	超伝導量子回路

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名	ページ番号	発表年月
1	Kasho Yamamoto, Takashi Takemoto, Chihiro Yoshimura, Mayumi Mashimo, Masanao Yamaoka	Hitachi, Ltd	A 1.3−Mbit Annealing System Composed of 9×9×16 kbit Fully−Synchronized Annealing Processor Chips for Large−ScaleCombinatorial OptimizationProblems	IEEE Asian Solid−State CircuitsConference 2021 (ASSCC2021)	null	2021.11
2	Tatsuhiko Shirai and Shu Tanaka	Waseda University	Exact bounds for dynamical criticalexponents of transverse−field Ising chains with a correlated disorder	Annals of Physics	null	2021.12
3	Kensuke Tamura, Tatsuhiko Shirai, Hosho Katsura, Shu Tanaka, Nozomu Togawa	Waseda University	Performance comparison of typical binary−integer encodings in an Isingmachine	IEEE Access	81032-81039	2021.5
4	Daisuke Oku, Masashi Tawada, Shu Tanaka, Nozomu Togawa	Waseda University	How to reduce the bit−width of an Ising model by adding auxiliary spins	IEEE Transaction on Computers	223-234	2022.1
5	Yuta Atobe, Masashi Tawada, and Nozomu Togawa	Waseda University	Hybrid annealing method based on subQUBO model extraction with multiple solution instances	IEEE Transaction on Computers	null	2022.1
6	A. Tomonaga, H. Mukai, F. Yoshihara, JST sai	RIKEN	Quasiparticle tunneling and 1=f charge noise in ultrastrongly coupled superconducting qubitand resonator	Physical ReviewB, 104, 224509 (2021)	1-8	2021.12
7	T. Miyanaga, A. Tomonaga, H. Ito, H. Mu	RIKEN	Ultrastrong Tunable Coupler Between Sperconducting	Phys. Rev. Applied, 16, 0640	1-12	2021.12

	kai, J. S. Tsai		LC Resonators	41（2021）		
8	D. Zhang, J. S. Tsai	RIKEN	Magnetic−Free Traveling−WaveNonrec iprocal Superc onducting Microwave Components	Phys. Rev. Applied, 15, 064013（2021）	1-18	2021.6
9	T. Yoshioka, J. S. Tsai	RIKEN	onal initialization for superconducting qubit and resonator using quantum−circuit refrigerator	Appl. Phys. Lett. 119, 124003（2021）	1-5	2021.9
10	山道 智博, 各務 惣太, 山口 愛子, 佐藤 哲朗, 山本 剛, 後藤 隼人, Z. R. Lin, 中村 泰信, 越野 和樹	日本電気株式会社, 東芝, 中国科学院（SIMIT）, 理研, 東京医科歯科大学	Spectroscopic observation of the crossover from a classical Duffing oscillator to a Kerr parametricoscillator	PHYSICAL REVIEW A	023519	2022.2
11	Y. Seki, Y. Matsuzaki, S. Kawabata	産総研	Excited State Search Using Quantum Annealing	J. Phys. Soc. Jpn.	54002	2021.4
12	川畑史郎	産総研	量子コンピュータ技術の最前線と未来	JRCM NEWS	3	2021.4
13	S. Masuda, T. Ishikawa, Y. Matsuzaki, S. Kawabata	産総研	Controls of a superconducting quantum para metron under astrong pump field	Scientific Reports	1-9	2021.6
14	S. Masuda, A. Yamaguchi, T. Yamaji, T. Yamamoto, T. Ishikawa, Y. Matsuzaki, . Kawabata	産総研、NEC	Theoretical study of reflection spectroscopy for superconducting quantum parametrons	New Journal of Physics	1-17	2021.9
15	川畑史郎	産総研	材料・プロセス技術者のための量子コンピュータ入門：基礎から最先端まで	応用物理学会薄膜・表面物理分科会会誌「NEWS LETTER」	7	2021.9
16	川畑史郎	産総研	量子力学原理に基づくコンピュータ：量子コンピュータと量子アニーリングマシン	応用物理学会薄膜・表面物理分科会会誌「NEWS LETTER」	1	2021.9
17	S. Watabe, M. Z. Serikow, S. Kawabata, A. Zagoskin	東京理科大、産総研、Loughborough	Efficient criteria of quantumness for a large system of qub	Frontiers inPhysics	773128	2022.1

		大、Ｎｏｔｒｅ Ｄａｍ大	ｉｔｓ			
１８	Ｙ．Ｓｈｉｎｇｕ，Ｙ．Ｓｅｋｉ，Ｓ．Ｗａｔａｂｅ，Ｓ．Ｅｎｄｏ，Ｙ，Ｍａｔｓｕｚａｋｉ，Ｓ．Ｋａｗａｂａｔａ，Ｔ．Ｎｉｋｕｎｉ，Ｈ．Ｈａｋｏｓｈｉｍａ	産総研、東京理科大、ＮＴＴセキュアプラットフォーム研究所	Ｂｏｌｔｚｍａｎｎｍａｃｈｉｎｅｌｅａｒｎｉｎｇｗｉｔｈａｖａｒｉａｔｉｏｎａｌｑｕａｎｔｕｍａｌｇｏｒｉｔｈｍ	Ｐｈｙｓｉｃａｌ Ｒｅｖｉｅｗ Ａ	1-12	2022.2
１９	Ｙ．Ｓｈｉｎｇｕ，Ｙ．Ｔａｋｅｕｃｈｉ，Ｓ．Ｅｎｄｏ，Ｓ．Ｋａｗａｂａｔａ，Ｔ．Ｎｉｋｕｎｉ，Ｈ．Ｈａｋｏｓｈｉｍａ，Ｙ，Ｍａｔｓｕｚａｋｉ	産総研、ＮＴＴコミュニケーション科学基礎研究所、ＮＴＴセキュアプラットフォーム研究所、東京理科大	Ｖａｒｉａｔｉｏｎａｌ ｓｅｃｕｒｅ ｃｌｏｕｄ ｑｕａｎｔｕｍ ｃｏｍｐｕｔｉｎｇ	Ｐｈｙｓｉｃａｌ Ｒｅｖｉｅｗ Ａ	1-10	2022.2
２０	Ｋｉｙｏｓｈｉ Ｔａｋｅｕｃｈｉ，Ｍａｓａｈａｒｕ Ｋｏｂａｙａｓｈｉ，Ｔｏｓｈｉｒｏ Ｈｉｒａｍｏｔｏ	東京大学	Ａ ｔｈｒｅｓｈｏｌｄ ｖｏｌｔａｇｅ ｄｅｆｉｎｉｔｉｏｎ ｂａｓｅｄ ｏｎ ａ ｓｔａｎｄａｒｄｉｚｅｄ ｃｈａｒｇｅ ｖｓ．ｖｏｌｔａｇｅ ｒｅｌａｔｉｏｎｓｈｉｐ	ＩＥＥＥ Ｔｒａｎｓａｃｔｉｏｎ ｓｏｎ Ｅｌｅｃｔｒｏｎ Ｄｅｖｉｃｅｓ	942-948	2022.3
２１	Ｔａｋｕｙａ Ｓａｒａｙａ，Ｈｉｒｏｓｈｉ Ｏｋａ，Ｔａｋａｈｉｒｏ Ｍｏｒｉ，Ｍａｓａｈａｒｕ Ｋｏｂａｙａｓｈｉ，ＴｏｓｈｉｒｏＨｉｒａｍｏｔｏ	東京大学，産業技術総合研究所	Ｅｆｆｅｃｔ ｏｆ ｐｅｒｃｏｌａｔｉｏｎｐａｔｈ ｏｎ ｔｅｍｐｅｒａｔｕｒｅ ｄｅｐｅｎｄｅｎｃｅ ｏｆ ｔｈｒｅｓｈｏｌｄ ｖｏｌｔａｇｅ ｖａｒｉａｂｉｌｉｔｙ ｉｎ ｂｕｌｋ ＭＯＳＦＥＴｓ	Ｊａｐａｎｅｓｅ Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ	SC1006	2022.3
２２	Ｍｉｎ－Ｓｏｏ Ｋａｎｇ，Ｋａｓｉｄｉｔ Ｔｏｐｒａｓｅｒｔｐｏｎｇ，Ｍｉｔｓｕｒｕ Ｔａｋｅｎａｋａ，Ｈｉｒｏｓｈｉ Ｏｋａ，Ｔａｋａｈｉｒｏ Ｍｏｒｉ，ＳｈｉｎｉｃｈｉＴａｋａｇｉ	東京大学，産業技術総合研究所	Ｖｅｒｉｆｉｃａｔｉｏｎ ｏｆ ｉｎｆｌｕｅｎｃｅ ｏｆ ｔａｉｌ ｓｔａｔｅｓ ａｎｄ ｉｎｔｅｒｆａｃｅ ｓｔａｔｅｓ ｏｎ ｓｕｂ－ｔｈｒｅｓｈｏｌｄ ｓｗｉｎｇ ｏｆ Ｓｉｎ－ｃｈａｎｎｅｌ ＭＯＳＦＥＴｓ ｏｖｅｒ ａ ｔｅｍｐｅｒａｔｕｒｅ ｒａｎｇｅ ｏｆ ４–３００ Ｋ	Ｊａｐａｎｅｓｅ Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ	SC1032	2022.3
２３	木村裕介、西森秀稔	東京工業大学	Ｒｉｇｏｒｏｕｓ ｃｏｎｖｅｒｇｅｎｃｅ ｃｏｎｄｉｔｉｏｎ ｆｏｒ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ	Ｊｏｕｒｎａｌ ｏｆ Ｐｈｙｓｉｃｓ Ａ	null	2022.10
２４	木村裕介、西森秀稔	東京工業大学	Ｃｏｎｖｅｒｇｅｎｃｅ ｃｏｎｄｉｔｉｏｎｏｆ ｓｉｍｕｌａｔｅｄ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ ｆｏｒ ｃｌｏｓｅｄ ａｎｄ ｏｐｅｎ ｓｙｓｔｅｍｓ	Ｐｈｙｓｉｃａｌ Ｒｅｖｉｅｗ Ａ	null	2022.12
２５	西森秀稔，Ｔ．Ｋａｄｏｗａｋｉ	東京工業大学	Ｇｒｅｅｄｙ ｐａｒａｍｅｔｅｒ ｏｐｔｉｍｉｚａｔｉｏｎ ｆｏｒ ｄｉａｂａｔ	Ｐｈｉｌ．Ｔｒａｎｓ．	null	2022.12

			icquantum annealing	Roy. Soc. A		
26	木村裕介、西森秀稔	東京工業大学	Convergence condition of simulated quantum annealing with a non-stoquastic catalyst	Journal of Physics A	null	2023.3
27	西森秀稔, Y. Bando, Ka-WaYip, Huo Chen, D. A. Lidar	東京工業大学	Breakdown of the weak coupling limit in experimental quantum annealing	Physical ReviewApplied	null	2022.5
28	PatrickKoh, 西森秀稔	東京工業大学	Quantumand classical annealing in a continuous space with multiple local minima	Physical Review A	null	2022.6
29	西森秀稔, A. D. King, S. Suzuki, J. Raymond, A. Zucca, T. Lanting, F. Altomare, A. J. Berkley, S. Ejtemaee, E. Hoskinson, S. Huang, E. Ladizinsky, A. MacDonald, G. Marsden, T. Oh, G. Poulin-Lamarre, M. Reis, C. Rich, Y. Sato, J. D. Whittaker, J. Yao, R. Harris, D. Lidar, M. H. Amin	東京工業大学	Coherent quantum annealing in a programmable 2,000 qubit Ising chain	Nature Physics	null	2022.9
30	Yuta Yachi, Masashi Tawada, and Nozomu Togawa	Waseda University	An Efficient Combined Bit-Width Reducing Method for Ising Models	IEICE Transactions on Information and Systems	null	2023.1
31	A. Kunihiro, Y. Yamanashi and N. Yoshikawa	横浜国立大学	Pulse-Density-Modulated Microwave Generator Using Single-Flux-Quantum Circuits for Controlling Qubits	IEEE Transactions on Applied Superconductivity	1701105	2023.3
32	Hiroomi Chono, Taro Kanao, Hayato Goto	株式会社東芝	Two-qubit gate using conditional driving for high	Physical Review	43054	2022.10

			ly detuned Kerr nonlinear parametric oscillators	Research		
33	Taro Kanao, Shumpei Masuda, Shiro Kawabata, and Hayato Goto	株式会社東芝、産総研	Quantum Gate for a Kerr Nonlinear Parametric Oscillator Using Effective Excited States	Physical Review Applied	14019	2022.7
34	Sangil Kwon, Shohei Watabe, Jaw-Shen Tsai	RIKEN	Autonomous quantum error correction in a four-photon Kerr parametric oscillator	npj Quantum Information, 8:40 (2022)	1-8	2022.4
35	Zhi-Peng Yang, Huan-Yu Ku, Alakesh Baishya, Yu-Ran Zhang, Anton Frisk Kockum, Yuch-NanChen, Fu-Li Li, Jaw-Shen Tsai, Franco Nori	RIKEN	Deterministic one-waylogic gates on a cloud quantum computer	Physical Review A, 105, 042610 (2022)	1-12	2022.4
36	Gopika LakshmiBhai, Hiroto Mukai, Tsuyoshi Yamamoto, and Jaw-Shen Tsai	RIKEN	Noise properties of a Josephson parametric oscillator	Physical Review Applied, 19, 014065 (2023)	1-7	2023.1
37	Gopika LakshmiBhai, Hiroto Mukai, and Jaw-Shen Tsai	RIKEN	Motigation of noise in Josephson parametric oscillator by injection locking	Appl. Phys. Lett. 122, 054002 (2023)	1-5	2023.2
38	須佐 友紀, 井元 隆史, 松崎　雄一郎	日本電気株式会社	Nonstoquastic catalyst for bifurcation-based quantum annealing of ferromagnetic p-spin model	arXiv	null	2022.8
39	T. Imoto, Y. Seki, Y. Matsuzaki, S. Kawabata	産総研、慶應大	Guaranteed-accuracy quantum annealing	Phys. Rev. A	42615	2022.10
40	岡　博史	産業技術総合研究所	量子コンピュータに向けたクライオCMOSデバイス技術	応用物理	null	2022.10
41	T. Imoto, Y. Seki, Y. Ma	産総研、慶應大	Quantum annealing with twisted fields	New J. Phys.	113009	2022.11

	tsuzaki, S. Kawabata,					
42	岡博史、稲葉工、飯塚将太、浅井栄大、加藤公彦、森貴洋	産業技術総合研究所	クライオCMOSにおける電子移動度制限要因の理解	信学技報	pp. 49-49	2022.11
43	岡　博史	産業技術総合研究所	Cryo－CMOS Device Technology for Quantum Computers	JSAP Review	220305-1～5	2022.12
44	Kaoru Yamamoto, Sugur u Endo, HideakiHakoshima, Yuichiro Matsuz aki, Yuuki Tokunaga	NTT、産総研、阪大	Error－Mitigated Quant um Metrology via Virtual Purification	Phys. Rev. Lett.	null	2022.12
45	M. －S. Kang, K. Toprasertpong, M. Takenaka, and S. Takagi	東京大学	Verification of Influence of Tail states and Interface states on Sub－threshold Swing of Si－channel MOSFETs over a Temperature Range of 4 K to 300K	Japanese Journal of Applied Physics	SC1032	2022.5
46	川畑史郎	産総研	未来のコンピューティング技術：量子コンピュータ	JIR常陽産研ニューズ	26	2022.5
47	更田　裕司	産業技術総合研究所	量子コンピュータ向け極低温動作CMOS周辺回路の現状と課題	電気学会論文誌A	169-174	2022.5
48	Takashi Imoto, Yuya Seki, Yuichiro Matsuzaki	産総研、慶應大	Obtaining Ground States of the XXZModel Using the Quantum Anne aling with Inductively Coupled Superconducting Flux Qubits	Journal of the Physical Society of Japan	64004	2022.6
49	金尾太郎、増田俊平、川畑史郎、後藤 隼人	東芝、産総研	Quantum Gate for a Kerr Nonlinear Parametric Oscillator Using Effective Excited State	Physical Review Applied	1-9	2022.6
50	Nobuyuki Yoshioka, Hideaki Hakoshima, Yuichiro Matsuzaki, Yuuki Tokunaga, Yasunari Suzuki, Sugur u Endo	東大、阪大、産総研、NTT	Generalized Quantum Subspace Expansion	Phys. Rev. Lett.	20502	2022.7

51	稲葉　工、浅井栄大、服部淳一、福田浩一、岡 博史、森貴洋	産業技術総合研究所	Importance of source and drain extension design in cryogenic MOSFET operation: causes of unexpected threshold voltage increases	Applied Physics Express	84004	2022.7
52	岡博史、稲葉工、飯塚将太、浅井栄大、加藤公彦、森　貴洋	産業技術総合研究所	極低温動作MOSFETのクーロン散乱移動度に対するバンド端準位の影響	信学技報	pp. 54-59	2022.8
53	増田 俊平、金尾太郎、後藤 隼人、松崎 雄一郎、石川 豊史、川畑　史郎	産総研、東芝	Fast tunable coupling scheme of Kerr-nonlinear parametric oscillators based on short cuts to adiabaticity	Physical Review Applied	1-12	2022.9
54	Yuichiro Matsuzaki, Takashi Imoto, Yuki Susa	産総研、NEC	Generation of multipartite entanglement between spin-1 particles with bifurcation-based quantum annealing	SCIENTIFIC REPORTS	14964	2022.9
55	K. Takeuchi, T. Mizutani, T. Sarayama, H. Oka, T. Mori, M. Kobayashi, T. Hiramoto	東京大学・産業技術総合研究所	MOSFET series resistance extraction at cryogenic temperatures	Japanese Journal of Applied Physics	SC1023	2023.1
56	鈴木雄太、渡部昌平、川畑史郎、増田俊平	東京理科大、産総研	Measurement-based preparation of stable coherent states of a Kerr parametric oscillation	Scientific Reports	1-10	2023.1
57	藤野 真久、荒賀 佑樹、仲川博、高橋 悠 太、難波　兼二、山口　彩未、宮田 明、西 教徳、菊地 克弥	産業技術総合研究所	Nb-Nb direct bonding at roomtemperature for superconducting interconnects	JOURNAL OF APPLIED PHYSICS	015301-1-10	2023.1
58	R. Yoshizu, K. Sumita, K. Toprasertpong, M. Takenaka, S. Takagi	東京大学	Accurate Evaluation of Interface Trap Density at InAs MOS Interfaces by Using C-V Curves at Low Temperatures	Japanese Journal of Applied Physics	SC1055	2023.2

59	M. －S. Kang, K. Sumita, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi	東京大学・産業技術総合研究所	Influence of substrate impurity concentration on sub－threshold swing of Si n－channel MOSFETs at cryogenic temperatures down to 4 K	Japanese Journal of Applied Physics	SC1062	2023.2
60	E. Perez, T. T. Orvananos－Guerrero, T. Tanamot	帝京大学	SPICE compact model of spin qubits using FinFET focusing on single－electron tunneling	Japanese Journal of Applied Physics	SC1065	2023.2
61	N. Takeuchi, T. Yamae, W. Luo, F. Hirayama, T. Yamamoto, N. Yoshikawa	産業技術総合研究所、横浜国立大学、NEC	Scalable flux controllers using adiabatic superconductor logic for quantum processors	Physical Review Research	013145	2023.2
62	T. Tanamoto, T. Ishikawa, K. Inomata, S. Masuda, T. Onuma, S. Kawabata	帝京大、産総研	Classical SPICE simulation of superconducting quantum circuits	Appled Physics Express	34501	2023.3
63	T.Tanamoto, T Ishikawa, K.Inomata, S.Masuda, T. Omuma, S. Kawabata	帝京大学	Classical SPICE simulation of superconducting quantum circuits	Applied Physics Express	34501	2023.3
64	Shunta Arai, Hiroki Oshiyama, and Hidetoshi Nishimori	東京工業大学	Effectiveness of quantum annealing for continuous－variable optimization	PHYSICAL REVIEW A	null	2023.10
65	Yannick Couzinie, Yusuke Nishiya, Hirofumi Nishi, Taichi Kosugi, Hidetoshi Nishimori, Yu－ichiro Matsushita	東京工業大学	Annealing for prediction of grand canonical crystal structures: Implementation of n－body atomic interactions	PHYSICAL REVIEW A	null	2024.3
66	山岡　雅直、山本佳生、真下　まゆ美	株式会社日立製作所	アニーリングマシンによる新しい価値創造とその普及を促進するAnnealing Cloud Web	MCPC解説書「量子コンピュータ最前線」	null	2023.4
67	Hongxiang Shen, Naoki Takeuchi, Yuki Yamanas	横浜国立大学	Amplitude－controllable microwave pulse generator using s	Supercond. Sci. Technol.	95010	2023.7

	hi, Nobuyuki Yoshikawa		ingle−flux−quantum pulse pairs for qubit control			
68	Taro Kanaoa nd Hayato Goto	株式会社東芝	Fast elementary gates for universal quantum computation with Kerr parametric oscillator qubits	Phys. Rev. Research	13192	2024.2
69	J. Zotova, R. Wang, A. Semenov, Y. Zhou, I. Khrapach, A. Tomonaga, O. Astafiev, J. S. Tsai	RIKEN	Compact Superconducting Microwave Resonators Based on Al／AlOx／Al Capacitors	Physical Review Applied 19, 044067	1-11	2023.4
70	D. Iyama, T. Kamiya, S. Fujii, H. Mukai, Y. Zhou, T. Nagase, A. Tomonaga, R. Wang, J. J. Xue, S. Watabe, S. Kwon, J. S. Tsai	RIKEN	Observation and manipulation of quantum interference in a superconducting Kerr parametric oscillator	Nature Communications	(2024) 15:86	1-10	2024.1
71	J. Zotova, S. Sanduleanu, G. Fedorov, R. Wang, J. S. Tsai, O. Astafiev	RIKEN	Control and readout of a transmon using a compact superconducting resonator	Applied Physics Letters, 124, 102601 (2024)	1-5	2024.2
72	J. Zotova, A. Semenov, R. Wang, Y. Zhou, O. Astafiev, J. S. Tsai	RIKEN	Tunable compact on−chip superconducting switch	Physical Review Applied 21, 024059 (2024)	1-9	2024.2
73	山口　愛子, 増田　俊平, 松崎　雄一郎, 山道　智博, 佐藤　哲朗, 森岡　あゆ香, 川上　洋平, 五十嵐　悠一, 白根　昌之, 山本　剛	日本電気株式会社	Spectroscopy of flux−driven Kerr parametric oscillators by reflection coefficient measurement	arXiv	null	2023.9
74	矢田部彰宏	日本電気株式会社	Partitioning QUBO with two−way one−hot condition on problem of determining order	Frontiers in Computer Science	null	2023.8
75	山口　愛子、増田　俊平、松崎　雄一郎、山道　智博、佐藤　哲朗、森岡　あゆ香、川上　洋平、五十嵐　悠一、白根　昌之、山本　剛	日本電気株式会社、産業技術総合研究所、中央大学	Spectroscopy of flux−driven Kerr parametric oscillators by reflection coefficient measurement	New Journal of Physics および arXiv	null	2023.9

７６	青木　隆明、金尾　太郎、後藤　隼人、川畑　史郎、増田　俊平	産総研、東芝	Ｃｏｎｔｒｏｌ ｏｆ ｔｈｅ ＺＺ ｃｏｕｐｌｉｎｇ ｂｅｔｗｅｅｎ Ｋｅｒｒ ｃａｔ ｑｕｂｉｔｓ ｖｉａ ｔｒａｎｓｍｏｎ ｃｏｕｐｌｅｒｓ	Ｐｈｙｓｉｃａｌ Ｒｅｖｉｅｗ Ａｐｐｌｉｅｄ	1-15	2024.1
７７	岡　博史、　稲葉　工、下方　駿佑、加藤　公彦、飯塚　将太、浅井　栄大、更田　裕司、森　貴洋	産業技術総合研究所	Ｏｒｉｇｉｎ ｏｆ Ｌｏｗ－ｆｒｅｑｕｅｎｃｙ Ｎｏｉｓｅ ｉｎ Ｓｉ ｎ－ＭＯＳＦＥＴ ａｔ Ｃｒｙｏｇｅｎｉｃ Ｔｅｍｐｅｒａｔｕｒｅｓ： Ｔｈｅ Ｅｆｆｅｃｔ ｏｆ Ｉｎｔｅｒｆａｃｅ Ｑｕａｌｉｔｙ	ＩＥＥＥ Ａｃｃｅｓｓ	pp. 121567-121573	2023.10
７８	Ｓ．　Ｗａｔａｂｅ，　Ｍ．　Ｚ．　Ｓｅｒｉｋｏｗ，　Ｓ．　Ｋａｗａｂａｔａ，　Ａ．　Ｚａｇｏｓｋｉｎ	芝浦工大、ノートルダム大、ラブボロー大、産総研	Ｃｏｎｔｉｎｕｏｕｓ ｐｅｒｃｏｌａｔｉｏｎ ｉｎ ａ Ｈｉｌｂｅｒｔ ｓｐａｃｅ ｆｏｒ ａ ｌａｒｇｅ ｓｙｓｔｅｍ ｏｆ ｑｕｂｉｔｓ	Ｅｕｒ．　Ｐｈｙｓ．　Ｊ．　Ｓｐｅｃ．　Ｔｏｐ．	3545	2023.11
７９	稲葉　工、岡　博史、浅井　栄大、更田　裕司、飯塚　将太、加藤　公彦、下方　駿佑、福田　浩一、森　貴洋	産業技術総合研究所	極低温におけるＭＯＳＦＥＴのノイズ源	電子情報通信学会信学技報	p. 35	2023.11
８０	岡　博史、浅井　栄大、稲葉　工、下方　駿佑、由井　斉、更田　裕司、飯塚　将太、加藤　公彦、中山　隆史、森　貴洋	産業技術総合研究所	Ｍｉｌｌｉ－Ｋｅｌｖｉｎ Ａｎａｌｙｓｉｓ Ｒｅｖｅａｌｉｎｇ ｔｈｅ Ｒｏｌｅ ｏｆ Ｂａｎｄ－ｅｄｇｅ Ｓｔａｔｅｓ ｉｎ Ｃｒｙｏｇｅｎｉｃ ＭＯＳＦＥＴｓ	Ｔｅｃｈｎｉｃａｌ Ｄｉｇｅｓｔ ｏｆ ２０２３ ＩＥＥＥ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｅｌｅｃｔｒｏｎ Ｄｅｖｉｃｅｓ Ｍｅｅｔｉｎｇ （ＩＥＤＭ）	T22-6, pp. 1-2	2023.12
８１	Ｋ．　Ｕｒａ，　Ｔ．　Ｉｍｏｔｏ，　Ｔ．　Ｎｉｋｕｎｉ，　Ｓ．　Ｋａｗａｂａｔａ，　Ｙ．　Ｍａｔｓｕｚａｋｉ	産総研、東京理科大	Ａｎａｌｙｓｉｓ ｏｆ ｔｈｅ ｓｈｏｒｔｅｓｔ ｖｅｃｔｏｒ ｐｒｏｂｌｅｍｓ ｗｉｔｈ ｔｈｅ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ ｔｏ ｓｅａｒｃｈ ｔｈｅ ｅｘｃｉｔｅｄ ｓｔａｔｅｓ	Ｊｐｎ．　Ｊ．　Ａｐｐｌ．　Ｐｈｙｓ．	SC1090	2023.4
８２	Ｋ．　Ｓｕｍｉｔａ，　Ｍ．－Ｓ．　Ｋａｎｇ，　Ｋ．　Ｔｏｐｒａｓｅｒｔｐｏｎｇ，　Ｍ．　Ｔａｋｅｎａｋａ，　ａｎｄ　Ｓ．　Ｔａｋａｇｉ	東京大学	Ｆｏｒｍｕｌａｔｉｏｎ ｏｆ Ｇｒｏｕｎｄ Ｓｔａｔｅｓ ｏｆ ２ＤＥＧ ａｔ Ｒｏｕｇｈ Ｓｕｒｆａｃｅｓ ａｎｄ Ａｐｐｌｉｃａｔｉｏｎ ｔｏ Ｎｏｎｌｉｎｅａｒ Ｍｏｄｅｌ ｏｆ Ｓｕｒｆａｃｅ Ｒｏｕｇｈｎｅｓｓ Ｓｃａｔｔｅｒｉｎｇ ｉｎ ｎＭＯＳＦＥＴｓ	ＩＥＥＥ Ｊ．　Ｅｌｅｃｔｒｏｎ Ｄｅｖｉｃｅ Ｓｏｃｉｅｔｙ	pp. 216-229	2023.4
８３	Ｋ．Ｍａｔｓｕｍｏｔｏ，　Ａ．　Ｙａｍａｇｕｃｈｉ，　Ｔ．　Ｙａｍａｍｏｔｏ，　Ｓ．　Ｋａｗａｂａｔａ，Ｙ．　Ｍａｔｓｕｚａｋｉ	産総研、ＮＥＣ、東京理科大	Ｓｐｅｃｔｒｏｓｃｏｐｉｃ ｅｓｔｉｍａｔｉｏｎ ｏｆ ｔｈｅ ｐｈｏｔｏｎ ｎｕｍｂｅｒ ｆｏｒ ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ Ｋｅｒｒ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ	Ｊｐｎ．　Ｊ．　Ａｐｐｌ．　Ｐｈｙｓ．	SC1097	2023.4
８４	Ｙ．　Ｓｕｓａ，　Ｔ．　Ｉｍｏｔｏ，　Ｙ．　Ｍａｔｓｕｚａｋｉ	ＮＥＣ、産総研	Ｎｏｎｓｔｏｑｕａｓｔｉｃ ｃａｔａｌｙｓｔ ｆｏｒ ｂｉｆｕｒｃａｔｉｏｎ ｂａｓ	Ｐｈｙｓ．　Ｒｅｖ．　Ａ	52401	2023.5

			ed quantum annealing of the ferromagnetic p－spin model			
８５	Takumi Inaba, Hiroshi Oka, Hidehiro Asai, Hiroshi Fuketa, Shota Iizuka, Kimihiko Kato, Shunsuke Shitakata, Kouichi Fukuda, Takahiro Mori	産業技術総合研究所	Determining the low－frequency noise source in cryogenic operation of short－channel bulk MOSFETs	Technical Digest of 2023 IEEE Symposium on VLSI Technology & Circuits	pp. 1-2	2023.6
８６	K. Takeuchi, M. Kobayashi, and T. Hiramoto	東京大学	Effects of Quantum Confinement on Charge－Based Threshold Voltage Definition	Technical Digest of Silicon Nanoelectronics Workshop 2023	pp. 87-77	2023.6
８７	岡　博史、稲葉　工、飯塚　将太、浅井　栄大、加藤　公彦、森　貴洋	産業技術総合研究所	極低温動作ＭＯＳＦＥＴのクーロン散乱移動度に対するバンド端準位の影響	電子情報通信学会信学技報	pp. 5-6	2023.6
８８	森貴洋、岡博史、稲葉工、浅井栄大	産業技術総合研究所	量子ビット制御回路に向けたＭＯＳＦＥＴの極低温動作	電子情報通信学会論文誌	pp. 373-381	2023.6
８９	山道　智博、増田　俊平、山口　愛子、佐藤　哲朗、森岡　あゆ香、五十嵐　悠一、白根　昌之、山本　剛	ＮＥＣ、産総研	Correlated oscillations in Kerr parametric oscillators with tunable effective coupling	Physical Review Applied	1-11	2023.7
９０	S. Takagi, M. －S. Kang, K. Toprasertpong, M. Takenaka, H. Oka, and T. Mori	東京大学・産業技術総合研究所	Quantitative understanding of sub－threshold swing of Si MOSFETs at cryogenic temperatures down to 4 K	２３ｒｄ ＩＥＥＥ International Conference on Nanotechnology（ＩＥＥＥ－ＮＡＮＯ２０２３）	null	2023.7
９１	李龍聖,　森貴之,　岡博史,　森貴洋,　井田次郎	金沢工業大学・産業技術総合研究所	クライオ２００ｎｍＳＯＩＭＯＳＦＥＴの基板バイアス効果および履歴現象の解析	電子情報通信学会信学技報	pp. 32-35	2023.8
９２	稲葉工、岡博史、浅井栄大、更田裕司、飯塚将太、加藤公彦、下方駿佑、福田浩一、森貴洋	産業技術総合研究所	短チャネルバルクＭＯＳＦＥＴｓの極低温動作時に生じる低周波ノイズの起源	電子情報通信学会信学技報	pp. 22-27	2023.8
９３	川畑史郎	産総研	量子未来社会のための量子コンピュータ：基礎から自動車技術への活用まで	車載テクノロジー	null	2023.8
９４	鈴木雄太、川畑　史郎、山本　剛、増田　俊平	産総研、ＮＥＣ	Quantum state tomography for Kerr parametric oscillators	Physical Review Applied	1-13	2023.9

９５	下方駿佑、岡博史、稲葉工、飯塚将太、加藤公彦、森貴洋	産業技術総合研究所	高圧水素アニールによるＳｉ（１１０）面ｎ－ＭＯＳＦＥＴの極低温特性改善	電子情報通信学会信学技報	pp. 28-31	2023. 9
９６	Ｔａｋｕｍｉ Ｉｎａｂａ，Ｈｉｒｏｓｈｉ Ｏｋａ，Ｈｉｄｅｈｉｒｏ Ａｓａｉ，Ｈｉｒｏｓｈｉ Ｆｕｋｅｔａ，Ｓｈｏｔａ Ｉｉｚｕｋａ，Ｋｉｍｉｈｉｋｏ Ｋａｔｏ，Ｓｈｕｎｓｕｋｅ Ｓｈｉｔａｋａｔａ，Ｋｏｕｉｃｈｉ Ｆｕｋｕｄａ，Ｔａｋａｈｉｒｏ Ｍｏｒｉ	産業技術総合研究所	Ｔｅｍｐｅｒａｔｕｒｅ Ｄｅｐｅｎｄｅｎｔ Ｖａｒｉａｔｉｏｎｓ ｏｆ Ｌｏｗ－Ｆｒｅｑｕｅｎｃｙ Ｎｏｉｓｅ Ｓｏｕｒｃｅｓ ｉｎ Ｃｒｙｏｇｅｎｉｃ Ｓｈｏｒｔ－Ｃｈａｎｎｅｌ Ｂｕｌｋ ＭＯＳＦＥＴｓ	ＩＥＥＥ Ａｃｃｅｓｓ	pp. 12458-12464	2024. 1
９７	岡博史、浅井栄大、稲葉工、下方駿佑、由井斉、更田裕司、飯塚将太、加藤公彦、中山隆史、森貴洋	産業技術総合研究所	ｍＫ評価が明らかにするＭＯＳＦＥＴ極低温動作におけるバンド端準位の役割	電子情報通信学会信学技報	pp. 1-4	2024. 1
９８	Ｙ．Ｕｒａｄｅ，Ｋ．Ｙａｋｕｓｈｉｊｉ，Ｍ．Ｔｓｕｊｉｍｏｔｏ，Ｔ．Ｙａｍａｄａ，Ｋ．Ｍａｋｉｓｅ，Ｗ．Ｍｉｚｕｂａｙａｓｈｉ，Ｋ．Ｉｎｏｍａｔａ	産総研	Ｍｉｃｒｏｗａｖｅ ｃｈａｒａｃｔｅｒｉｚａｔｉｏｎ ｏｆ ｔａｎｔａｌｕｍ ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ ｒｅｓｏｎａｔｏｒｓ ｏｎ ｓｉｌｉｃｏｎ ｓｕｂｓｔｒａｔｅ ｗｉｔｈ ｎｉｏｂｉｕｍ ｂｕｆｆｅｒ ｌａｙｅｒ	ＡＰＬ Ｍａｔｅｒｉａｌｓ	21132	2024. 2
９９	Ｙ．Ｍｏｒｉ，Ｋ．Ｎａｋａｊｉ，Ｙ．Ｍａｔｓｕｚａｋｉ，Ｓ．Ｋａｗａｂａｔａ	産総研、中央大、トロント大	Ｅｘｐｒｅｓｓｉｖｅ Ｑｕａｎｔｕｍ Ｓｕｐｅｒｖｉｓｅｄ Ｍａｃｈｉｎｅ Ｌｅａｒｎｉｎｇ ｕｓｉｎｇ Ｋｅｒｒ－ｎｏｎｌｉｎｅａｒ Ｐａｒａｍｅｔｒｉｃ Ｏｓｃｉｌｌａｔｏｒｓ	Ｑｕａｎｔｕｍ Ｍａｃｈｉｎｅ Ｉｎｔｅｌｌｉｇｅｎｃｅ	14	2024. 3
１００	竹内尚輝，更田裕司，山下太郎，山本剛	産総研、東北大学、ＮＥＣ	超伝導量子ビット用制御回路―現状と課題―	低温工学	71-79	2024. 3

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	学会名・イベント名等	発表年月
1	松田佳希	株式会社フィックスターズ	イジングマシンを利用した量子化学計算の近似精度評価	日本物理学会 ２０２１年秋季大会	2021
2	菊池脩太，戸川望，田中宗	早稲田大学	イジングマシン向けビット幅削減アルゴリズムの動的プロセスの解析	第２４回情報論的学習理論ワークショップ（ＩＢＩＳ２０２１）	2021. 10
3	谷地悠太、戸川望	早稲田大学	シフト法とスピン追加法を効率的に組み合わせた イジングモデルのビット幅削減手法の評価	情報処理学会量子ソフトウェア研究会	2021. 10
4	山岡　雅直	株式会社日立製作所	Ａ ＣＭＯＳ Ａｎｎｅａｌｉｎｇ Ｍａｃｈｉｎｅ ｔｏ Ｓｏｌｖｅ Ｃｏｍｂｉｎａｔｏｒｉａｌ Ｏｐｔｉｍｉｚａｔｉｏｎ Ｐｒｏｂｌｅｍｓ	ＩＥＥＥ Ａｓｉａｎ Ｓｏｌｉｄ－Ｓｔａｔｅ Ｃｉｒｃｕｉｔ Ｃｏｎｆｅｒｅｎｃｅ ２０２１（ＡＳＳＣＣ２０２１）	2021. 11
5	水野　弘之	株式会社日立製作所	日立のめざす事業と量子コンピュータ戦略	（内閣府）第３回 量子戦略見直し検討ＷＧ	2021. 11
6	山岡　雅直	株式会社日立製作所	誰もがアニーリングマシンで価値を創生できる時代に向けて－ Ａｎｎｅａｌｉｎｇ Ｃｌｏｕｄ Ｗｅｂ	量子コンピューティング技術シンポジウム	2021. 12

			の取り組みー		
7	Yuta Yachi, Daisuke Oku, Yosuke Mukasa, Masashi Tawada. Nozomu Togawa	Waseda University	An effective combination scheme of coefficient bit−width reducing methods on annealing	Adiabatic Quantum Computing Conference 2021（AQC−20 21）	2021.6
8	Shuta Kikuchi, Nozomu Togawa, and Shu Tanaka	Waseda University	Dynamical process on the bit−width−reduced Ising model and tuned method in simulated annealing	Adiabatic Quantum Computing Conference 2021（AQC−20 21）	2021.6
9	Tatsuhiko Shirai and Shu Tanaka	Waseda University	Quantum annealing in transverse−field Ising chains with a correlated disorder	Adiabatic Quantum Computing Conference 2021（AQC−20 21）	2021.6
10	白井達彦，田中宗	早稲田大学	相関のあるランダムネスをもつ横磁場イジング鎖の動的臨界 指数の解析	日本物理学会２０２１年秋季大会	2021.9
11	山岡　雅直	株式会社日立製作所	ＣＭＯＳアニーリングによる価値創生に向けた取り組み	量子ＩＣＴフォーラム	2022.1
12	Yuta Yachi, Yosuke Mukasa, Masashi Tawada, Nozomu Togawa	Waseda University	Efficient Coefficient Bit−Width Reduction Method for Ising Machines	ＩＥＥＥ International Conference on Consumer Electronics（ＩＣＣＥ−２０２２）	2022.1
13	水野　弘之	株式会社日立製作所	量子コンピューティング技術	電気学会　ＩＥＥＪプロフェッショナル会	2022.1
14	水野　弘之	株式会社日立製作所	日立の量子コンピュータ戦略と産業応用	（内閣府）第１０回　量子戦略見直し検討ＷＧ	2022.2
15	杉田　悠介	株式会社日立製作所	ＣＭＯＳアニーリングとその適用事例の展開	ＭＣＰＣ第５回量子コンピュータ推進セミナ	2022.3
16	山岡　雅直	株式会社日立製作所	デジタル回路技術を応用したＣＭＯＳアニーリングマシンの概要	電子情報通信学会総合大会 ＳｅＭＩ研究会企画セッション	2022.3
17	Yoshihiro Takagawa, Naoki Takeuchi, Yuki Yamanashi Nobuyuki Yoshikawa	横浜国立大学	Demonstration and sensitivity evaluation of a microwave phase comparator using adiabatic quantum−flux−parame tron logic	The 15th European Conference on Applied Superconductivity	2021.7
18	Hongxiang Shen, Naoki Takeuchi, Yuki Yamanashi, Nobuyuki Yoshikawa	横浜国立大学	Design and demonstration of an 8−bit integrator using adiabaticquantum flux parametron（ＡＱＦＰ）circuits	The 15th European Conference on Applied Superconductivity	2021.7
19	沈　泓翔、竹内尚輝 、山梨裕希、吉川信行	横浜国立大学	Ｊｏｓｅｐｈｓｏｎ／ＣＭＯＳハイブリッド回路を用いた量子ビット制御システムの設計	電子情報通信学会２０２１年ソサイエティ大会	2021.9
20	沈　泓翔、竹内尚輝 、山梨裕希、吉川信行	横浜国立大学	ＳＦＱ回路を用いた可変振幅マイクロ波パルスジェネレータの設計と動作実証	２０２２年応用物理学会春期学術講演会	2022.3
21	後藤隼人	株式会社東芝	Quantum computing, quantumoptic	The 3rd International	2022.2

			s, and quantum chaos using Kerr parametric oscillators	Symposium on Dynamics in Artificial Quantum Systems (DAQS2022)	
22	金尾太郎, 後藤隼人	株式会社東芝	パリティ選択遷移を利用したカーパラメトリック発振器に対する量子ゲート	日本物理学会	2021.3
23	蝶野 弘臣, 金尾太郎, 後藤隼人	株式会社東芝	3光波混合によるカーパラメトリック発振器に対する2量子ビットゲート	日本物理学会	2022.3
24	金尾太郎, 後藤隼人	株式会社東芝	4光波混合を用いたカーパラメトリック発振器に対する2量子ビットゲート	日本物理学会	2021.9
25	後藤隼人, 金尾太郎	株式会社東芝	断熱ショートカットによるカーパラメトリック発振器に対する1量子ビットゲートの高速化	日本物理学会	2021.9
26	J. S. Tsai	RIKEN	Superconducting quantum information: recent progress in our lab	The Virtual QBIC Workshop 2021	2021.10
27	A. Tomonaga, H. Mukai, F. Yoshihara, J. S. Tsai	RIKEN	Quasiparticle tunneling and 1/f charge noisein ultrastrongly	The 34th International Symposium on Superconductivity	2021.12
28	J. S. Tsai	RIKEN	Superconducting quantum computer and its future issues (Plenary)	PACRIM 14 Vancouver, online	2021.12
29	H. Mukai, K. Sakata, S. J. Devitt, A. F. Kockum, Y. Zhou, R. Wang, Y. Nakajima, F. Nori, J. S. Tsai	RIKEN	Superconducting circuit for the quantum computing − for the implementations of the surface code and the 3D cluster state	IEEE WOLTE 2021	2021.4
30	T. Yoshioka, S. Nakamura, N. Kaneko, J. S. Tsai	RIKEN	Fast initialization of superconducting qubit using a SINIS junction	2021 International Conference on Solid State Devices and Materials	2021.9
31	山本 剛	日本電気株式会社	超伝導量子コンピュータの進展	第45回量子情報技術研究会 (QIT45)	2021.11
32	山本 剛	日本電気株式会社	Quantum annealer using superconducting parametric oscillators	International Conference on Electronics Packaging	2021.5
33	石原邦彦, 渡辺秀, 宮田明, 山本剛, 菊池克	日本電気株式会社	ジョセフソンパラメトリック発振器を用いた量子チップの3次元立体配線技術の開発	応用物理学会 (JSAP) 春季学術講演会	2022.3
34	山口愛子, 増田俊平, 山道智博, 松崎雄一郎, 佐藤哲朗, 森岡あゆ香, 川上洋平, 五十嵐悠一, 白根昌之, 山本剛	日本電気株式会社	パラメトリック励振されたジョセフソンパラメトリック発振器の分光評価	日本物理学会 第77回年次大会	2022.3
35	須佐友紀, 井元隆史, 松崎 雄一	日本電気株式会社, 産総研	全結合p体模型における分岐現象に基づく量子アニーリングの相転移の	日本物理学会 第77回年次大会	2022.3

	郎		解析		
３６	宮田明，石原邦彦，西教徳，難波兼二，山口彩未，佐藤哲朗，森岡あゆ香，山本剛，菊池克	日本電気株式会社	超伝導３次元実装技術で構成されたジョセフソンパラメトリック発振器の設計	第６９回応用物理学会春季学術講演会	2022.3
３７	山本　薫、遠藤傑、箱嶋 秀昭、松崎 雄一郎、徳永裕己	ＮＴＴセキュアプラットフォーム研究所、産総研	Ｅｒｒｏｒ－ｍｉｔｉｇａｔｅｄ ｑｕａｎｔｕｍ ｍｅｔｒｏｌｏｇｙ	第４回量子ソフトウェア研究発表会	2021.10
３８	吉岡信行、箱嶋秀昭、松崎 雄一郎、徳永裕己 、鈴木泰成、遠藤 傑	東京大学、産総研、 ＮＴＴセキュアプラットフォーム研究所	Ｇｅｎｅｒａｌｉｚｅｄ ｑｕａｎｔｕｍ ｓｕｂｓｐａｃｅ ｅｘｐａｎｓｉｏｎ	第４回量子ソフトウェア研究発表会	2021.10
３９	松本佳大、神宮裕汰、遠藤傑、川畑史郎、渡部昌平、二国　徹郎、箱嶋秀昭、松崎雄一郎	産総研、ＮＴＴセキュアプラットフォーム研究所、東京理科大	ＮＩＳＱデバイスを用いた分配関数の計算	第４回量子ソフトウェア研究発表会	2021.10
４０	川畑史郎	産総研	量子コンピュータの国際競争激化、日本と世界の研究開発動向を読み解く	日経クロステックＥＸ ＰＯ ２０２１	2021.10
４１	川畑史郎	産総研	量子コンピュータの最新研究開発動向と未来	ＨＰＣｗｉｒｅ Ｊａｐａｎ ２０２１，	2021.10
４２	竹内潔、水谷朋子、更屋拓哉、小林正治、平本俊郎	東京大学	標準化された電荷密度対電圧特性に基づく新しいしきい値定義の提案	電子情報通信学会　シリコン材料・デバイス（ＳＤＭ）研究会	2021.11
４３	川畑史郎	産総研	量子コンピュータ入門：基礎から最新開発動向とライフサイエンス・化学分野へ の応用まで	第４７回日本臓器保存生物医学会学術集会	2021.11
４４	Ｎａｏｋｉ Ｔａｋｅｕｃｈｉ，Ｃｈｒｉｓｔｏｐｈｅｒ Ｌ．Ａｙａｌａ，Ｏｌｉｖｉａ Ｃｈｅｎ，ａｎｄ Ｎｏｂｕｙｕｋｉ Ｙｏｓｈｉｋａｗａ	産業技術総合研究所 、横浜国立大学 、東京都市大学	Ｒｅｃｅｎｔ Ｐｒｏｇｒｅｓｓ ｉｎ Ａｄｉａｂａｔｉｃ Ｑｕａｎｔｕｍ－Ｆｌｕｘ－Ｐａｒａｍｅｔｒｏｎ Ｌｏｇｉｃ	３４ｔｈ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｓｙｍｐｏｓｉｕｍ ｏｎ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｖｉｔｙ（ＩＳＳ ２０２１）	2021.12
４５	川畑史郎	産総研	量子コンピュータの最新研究開発動向	ＳＥＭＩＣＯＮ Ｊａｐａｎ	2021.12
４６	川畑史郎	産総研	集積回路工学者のための量子コンピュータ入門	ＬＳＩとシステムのワークショップ２０２１	2021.5
４７	Ｋｉｙｏｓｈｉ Ｔａｋｅｕｃｈｉ，Ｔｏｍｏｋｏ Ｍｉｚｕｔａｎｉ，Ｔａｋｕｙａ Ｓａｒａｙａ，Ｍａｓａｈａｒｕ Ｋｏｂａｙａｓｈｉ，Ｔｏｓｈｉｒｏ Ｈｉｒａｍｏｔｏ	東京大学	Ａ Ｃｈａｒｇｅ－Ｂａｓｅｄ Ａｎａｌｙｔｉｃａｌ Ｔｈｒｅｓｈｏｌｄ Ｖｏｌｔａｇｅ Ｄｅｆｉｎｉｔｉｏｎ Ａｐｐｌｉｃａｂｌｅ ｔｏ Ｃｒｙｏｇｅｎｉｃ Ｔｅｍｐｅｒａｔｕｒｅ	Ｓｉｌｉｃｏｎ Ｎａｎｏｅｌｅｃｔｒｏｎｉｃｓ Ｗｏｒｋｓｈｏｐ ２０２１	2021.6
４８	Ｔ．Ｉｍｏｔｏ，Ｙ．Ｓｅｋｉ，Ｙ．Ｍａｔｓｕｚａｋｉ，Ｓ．Ｋａｗａｂａｔａ	産総研	Ｉｍｐｒｏｖｉｎｇ ｔｈｅ ａｃｃｕｒａｃｙ ｏｆ ｔｈｅ ｅｎｅｒｇｙ ｅｓｔｉｍａｔｉｏｎ ｂｙ ｃｏｍｂｉｎｉｎｇ ｑｕ	Ａｄｉａｂａｔｉｃ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ Ｃｏｎｆｅｒｅｎｃｅ	2021.6
４９	Ｓ．Ｋａｗａｂａｔａ，Ｔｏｇａｗａ，Ｍ．Ｓｈｉｒａｎｅ，Ｙ．	産総研、早稲田大、 ＮＥＣ	Ｏｖｅｒｖｉｅｗ ｏｆ ＮＥＤＯ ｐｒｏｊｅｃｔｓ ｏｎ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ ｍａｃｈｉｎｅ	Ａｄｉａｂａｔｉｃ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ Ｃｏｎｆｅｒｅｎｃｅ （ＡＱＣ	2021.6

	Nakamura		s in Japa	２０２１),	
５０	TOMOKO MIZUTANI, KIYOSHI TAKEUCHI, TAKUYA SARAYA, MASAHARU KOBAYASHI, TOSHIRO HIRAMOTO	東京大学	Statistical analysis of characteristics variability in bulk MOSFETs at Cryogenic Temperature	Silicon Nanoelectronics Worksh op 2021	2021.6
５１	Yoshihiro Takagawa, Naoki Takeuchi, Yuki Yamanashi, Nobuyuki Yoshikawa	横浜国立大学、産業技術総合研究所	Demonstration and sensitivity evaluation of amicrowave phase comparator using adiabatic quantum−flux−parametron logic	The 15th European Conference on Applied Superconductivity	2021.7
５２	Hongxiang Shen, Naoki Takeuchi, Yuki Yamanashi, Nobuyuki Yoshikawa	横浜国立大学、産業技術総合研究所	Design and demonstration ofan 8−bit integrator using adiabatic quantum flux parametron (AQFP) circuits	The 15th European Conference on Applied Superconductivity	2021.7
５３	川畑史郎	産総研	材料・プロセス技術者のための量子コンピュータ入門： 基礎から最先端まで	応用物理学会薄膜・表面物理セミナー	2021.7
５４	川畑史郎	産総研	量子コンピュータの基礎と最新研究開発動向	アイアン・クラブ講演会	2021.8
５５	M−S. Kang, K. Toprasertpong, M. Takenaka, S. Takagi	東京大学	Characterization of Sub−threshold Swing of Sin−MOSFETs over a Temperature Range of 4 K to 300 K	５３rd International Conference on Solid State Devices and Materials (SSDM)	2021.9
５６	TOMOKO MIZUTANI, KIYOSHI TAKEUCHI, TAKUYA SARAYA, HIROSHI OKA, TAKAHIRO MORI, MASAHARU KOBAYASHI, TOSHIRO HIRAMOTO	東京大学, 産業技術総合研究所	Effect of Percolation Path on Temperature Dependence of Threshold VoltageVariability in Bulk MOSFETs	５３rd International Conference on Solid State Devices and Materials (SSDM)	2021.9
５７	沈 泓翔、竹内尚輝、山梨裕希、吉川信行	横浜国立大学、産業技術総合研究所	Ｊosephson ／CMOSハイブリッド回路を用いた量子ビット制御システムの設計	電子情報通信学会２０２１年ソサイエティ大会	2021.9
５８	井元隆史、関優也、 松崎雄一郎、川畑史郎	産総研	ひねり演算子を用いた変分量子アニーリング	日本物理学会秋季大会	2021.9
５９	水谷朋子、竹内潔 、更屋拓哉、小林正治、平本 俊郎	東京大学	低温におけるバルク ＭＯＳＦＥＴの特性ばらつきの統計解析	第８２回応用物理学会秋季学術講演会	2021.9

６０	竹内 潔，水谷 朋子，更屋 拓哉，小林 正治，平本 俊郎	東京大学	極低温に対応した反転電荷密度に基づく新しい解析的しきい値定義の提案	第８２回応用物理学会秋季学術講演会	2021.9
６１	川畑史郎	産総研	超伝導量子アニーリングマシンのハードウェア開発	日本オペレーションズ・リサーチ学会研究グループ「量子コンピュータと次世代計算機活用」セミナー	2021.9
６２	棚本哲史、大野圭司	帝京大学、理化学研究所	ＣＭＯＳを用いたスピン量子ビット読み出し単一電子回路シミュレーション	第６９回応用物理学会春季学術講演会	2022.3
６３	Ｔｏｓｈｉｒｏ Ｈｉｒａｍｏｔｏ，Ｔｏｍｏｋｏ Ｍｉｚｕｔａｎｉ，Ｋｉｙｏｓｈｉ Ｔａｋｅｕｃｈｉ，Ｔａｋｕｙａ Ｓａｒａｙａ，Ｈｉｒｏｓｈｉ Ｏｋａ，Ｔａｋａｈｉｒｏ Ｍｏｒｉ，ａｎｄ Ｍａｓａｈａｒｕ Ｋｏｂａｙａｓｈｉ	東京大学	Ｅｆｆｅｃｔ ｏｆ Ｒａｎｄｏｍ Ｐｏｔｅｎｔｉａｌ Ｆｌｕｃｔｕａｔｉｏｎｓ ｏｎ Ｔｈｒｅｓｈｏｌｄ Ｖｏｌｔａｇｅ Ｖａｒｉａｂｉｌｉｔｙ ｉｎ Ｂｕｌｋ ＭＯＳＦＥＴｓ ａｔ Ｃｒｙｏｇｅｎｉｃ Ｔｅｍｐｅｒａｔｕｒｅ	６ｔｈ Ｅｌｅｃｔｒｏｎ Ｄｅｖｉｃｅｓ Ｔｅｃｈｎｏｌｏｇｙ ａｎｄ Ｍａｎｕｆａｃｔｕｒｉｎｇ （ＥＤＴＭ）	2022.3
６４	沈 泓翔、竹内尚輝、山梨裕希、吉川信行	横浜国立大学、産業技術総合研究所	ＳＦＱ回路を用いた可変振幅マイクロ波パルスジェネレータの設計と動作実証	２０２２年応用物理学会春期学術講演会	2022.3
６５	Ｍｉｎ－Ｓｏｏ Ｋａｎｇ，Ｈｉｒｏｓｈｉ Ｏｋａ，Ｔａｋａｈｉｒｏ Ｍｏｒｉ，Ｍｉｔｓｕｒｕ Ｔａｋｅｎａｋａ Ｋａｓｉｄｉｔ Ｔｏｐｒａｓｅｒｔｐｏｎｇ，Ｓｈｉｎｉｃｈｉ Ｔａｋａｇｉ	東京大学，産業技術総合研究所	Ｓｕｂｓｔｒａｔｅ Ｉｍｐｕｒｉｔｙ Ｃｏｎｃｅｎｔｒａｔｉｏｎ Ｄｅｐｅｎｄｅｎｃｅ ｏｆ Ｓｕｂ－ｔｈｒｅｓｈｏｌｄ Ｓｗｉｎｇ ｏｆ Ｓｉｎ－ｃｈａｎｎｅｌ ＭＯＳＦＥＴｓ ａｔ Ｃｒｙｏｇｅｎｉｃ Ｔｅｍｐｅｒａｔｕｒｅ	第６９回応用物理学会春季学術講演会	2022.3
６６	Ｓ．Ｍａｓｕｄａ，Ａ．Ｙａｍａｇｕｃｈｉ，Ｔ．Ｙａｍａｊｉ，Ｔ．Ｙａｍａｍｏｔｏ，Ｔ．Ｉｓｈｉｋａｗａ，Ｙ．Ｍａｔｓｕｚａｋｉ，Ｓ．Ｋａｗａｂａｔａ	産総研、ＮＥＣ	Ｔｈｅｏｒｙ ｏｆ ｒｅｆｌｅｃｔｉｏｎ ｓｐｅｃｔｒｏｓｃｏｐｙ ｆｏｒ ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ ｑｕａｎｔｕｍ ｐａｒａｍｅｔｒｏｎｓ	ＡＰＳ Ｍａｒｃｈ ｍｅｅｔｉｎｇ ２０２２	2022.3
６７	神宮 裕汰、竹内勇貴、遠藤 傑、川畑史郎、渡部 昌平、二国 徹郎、箱嶋秀昭、松崎雄一郎	産総研、ＮＴＴコミュニケーション科学基礎研究所、ＮＴＴセキュアプラットフォーム研究所、東京理科大	Ｖａｒｉａｔｉｏｎａｌ ｓｅｃｕｒｅ ｃｌｏｕｄ ｑｕａｎｔｕｍ ｃｏｍｐｕｔｉｎｇ	日本物理学会 第７７回年次大会	2022.3
６８	山口愛子、増田俊平、山道智博、松崎雄一郎、佐藤哲郎、森岡あゆ香、川上洋平、五十嵐悠一、白根昌之、山本剛	ＮＥＣ、産総研	パラメトリック励振されたジョセフソンパラメトリック発振器の分光評価	日本物理学会 第７７回年次大会	2022.3

６９	須佐 友紀、井元隆史、松崎 雄一郎	ＮＥＣ、産総研	全結合ｐ体模型における分岐現象に基づく量子アニーリングの相転移の解析	日本物理学会 第７７回年次大会	2022.3
７０	井元　隆史、関優 也、松崎雄一郎	産総研	対称性を用いた量子アニーリングの非断熱遷移の抑制	日本物理学会　第７７回年次大会	2022.3
７１	杉井　辰吉， 森 貴之，　岡博史，森 貴洋，井田次郎	金沢工業大学，産業技術総合研究所	極低温　２００ｎｍ　ＳＯＩ－ＦＥＴで発生するサブスレッショルド領域における電流振動現象	第６９回応用物理学会春季学術講演会	2022.3
７２	水谷朋子，竹内潔，更屋拓哉，岡博史，　森貴洋，小林正治，平本俊郎	東京大学，　産業技術総合研究所	極低温におけるバルクＭＯＳＦＥＴランダムばらつきに対するパーコレーションパスの影響	第６９回応用物理学会春季学術講演会	2022.3
７３	稲葉　工，　浅井栄大，　福田浩一，　岡　博史，　森貴洋	産業技術総合研究所	極低温動作ＭＯＳＦ　ＥＴにおけるＤＩＢ　Ｌ－ｌｉｋｅなｌｄ－Ｖｇ特性の原因	第６９回応用物理学会春季学術講演会	2022.3
７４	川畑史郎	産総研	超伝導回路を用いた量子アニーリングマシン	２０２２年電子情報通信学会総合大会	2022.3
７５	増田俊平	産総研	超伝導量子パラメトロンの測定と制御の理論	東京工業大学のセミナー	2022.3
７６	鈴木雄太、渡部昌平、川畑史郎、増田俊平	東京理科大、産総研	超伝導量子パラメトロンの量子軌跡理論	日本物理学会 第７７回年次大会	2022.3
７７	森　貴洋	産業技術総合研究所	量子コンピュータにおける極低温デバイス・回路技術	２０２２年電子情報通信学会総合大会	2022.3
７８	水松浩司	株式会社フィックスターズ	Ｑｕａｎｔｕｍ　Ａｎｎｅａｌｉｎｇ　ｆｏｒ　ＥＤＡ　ａｎｄ　Ｉｔｓ　Ｈａｎｄｓ－ｏｎ　Ｔｒａｉｎｉｎｇ	２８ｔｈ　Ａｓｉａ　ａｎｄ　Ｓｏｕｔｈ　Ｐａｃｉｆｉｃ　Ｄｅｓｉｇｎ　Ａｕｔｏｍａｔｉｏｎ　Ｃｏｎｆｅｒｅｎｃｅ　ＡＳＰ－ＤＡＣ　２０２３	2023.1
７９	水松浩司	株式会社フィックスターズ	Ｔｈｅ　Ｆｉｘｓｔａｒｓ　Ａｍｐｌｉｆｙ：　Ｖｅｒｓａｔｉｌｅ　ｐｒｏｇｒａｍｍｉｎｇ　ｐｌａｔｆｏｒｍ　ｆｏｒ　ｑｕａｎｔｕｍ　ａｎｎｅａｌｉｎｇ　ｍａｃｈｉｎｅｓ　ａｎｄ　Ｉｓｉｎｇ　ｍａｃｈｉｎｅｓ	ＩＮＱＡ　Ｓｅｍｉｎａｒ（Ｗｅｂ　Ｓｅｍｉｎａｒ）	2023.1
８０	松田佳希	株式会社フィックスターズ	量子アニーリング・イジングマシンにおける共通ソフトウェア基盤開発	ＩＲＦＩ主催「量子アニーリング研究会」	2023.2
８１	西森秀稔	東京工業大学	ＣＯＨＥＲＥＮＴ　ＱＵＡＮＴＵＭ　ＡＮＮＥＡＬＩＮＧ	Ｑｕｂｉｔｓ２０２３	2023.1
８２	西森秀稔	東京工業大学	学ぶということ	高知西高等学校　継承式	2022.10
８３	西森秀稔	東京工業大学	量子アニーリングによる量子シミュレーション	武蔵大学数理工学シンポジウム	2022.11
８４	西森秀稔	東京工業大学	量子コンピュータ研究の第一人者である西森氏が語る量子コンピュータ開発の最前線	量子科学技術研究開発機構 量子機能創製研究シンポジウム	2022.12
８５	西森秀稔	東京工業大学	Ｑｕａｎｔｕｍ　ｓｉｍｕｌａｔｉｏｎ　ｏｎ　ｑｕａｎｔｕｍ　ｈａｒｄｗａｒｅ	Ｉｎｔｅｒｄｉｓｃｉｐｌｉｎａｒｙ　Ｓｃｉｅｎｃｅ　Ｃｏｎｆｅｒｅｎｃｅ　ｉｎ　Ｏｋｉｎａｗａ	2023.2
８６	西森秀稔	東京工業大学	物理実験装置としてのＤ－Ｗａｖｅマシンによる量子相転移理論の検証	研究会 量子アニーリング及び関連技術の基礎から社会実装まで	2023.2

８７	西森秀稔	東京工業大学	量子アニーリングの研究開発の現状	ＮＡＮＯ　ＯＰＴ　Ｍｅｄｉａ　Ｏｎｌｉｎｅ／量子テクノロジー	2022.5
８８	西森秀稔	東京工業大学	Ｑｕａｎｔｕｍ ｏｐｔｉｍｉｚａｔｉｏｎ ｏｆ ａ ｃｏｎｔｉｎｏｕｓ－ｖａｒｉａｂｌｅ ｆｕｎｃｔｉｏｎ ｗｉｔｈ ｒｕｇｇｅｄ ｅｎｅｒｇｙ ｌａｎｄｓｃａｐｅ	Ｉｎａｕｇｕｒａｌ ｓｙｍｐｏｓｉｕｍ ｏｆ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ Ｕｎｉｔ ａｔ Ｔｏｋｙｏ Ｔｅｃｈ	2022.6
８９	西森秀稔	東京工業大学	連続変数関数の量子最適化	東工大量子コンピューティング研究拠点設立記念講演会	2022.6
９０	西森秀稔	東京工業大学	Ｃｏｈｅｒｅｎｔ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ	Ｑ２Ｂ　Ｔｏｋｙｏ	2022.7
９１	西森秀稔	東京工業大学	コヒーレントな量子アニーリング	Ｑ２Ｂ　Ｔｏｋｙｏ	2022.7
９２	西森秀稔	東京工業大学	Ｑｕａｎｔｕｍ ｏｐｔｉｍｉｚａｔｉｏｎ ｏｆ ａ ｃｏｎｔｉｎｕｏｕｓ－ｖａｒｉａｂｌｅ ｆｕｎｃｔｉｏｎ ｗｉｔｈ ｒｕｇｇｅｄ ｅｎｅｒｇｙ ｌａｎｄｓｃａｐｅ	Ｓｅｍｉｎａｒ ａｔ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｎｅｔｗｏｒｋ ｏｎ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ	2022.8
９３	西森秀稔	東京工業大学	世界初の商用量子コンピューターと２０２１年のノーベル賞どちらも、その原 点はスピングラス研究から	応用物理学会秋季学術講演会	2022.9
９４	山岡　雅直	株式会社日立製作所	Ａｎｎｅａｌｉｎｇ Ｃｌｏｕｄ ＷｅｂでのＣＭＯＳアニーリングマシンの実行環境	ＩＰＡ 量子コンピューティング技術講座（アニーリングマシン）第１回	2022.10
９５	Ｓｏｈｅｉ Ｓｈｉｍｏｍａｉ, Ｓｈｉｎｊｉ Ｋｉｍｕｒａ	Ｗａｓｅｄａ Ｕｎｉｖｅｒｓｉｔｙ	Ｔｒｏｔｔｅｒ Ｂａｓｅｄ Ｐａｒａｌｌｅｌ Ｐｒｏｃｅｓｓｉｎｇ ｏｆ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ ｆｏｒ ＦＰＧＡ	Ｔｈｅ ２４ｔｈ Ｗｏｒｋｓｈｏｐ ｏｎ Ｓｙｎｔｈｅｓｉｓ Ａｎｄ Ｓｙｓｔｅｍ Ｉｎｔｅｇｒａｔｉｏｎ ｏｆ Ｍｉｘｅｄ Ｉｎｆｏｒｍａｔｉｏｎ ｔｅｃｈｎｏｌｏｇｉｅｓ	2022.10
９６	谷地悠太、多和田雅師、戸川望	早稲田大学	係数分割によるイジングモデルのビット幅削減の検討	情報処理学会ＳＬＤＭ研究会	2022.11
９７	谷地悠太、多和田雅師、戸川望	早稲田大学	基底状態の破壊を検出可能な係数分割によるイジングモデルのビット幅削減	電子情報通信学会技術報告ＶＬＤ２０２２－３７	2022.11
９８	谷地悠太、多和田雅師、戸川望	早稲田大学	基底状態を維持可能なイジングモデルの分割による係数削減手法	ＩＥＥＥ Ｃｉｒｃｕｉｔｓ ａｎｄ Ｓｙｓｔｅｍｓ Ｓｏｃｉｅｔｙ Ｊａｐａｎ Ｊｏｉｎｔ Ｃｈａｐｔｅｒ Ｙｏｕｎｇ ＣＡＳ Ｒｅｓｅａｒｃｈｅｒｓ Ｗｏｒｋｓｈｏｐ	2022.11
９９	山岡　雅直	株式会社日立製作所	量子インスパイアＣＭＯＳアニーリングの概要と開発状況	センサーネットワーク研究会（Ｕ２Ａ）	2022.11
１００	山岡　雅直	株式会社日立製作所	Ａｎｎｅａｌｉｎｇ Ｃｌｏｕｄ Ｗｅｂのご紹介	ＭＣＰＣ　第６回量子コンピュータ推進セミ	2022.12

				ナー	
１０１	網野あかね、服部智大、菊池脩太、田中宗	早稲田大学、慶應義塾大学	異種イジングマシンによるハイブリッドアルゴリズムの提	電子情報通信学会第４７回量子情報技術研究会　（ＱＩＴ４７）	2022.12
１０２	山岡　雅直	株式会社日立製作所	Ｏｕｔｌｉｎｅ ａｎｄ ｐｒｅｓｅｎｔ ｓｔａｔｕｓ ｏｆ ＣＭＯＳ ａｎｎｅａｌｉｎｇ	ＮＳＦ－ＦＥＴ Ｗｏｒｋｓｈｏｐ ｏｎ Ｉｓｉｎｇ Ｍａｃｈｉｎｅｓ	2022.4
１０３	下舞創平，　木村晋二	早稲田大学	中間解の保持を用いた量子アニーリングの精度向上手法	情報処理学会 第５回量子ソフトウェア研究会	2022.4
１０４	Ｓｈｕｔａ Ｋｉｋｕｃｈｉ，Ｎｏｚｏｍｕ Ｔｏｇａｗａ，ａｎｄ Ｓｈｕ Ｔａｎａｋａ	Ｗａｓｅｄａ Ｕｎｉｖｅｒｓｉｔｙ，Ｋｅｉｏ Ｕｎｉｖｅｒｓｉｔｙ	Ｐｅｒｆｏｒｍａｎｃｅ ｏｆ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ ｗｉｔｈ ｐｒｅ－ｐｒｏｃｅｓｓｉｎｇ ｂｙ ａ ｎｏｎ－ｑｕａｎｔｕｍ ｔｙｐｅ Ｉｓｉｎｇ ｍａｃｈｉｎｅ	ＩＣＴＰ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ａｄｉａｂａｔｉｃ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔａｔｉｏｎ ／Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ（ＡＱＣ２０２２）	2022.6
１０５	Ｍａｓａｎａｏ Ｙａｍａｏｋａ	Ｈｉｔａｃｈｉ．，Ｌｔｄ	Ｏｕｔｌｉｎｅ ａｎｄ ｐｒｅｓｅｎｔ ｓｔａｔｕｓ ｏｆ ＣＭＯＳ ａｎｎｅａｌｉｎｇ	Ｑ２Ｂ ２０２２ Ｔｏｋｙｏ	2022.7
１０６	Ｍａｓａｎａｏ Ｙａｍａｏｋａ	Ｈｉｔａｃｈｉ．，Ｌｔｄ	Ｎｅｘｔ Ｆｒｏｎｔｉｅｒ ａｃｒｏｓｓ ＭＬ：Ｃｏｍｂｉｎａｔｏｒｉａｌ Ｓｏｌｕｔｉｏｎ Ｅｎｇｉｎｅ ｗｉｔｈ Ｍｕｌｔｉｖａｒｉａｔｅ Ｉｎｄｅｘ ｆｏｒ Ｗｉｄｅ－ｒａｎｇｅ Ａｐｐｌｉｃａｔｉｏｎｓ ｆｒｏｍ Ｆｉｎａｎｃｉａｌ Ｐｏｒｔｆｏｌｉｏ ｔｏ Ｗｏｒｋ－ｓｈｉｆｔ Ｓｃｈｅｄｕｌｉｎｇ	Ｖａｌｌｅｙ ＭＬ ＡＩ Ｅｘｐｏ ２０２２	2022.8
１０７	山岡　雅直	株式会社日立製作所	Ａｎｎｅａｌｉｎｇ Ｃｌｏｕｄ Ｗｅｂのご紹介	ＭＣＰＣ２０２２	2022.9
１０８	小澤駿貴，　木村晋二	早稲田大学	イジングモデルを用いた組合せ最適化問題の解法におけるエネルギー分布について	情報処理学会 ＤＡシンポジウム	2022.9
１０９	菊池脩太、戸川望、田中宗	早稲田大学、慶應義塾大学	量子アニーリングマシンと非量子イジングマシンを利用したハイブリッド最適化手法に向けた解析	日本物理学会２０２２年秋季大会	2022.9
１１０	杉田　悠介	株式会社日立製作所	ＣＭＯＳアニーリングを活用した組合せ最適化とその応用事例	アイアール技術者教育研究所　提携セミナー	2023.1
１１１	正木 晶子、高橋佳歩	株式会社日立製作所	ＣＭＯＳアニーリング技術と社会課題への適用事例のご紹介	海上技術安全研究所知識・データシステム主催講演会	2023.1
１１２	Ｙｕｔａ Ｙａｃｈｉ，Ｍａｓａｓｈｉ Ｔａｗａｄａ，Ｎｏｚｏｍｕ Ｔｏｇａｗａ	Ｗａｓｅｄａ Ｕｎｉｖｅｒｓｉｔｙ	Ｃｏｅｆｆｉｃｉｅｎｔ Ｂｉｔ－Ｗｉｄｔｈ Ｒｅｄｕｃｔｉｏｎ ｆｏｒ Ｉｓｉｎｇ Ｍａｃｈｉｎｅ	ＩＥＥＥ／ＡＣＭ Ａｓｉａ ａｎｄ Ｓｏｕｃｈ Ｐａｃｉｆｉｃ Ｄｅｓｉｇｎ Ａｕｔｏｍａｔｉｏｎ Ｃｏｎｆｅｒｅｎｃｅ （ＡＳＰ－ＤＡＣ ２０２３） ＷＩＰ Ｐｏｓｔｅｒ Ｓｅｓｓｉｏｎ	2023.1

１１３	Ｋｅｉｓｕｋｅ Ｆｕｋａｄａ, Ｎｏｚｏｍｕ Ｔｏｇａｗａ	Ｗａｓｅｄａ Ｕｎｉｖｅｒｓｉｔｙ	Ｒｅｐｅａｔｉｎｇ Ｉｓｉｎｇ ｍａｃｈｉｎｅｓ ｔｏ ｓｏｌｖｅ ｃｏｍｂｉｎａｔｏｒｉａｌ ｏｐｔｉｍｉｚａｔｉｏｎ ｐｒｏｂｌｅｍｓ	ＩＥＥＥ／ＡＣＭ Ａｓｉａ ａｎｄ Ｓｏｕｃｈ Ｐａｃｉｆｉｃ Ｄｅｓｉｇｎ Ａｕｔｏｍａｔｉｏｎ Ｃｏｎｆｅｒｅｎｃｅ（ＡＳＰ－ＤＡＣ２０２３）ＷＩＰ Ｐｏｓｔｅｒ Ｓｅｓｓｉｏｎ	2023.1
１１４	戸川望	早稲田大学	量子計算技術を活用した社会実装の促進	公益財団法人国際研修交流協会・第３４回国際セミナー	2022.11
１１５	山岡　雅直	株式会社日立製作所	ＣＭＯＳアニーリングの概要とその応用	東京工業大学国際先駆研究機構量子コンピューティング研究拠点	2023.2
１１６	戸丸　辰也	株式会社日立製作所	日立における広い意味での量子科学技術に関連する研究開発の歴史と現状	量子科学技術国際卓越大学院プログラム（ＷＩＮＧＳ－ＱＳＴＥＰ）	2023.2
１１７	戸川望	早稲田大学	量子計算技術を活用した社会実装とソフトウェア基盤	（一社）科学技術と経済の会・第７回量子技術研究会	2023.2
１１８	山岡　雅直	株式会社日立製作所	ＣＭＯＳアニーリングによるアプリケーションの探索	量子ＩＣＴフォーラムイジングマシン分野におけるソフトウェア開発・アプリケーション探索ワークショップ	2023.3
１１９	Ｓｏｈｅｉ Ｓｈｉｍｏｍａｉ, Ｋｅｉ Ｕｅｄａ, Ｓｈｉｎｊｉ Ｋｉｍｕｒａ	Ｗａｓｅｄａ Ｕｎｉｖｅｒｓｉｔｙ	Ｃｏｍｐｒｅｓｓｅｄ Ｉｎｐｕｔ Ｄａｔａ Ｆｏｒｍａｔ ｏｆ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ Ｅｍｕｌａｔｏｒ	Ｄａｔａ Ｃｏｍｐｒｅｓｓｉｏｎ Ｃｏｎｆｅｒｅｎｃｅ	2023.3
１２０	高橋　佳歩	株式会社日立製作所	災害時の救援物資配送計画に対するＣＭＯＳアニーリング技術の適用検討	ＭＣＰＣ 第７回量子コンピュータ推進セミナー	2023.3
１２１	Ｙ．Ｈｉｒｏｎａｋａ, Ｙ．Ｙａｍａｎａｓｈｉ, Ｎ．Ｙｏｓｈｉｋａｗａ	横浜国立大学	Ｄｅｍｏｎｓｔｒａｔｉｏｎ ｏｆ ３２－Ｇｂｐｓ ｒｅａｄｏｕｔ ｉｎ ａ Ｊｏｓｅｐｈｓｏｎ－ＣＭＯＳ ｈｙｂｒｉｄ ｍｅｍｏｒｙ	Ａｐｐｌｉｅｄ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｖｉｔｙ Ｃｏｎｆｅｒｅｎｃｅ（ＡＳＣ２０２２）, Ｈａｗａｉｉ Ｃｏｎｖｅｎｔｉｏｎ Ｃｅｎｔｅｒ, Ｈｏｎｏｌｕｌｕ, ＵＳＡ	2022.10
１２２	Ａ．Ｋｕｎｉｈｉｒｏ, Ｙ．Ｙａｍａｎａｓｈｉ, Ｎ．Ｙｏｓｈｉｋａｗａ	横浜国立大学	Ｐｕｌｓｅ－ｄｅｎｓｉｔｙ－ｍｏｄｕｌａｔｅｄ ｍｉｃｒｏｗａｖｅ ｇｅｎｅｒａｔｏｒ ｕｓｉｎｇ ｓｉｎｇｌｅ－ｆｌｕｘ－ｑｕａｎｔｕｍ ｃｉｒｃｕｉｔｓ ｆｏｒ ｃｏｎｔｒｏｌｌｉｎｇ ｑｕｂｉｔ	Ａｐｐｌｉｅｄ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｖｉｔｙ Ｃｏｎｆｅｒｅｎｃｅ（ＡＳＣ２０２２）, Ｈａｗａｉｉ Ｃｏｎｖｅｎｔｉｏｎ Ｃｅｎｔｅｒ, Ｈｏｎｏｌｕｌｕ, ＵＳＡ	2022.10
１２３	沈泓翔、山梨裕希、吉川信行	横浜国立大学	正負の ＳＦＱ パルスを用いたマイクロ波ジェネレータの設計	２０２２年第８３回応用物理学会秋季学術講演会	2022.9

１２４	Ｈａｙａｔｏ Ｇｏ ｔｏ	株式会社東芝	Ｑｕａｎｔｕｍ ａｎｄ ｃｌａｓｓｉｃａｌ ｃｏｍｐｕｔｉｎｇ ｗｉｔｈ Ｋｅｒｒ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ	Ｃｏｈｅｒｅｎｔ Ｎｅｔｗｏｒｋ Ｃｏｍｐｕｔｉｎｇ ２０２	2022.10
１２５	金尾太郎， 後藤隼人	株式会社東芝	カーパラメトリック発振器に対する量子ゲートのパルス波形最適化	日本物理学会２０２２年秋季大会	2022.9
１２６	蝶野弘臣，金尾太郎， 後藤隼人	株式会社東芝	カーパラメトリック発振器で実装された量子ビットの読出しの性能評価	日本物理学会２０２３年春季大会	2023.3
１２７	Ｊ．Ｓ． Ｔｓａｉ	ＲＩＫＥＮ	Ｒｅｃｅｎｔ ｐｒｏｇｒｅｓｓ ｉｎ ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ ｑｕａｎｔｕｍ ｉｎ ｆｏｒｍａｔｉｏｎ	Ｖｉｒｔｕａｌ 量子生命情報ワークショップ２０２２（Ｖｉｒｔｕａｌ ＱＢＩＣ Ｗｏｒｋｓｈｏｐ ２０２２） ＺＯＯＭ	2022.10
１２８	Ｊ．Ｓ． Ｔｓａｉ	ＲＩＫＥＮ	Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ ｑｕａｎｔｕｍ ｃｏｍｐｕｔｅｒ ａｎｄ ｉｔｓ ｆｕｔｕｒｅ ｉｓｓｕｒｅｓ	Ｔｈｅ Ｆｉｒｓｔ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ａｘｉｏｎ Ｐｈｙｓｉｃｓ ａｎｄ Ｅｘｐｅｒｉｍｅｎｔ （Ａｘｉｏｎ２０２２）	2022.11
１２９	Ｊ．Ｓ． Ｔｓａｉ	ＲＩＫＥＮ	Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ ｑｕａｎｔｕｍ ｃｏｍｐｕｔｅｒ ａｎｄ ｉｔｓ ｆｕｔｕｒｅ ｉｓｓｕｒｅｓ	ＱＰＱＩＳ２０２２ ＺＯＯＭ	2022.12
１３０	Ｊ．Ｓ． Ｔｓａｉ	ＲＩＫＥＮ	Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ Ｑｕａｎｔｕｍ Ｃｉｒｃｕｉｔ	Ｑｕａｎｔｕｍ Ａｆｒｉｃａ ６（ＱＡ６） Ｃｏｎｆｅｒｅｎｃｅ ＺＯＯＭ	2022.9
１３１	Ｊ．Ｓ． Ｔｓａｉ	ＲＩＫＥＮ	超伝導量子コンピュータの展望	応用物理学会２０２２年度第２回講演会 ＺＯＯＭ	2023.1
１３２	Ｓ．Ｆｕｊｉｉ，Ｄ．Ｉｙａｍａ，Ｔ．Ｋａｍｉｙａ，Ｓ．Ｋｗｏｎ，Ｓ．Ｗａｔａｂｅ，Ｊ－Ｊ．Ｘｕｅ，Ｊ．Ｓ．Ｔｓａｉ	ＲＩＫＥＮ	Ａｄｉａｂａｔｉｃ Ｆｏｃｋ ｓｔａｔｅ ｇｅｎｅｒａｔｉｏｎ ａｎｄ ｆａｉｔｈｆｕｌ Ｗｉｇｎｅｒ ｔｏｍｏｇｒａｐｈｙ ｉｎ ａ Ｋｅｒｒ ｎｏｎｌｉｎｅａｒ ｒｅｓｏｎａｔｏｒ	ＡＰＳ Ｍａｒｃｈ Ｍｅｅｔｉｎｇ ２０２３	2023.3
１３４	Ｔ．Ｋａｍｉｙａ，Ｄ．Ｉｙａｍａ，Ｓ．Ｆｕｊｉｉ，Ｓ．Ｋｗｏｎ，Ｓ．Ｗａｔａｂｅ，Ｊ．Ｓ．Ｔｓａｉ	ＲＩＫＥＮ	Ｅｘｐｅｒｉｍｅｎｔａｌ ｕｎｉｖｅｒｓａｌ ｇａｔｅ ｓｅｔ ｏｐｅｒａｔｉｏｎ ｏｎ ｃａｔ ｑｕｂｉｔｓ ｉｎ ａ Ｋｅｒｒ Ｐａｒａｍｅｔｒｉｃ Ｏｓｃｉｌｌａｔｏｒ	ＡＰＳ Ｍａｒｃｈ Ｍｅｅｔｉｎｇ ２０２３	2023.3
１３５	Ｄ．Ｉｙａｍａ，Ｓ．Ｆｕｊｉｉ，Ｔ．Ｋａｍｉｙａ，Ｓ．Ｋｗｏｎ，Ｓ．Ｗａｔａｂｅ，Ｊ－Ｊ．Ｘｕｅ，Ｊ．Ｓ．Ｔ	ＲＩＫＥＮ	Ｆａｓｔ Ｃａｔ Ｓｔａｔｅ Ｇｅｎｅｒａｔｉｏｎ Ｕｓｉｎｇ ａ Ｋｅｒｒ Ｐａｒａｍｅｔｒｉｃ Ｏｓｃｉｌｌａｔｏｒ	ＡＰＳ Ｍａｒｃｈ Ｍｅｅｔｉｎｇ ２０２３	2023.3

	sai				
136	G. Lakshmi Bhai, H. Mukai, T. Yamamato, J. S. Tsai	RIKEN	Noise spectroscopy of a Josephson parametricoscillator	APS March Meeting 2023	2023.3
137	A. Tomonaga, H. Mukai, J. S. Tsai	RIKEN	Two superconducting artificial atomsultrastrongly coupled to a single moderesonator	APS March Meeting 2023	2023.3
138	J. S. Tsai	RIKEN	超伝導量子ビットの平面集積化	第７０回応用物理学会春季学術講演会、上智大学四谷キャンパス	2023.3
139	白根　昌之	日本電気株式会社	ＮＥＣにおける量子技術への取組み	東北大学 電気情報系産学官フォーラム ２０２２	2022.10
140	山口　愛子	日本電気株式会社	Engineering challenges in quantum annealing using Kerr-parametric oscillators	INQA Conference	2022.11
141	山本　剛	日本電気株式会社	Quantum annealer based on Kerr parametric oscillators	Quantum Innovation 2022	2022.11
142	宮崎 涼二，山本剛	日本電気株式会社	Four-body interaction of superconducting qubits for quantum annealing	ICTP Conference on Adiabatic Quantum Computation／Quantum Annealing	2022.6
143	五十嵐　悠一	日本電気株式会社	ＮＥＣにおける量子アニーリングマシンの研究開発	技術情報協会「量子技術の基礎とＲ＆Ｄへの導入、活用方法」	2022.6
144	五十嵐 悠一、宮田明	日本電気株式会社	超伝導パラメトロンを用いた量子アニーリング素子とその実装構造の研究開発	Keysight Design Forum ２０２２ 東京 オンライン	2022.7
145	山本　剛	日本電気株式会社	Quantum Anealer based on Kerr parametric oscillators	JSPS 146th Committee International Symposium on SuperconductorElectronics	2022.9
146	山口　愛子	日本電気株式会社	Recent Progress in Quantum annealing machine using Kerr-Parametric Oscillators	２０２２ International Conference on Solid State Devices and Materials（SSDM）	2022.9

１４７	五十嵐　悠一	日本電気株式会社	Ｔｏｗａｒｄ ｔｈｅ ｒｅａｌｉｚａｔｉｏｎ ｏｆ ａ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ ｍａｃｈｉｎｅｂａｓｅｄ ｏｎ Ｊｏｓｅｐｈｓｏｎ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ	Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｎｅｔｗｏｒｋ ｏｎ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ（ＩＮＱＡ）セミナー	2022.9
１４８	山道智博，山口愛子，川上洋平，佐藤哲朗，森岡あゆ香，五十嵐悠一，　白根昌之，山本剛	日本電気株式会社	ジョセフソンパラメトリック発振器を用いた量子アニーリングマシンの開発	ＯＩＳＴ ＱＥｄサマースクール２０２２	2022.9
１４９	川上洋平，橋本義仁，浦出芳郎，山道智博，山口愛子，佐藤哲朗，森岡あゆ香，五十嵐悠一，白根昌之，山本剛	日本電気株式会社	共振器を制御ラインに挿入したジョセフソンパラメトリック発振器	ＯＩＳＴ ＱＥｄサマースクール２０２２	2022.9
１５０	須佐友紀	日本電気株式会社	分岐型量子アニーリングにおける全結合ｐ体模型の相転移	量子アニーリング研究会 「量子アニーリング及び関連技術の基礎から社会実装まで」	2023.2
１５１	山本　剛	日本電気株式会社	超伝導パラメトリック発振器を用いた量子アニーリングマシン	量子アニーリング研究会 「量子アニーリング及び関連技術の基礎から社会実装まで」	2023.2
１５２	山道 智博、増田 俊平、山口 愛子、佐藤 哲朗、森岡あゆ香、五十嵐 悠一、白根 昌之、山本 剛	日本電気株式会社，産総研	Ｃｏｒｒｅｌａｔｅｄ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｉｏｎｓ ｏｆ ｃａｐａｃｉｔｉｖｅｌｙ－ｃｏｕｐｌｅｄ Ｊｏｓｅｐｈｓｏｎ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ	ＡＰＳ Ｍａｒｃｈ Ｍｅｅｔｉｎｇ ２０２３	2023.3
１５３	藤野 真久、荒賀 佑樹、仲川 博、菊地　克弥、宮田　登	産業技術総合研究所	Ｉｎｔｅｒｆａｃｉａｌ Ｐｒｏｐｅｒｔｉｅｓ ｏｆ Ｂｏｎｄｅｄ Ｎｉｏｂｉｕｍ Ｕｓｉｎｇ Ｓｕｒｆａｃｅ Ａｃｔｉｖａｔｅｄ Ｂｏｎｄｉｎｇ	ＷａｆｅｒＢｏｎｄ’２２	2022.10
１５４	Ｎ．Ｔａｋｅｕｃｈｉ，Ｔ．Ｙａｍａｅ，Ｗ．Ｌｕｏ，Ｆ．Ｈｉｒａｙａｍａ，Ｎ．Ｙｏｓｈｉｋａｗａ	産業技術総合研究所、横浜国立大学	Ｓｃａｌａｂｌｅ ｆｌｕｘ ｃｏｎｔｒｏｌｌｅｒｓ ｕｓｉｎｇ ａｄｉａｂａｔｉｃ ｑｕａｎｔｕｍ－ｆｌｕｘ－ｐａｒａｍｅｔｒｏｎ ｌｏｇｉｃ ｆｏｒ ｑｕａｎｔｕｍ ｐｒｏｃｅｓｓｏｒｓ	Ａｐｐｌｉｅｄ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｖｉｔｙ Ｃｏｎｆｅｒｅｎｃｅ ２０２２（ＡＳＣ ２０２２）	2022.10
１５５	Ｓ．　Ｋａｗａｂａｔａ	産総研	Ｔｈｅ Ｑｕａｎｔｕｍ Ｉｎｎｏｖａｔｉｏｎ Ｈｕｂｓｉｎ Ｊａｐａｎ ＆ Ｑｕａｎｔｕｍ ｄｅｖｉｃｅ ｄｅｖｅｌｏｐｍｅｎｔ ｈｕｂ ｉｎ ＡＩＳＴ	Ｃａｎａｄａ－Ｊａｐａｎ Ｑｕａｎｔｕｍ Ｐａｒｔｎｅｒｓｈｉｐ Ｆｏｒｕｍ	2022.10

１５６	川畑史郎	産総研	量子コンピュータの最新技術動向について	第３５回ＡＳＣＯＴセミナー	2022.10
１５７	Ｓ．Ｋａｗａｂａｔａ	産総研	Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ ｑｕａｎｔｕｍ ａｎｎｅａｌｅｒ ｂａｓｅｄ ｏｎ ａｐｐｌｉｃａｔｉｏｎ ｓｐｅｃｉｆｉｃ ａｒｃｈｉｔｅｃｔｕｒｅ	ＩＮＱＡ Ｃｏｎｆｅｒｅｎｃｅ ２０２２ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ：Ｒｏｕｔｅｓ ｔｏ Ｕｎｄｅｒｓｔａｎｄｉｎｇ ａｎｄ Ｉｍｐｒｏｖｉｎｇ Ｓｃａｌｉｎｇ	2022.11
１５８	岡博史、稲葉工、飯塚将太、浅井栄大、加藤公彦、森貴洋	産業技術総合研究所	クライオＣＭＯＳにおける電子移動度制限要因の理解	電子情報通信学会シリコン材料・デバイス（ＳＤＭ）１１月研究会	2022.11
１５９	隅田圭，姜旼秀，陳家驄，トープ ラサートポン カシディット，竹中充，　高木信一	東京大学	表面ラフネス散乱の非線形理論に基づく極薄膜ｎＭＯＳＦＥＴチャネル材料と面方位の最適設計	信学技報	2022.11
１６０	隅田圭，姜旼秀，陳家驄，トープ ラサートポン カシディット，竹中充，　高木信一	東京大学	表面ラフネス散乱の非線形理論に基づく極薄膜ｎＭＯＳＦＥＴチャネル材料と面方位の最適設計	電子情報通信学会シリコン材料・デバイス（ＳＤＭ）１１月研究会	2022.11
１６１	川畑史郎	産総研	量子コンピューターを取り巻く国内外の状況	電気学会東京支部茨城支所講演会	2022.11
１６２	川畑史郎	産総研	量子コンピュータ超入門：基礎から最先端まで	２０２２年度第３回プリンテッド・エレクトロニクス研究会	2022.11
１６３	川畑史郎	産総研	量子未来社会のための量子コンピュータ技術入門	第１６４回センサーネットワーク研究会	2022.11
１６４	李 龍聖，杉井辰吉，森 貴之，井田次郎	金沢工業大学	２００ ｎｍ ＳＯＩ ＭＯＳＦＥＴの極低温（３Ｋ）評価結果	電子情報通信学会北陸支部 ２０２２年度学生間研究交流会	2022.11
１６５	Ｊ．Ｉｄａ	金沢工業大学	Ｎｅｕｒｏｎ Ｆｕｎｃｔｉｏｎ ｗｉｔｈ Ｓｉｎｇｌｅ Ｄｅｖｉｃｅ ｂｙ ＰＮ－Ｂｏｄｙ Ｔｉｅｄ ＳＯＩ－ＦＥＴ ａｎｄ Ａｃｔｉｖｉｔｙ ｏｎ Ｃｒｙｏ－ＣＭＯＳ ｆｏｒ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ	Ｔｈｅ ４ｔｈ ＡＳＥＡＮ－ＵＥＣ Ｗｏｒｋｓｈｏｐ ｏｎ Ｉｎｆｏｒｍａｔｉｃｓ ａｎｄ Ｅｎｇｉｎｅｅｒｉｎｇ	2022.12
１６６	杉井 辰吉，森貴之，森貴洋，岡博史，井田次郎	金沢工業大学・産業技術総合研究所	極低温ＳＯＩ－ＦＥ Ｔでのフリーズアウト効果 －Ｖｔ調整デバイスでのＶｔ変化とバックバイアス効果－	応用物理学会 北陸・信越支部　学術講演会	2022.12
１６７	川畑史郎	産総研	超伝導量子アニーリングマシンの開発	フロンティア材料研究会２０２２	2022.12
１６８	井元隆史，　松崎雄一郎	産総研	Ｎｏｎ－ｓｔｏｑｕａｓｔｉｃハミルトニアンによる量子アニーリングの失敗とデコヒーレンスによる解消	２０２２年日本物理学会春季大会	2023.3
１６９	岡　博史、稲葉工、飯塚 将太、浅井栄大、加藤　公彦、森貴洋	産業技術総合研究所	Ｅｆｆｅｃｔ ｏｆ Ｃｏｎｄｕｃｔｉｏｎ Ｂａｎｄ Ｅｄｇｅ Ｓｔａｔｅｓ ｏｎ Ｃｏｕｌｏｍｂ－Ｌｉｍｉｔｉｎｇ Ｅｌｅｃｔｒｏｎ Ｍｏｂｉｌｉｔｙ ｉｎ Ｃｒｙ	２０２２ ＩＥＥＥ Ｓｙｍｐｏｓｉｕｍ ｏｎ ＶＬＳＩ Ｔｅｃｈｎｏｌｏｇｙ ａｎｄ Ｃｉｒｃｕｉｔｓ	2022.6

			ogenic－MOSFET Operation		
170	S. Watabe, M. Z. Serikow, S. Kawabata, A. Zagoskin	芝浦工大、ノートルダム大、ラブボロー大、産総研	Efficient criteria of quantumness for adiabatic quantum computers	Adiabatic Quantum Computing Conference（AQC 2022）	2022.6
171	T. Imoto, Y. Seki, Y. Matsuzaki, S. Kawabata	産総研、慶應大	Quantum annealing with twisted fields	Adiabatic Quantum Computing Conference（AQC 2022）	2022.6
172	岡 博史、稲葉工、飯塚 将太、浅井栄大、加藤 公彦、森貴洋	産業技術総合研究所	Effect of Conduction Band Edge States on Coulomb－Limiting Electron Mobility in Cryogenic－MOSFET Operation	IEEE SSCS－EDS Japan Chapter VLSI Technology & Circuits報告会	2022.7
173	岡博史、稲葉工、飯塚将太、浅井栄大、加藤公彦、森貴洋	産業技術総合研究所	極低温動作MOSFETにおける電子移動度制限要因の理解	電気学会「ナノエレクトロニクス機能化・応用技術調査専門委員会」	2022.7
174	馮 ウェイ、菊地克弥	産業技術総合研究所	Heat Transfer Optimization in 3D Packaging for Practical－scale Quantum Annealing Machines	19th International Conference on Defects－Recognition, Imaging and Physics in Semiconductors（DRIP19）	2022.8
175	岡博史、稲葉工、飯塚将太、浅井栄大、加藤公彦、森貴洋	産業技術総合研究所	極低温動作MOSF ETのクーロン散乱移動度に対するバンド端準位の影響	シリコンテクノロジー分科会 第２３７回研究集会	2022.8
176	岡博史、稲葉工、飯塚将太、浅井栄大、加藤公彦、森貴洋	産業技術総合研究所	極低温動作MOSF ETのクーロン散乱移動度に対するバンド端準位の影響	電子情報通信学会 シリコン材料・デバイス（SDM）８月研究会	2022.8
177	R. Yoshizu, K. Sumita, K. Toprasertpong, M. Takenaka, S. Takagi	東京大学	Accurate Evaluation of Interface Trap Density at InAs MOS Interfaces by Using C－V characteristics at Low Temperatures	2022 International Conference on Solid State Devices and Materials	2022.9
178	K. Ura, T. Imoto, T. Nikuni, S. Kawabata, Y. Matsuzaki	産総研、東京理科大	Analysis of the shortest vector problems with the quantum annealing to search the excited states	International Conference on Solid State Devices and Materials 2022（SSDM 2022）	2022.9

１７９	稲葉 工、浅井栄大、服部 淳一、福田 浩一、岡 博史、森 貴洋	産業技術総合研究所	Ａｎｏｍａｌｏｕｓ Ｔｈｒｅｓｈｏｌｄ Ｖｏｌｔａｇｅ Ｉｎｃｒｅａｓｅ ｄｕｅ ｔｏ ｔｈｅ Ｄｅｐｌｅｔｉｏｎ ｏｆ Ｅｘｔｅｎｓｉｏｎ Ｅｄｇｅｓ ｉｎ Ｃｒｙｏｇｅｎｉｃ ＭＯＳＦＥＴｓ	２０２２ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｅｖｉｃｅｓ ａｎｄ Ｍａｔｅｒｉａｌｓ	2022.9
１８０	Ｋ．Ｓｕｍｉｔａ，Ｍ－Ｓ．Ｋａｎｇ，Ｋ．Ｔｏｐｒａｓｅｒｔｐｏｎｇ，Ｍ．Ｔａｋｅｎａｋａ，Ｓ．Ｔａｋａｇｉ	東京大学	Ｅｌｅｃｔｒｏｎ ｍｏｂｉｌｉｔｙ ｏｆ Ｓｉ ｎＭＯＳＦＥＴｓ ｉｎ ａ ｎｏｎｌｉｎｅａｒ ｍｏｄｅｌ ｏｆ ｓｕｒｆａｃｅ ｒｏｕｇｈｎｅｓｓ ｓｃａｔｔｅｒｉｎｇ ａｔ ｃｒｙｏｇｅｎｉｃ ｔｅｍｐｅｒａｔｕｒｅ	２０２２ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｅｖｉｃｅｓ ａｎｄ Ｍａｔｅｒｉａｌｓ	2022.9
１８１	福田浩一、岡博史、服部淳一、浅井栄大、飯塚将太、太田裕之、森貴洋	産業技術総合研究所	ＭＯＳ界面電荷クーロン遮蔽のシミュレーション	第８３回応用物理学会秋季学術講演会	2022.9
１８２	Ｙｏｓｈｉｒｏ Ｕｒａｄｅ，Ｋｕｎｉｈｉｒｏ Ｉｎｏｍａｔａ，Ｋａｙ Ｙａｋｕｓｈｉｊｉ，Ｍａｎａｂｕ Ｔｓｕｊｉｍｏｔｏ，Ｔａｋａｈｉｒｏ Ｙａｍａｄａ，Ｗａｔａｒｕ Ｍｉｚｕｂａｙａｓｈｉ	産業技術総合研究所	Ｒｅｄｕｃｉｎｇ Ｍｉｃｒｏｗａｖｅ Ｄｉｅｌｅｃｔｒｉｃ Ｌｏｓｓｅｓ ｏｆ Ｎｉｏｂｉｕｍ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ Ｒｅｓｏｎａｔｏｒｓ ｂｙ ａ Ｔａｎｔａｌｕｍ Ｃａｐ Ｌａｙｅｒ	５４ｔｈ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｅｖｉｃｅｓ ａｎｄ Ｍａｔｅｒｉａｌｓ （ＳＳＤＭ）	2022.9
１８３	Ｅ．Ｐｅｒｅｚ，Ｔ．Ｔ．Ｏｒｖａñａｎｏｓ－Ｇｕｅｒｒｅｒｏ，Ｔ．Ｔａｎａｍｏｔｏ	帝京大学	ＳＰＩＣＥ ｃｏｍｐａｃｔ ｍｏｄｅｌ ｏｆ ｓｐｉｎ ｑｕｂｉｔｓ ｕｓｉｎｇ ＦｉｎＦＥＴ ｆｏｃｕｓｉｎｇ ｏｎ ｓｉｎｇｌｅ－ｅｌｅｃｔｒｏｎ ｔｕｎｎｅｌｉｎｇ	２０２２ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｅｖｉｃｅｓ ａｎｄ Ｍａｔｅｒｉａｌｓ	2022.9
１８４	Ｋ．Ｍａｔｓｕｍｏｔｏ，Ａ．Ｙａｍａｇｕｃｈｉ，Ｔ．Ｙａｍａｍｏｔｏ，Ｓ．Ｋａｗａｂａｔａ，Ｙ．Ｍａｔｓｕｚａｋｉ	産総研、ＮＥＣ、東京理科大	Ｓｐｅｃｔｒｏｓｃｏｐｉｃ ｅｓｔｉｍａｔｉｏｎ ｏｆ ｔｈｅ ｐｈｏｔｏｎ ｎｕｍｂｅｒ ｆｏｒ ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ Ｋｅｒｒ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ	Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｅｖｉｃｅｓ ａｎｄ Ｍａｔｅｒｉａｌｓ ２０２２ （ＳＳＤＭ２０２２）	2022.9
１８５	Ｍ－Ｓ．Ｋａｎｇ，Ｋ．Ｓｕｍｉｔａ，Ｈ．Ｏｋａ，Ｔ．Ｍｏｒｉ，Ｋ．Ｔｏｐｒａｓｅｒｔｐｏｎｇ，Ｍ．Ｔａｋｅｎａｋａ，Ｓ．Ｔａｋａｇｉ	東京大学・産業技術総合研究所	Ｓｕｂｓｔｒａｔｅ Ｉｍｐｕｒｉｔｙ Ｃｏｎｃｅｎｔｒａｔｉｏｎ Ｄｅｐｅｎｄｅｎｃｅ ｏｆ Ｓｕｂ－ｔｈｒｅｓｈｏｌｄ Ｓｗｉｎｇ ｏｆ Ｓｉｎ－Ｃｈａｎｎｅｌ ＭＯＳＦＥＴｓ ａｔ Ｃｒｙｏｇｅｎｉｃ Ｔｅｍｐｅａｒｔｕｒｅｓ ｄｏｗｎ ｔｏ ４Ｋ	２０２２ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｅｖｉｃｅｓ ａｎｄ Ｍａｔｅｒｉａｌｓ	2022.9
１８６	Ｋ．Ｔａｋｅｕｃｈｉ，Ｔ．Ｍｉｚｕｔａｎｉ，Ｔ．Ｓａｒ	東京大学・産業技術総合研究所	Ｔｅｍｐｅｒａｔｕｒｅ Ｄｅｐｅｎｄｅｎｃｅ ｏｆ ＭＯＳＦＥＴ Ｓｅｒｉｅｓ Ｒｅｓｉｓｔａｎｃｅ ｆｒｏｍ ３	２０２２ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ｓｏｌｉｄ Ｓｔ	2022.9

	aya, H. Oka, T. Mori, M. Kobayashi, T. Hiramoto		００ K to 4 K	ate Devices and Materials	
１８７	井元隆史，関優也，松崎雄一郎	産総研、慶應大	スピンロックを用いた量子アニーリングによるＸＸＺ模型の基底状態探索	２０２２年日本物理学会秋季大会	2022.9
１８８	箱嶋秀昭，遠藤傑，　山本薫，松崎雄一郎，吉岡信行	阪大、ＮＴＴ、産総研、東大	仮想蒸留法の局所化による測定コストの削減	２０２２年日本物理学会秋季大会	2022.9
１８９	吉津遼平、隅田圭、トープラサートポン・カシディット、竹中充、高木信一	東京大学	低温下でのＣ－Ｖ測定によるＩｎＡｓ　ＭＯＳ界面の界面準位密度の評価	第８３回応用物理学会秋季学術講演会	2022.9
１９０	辻本学、高島浩、吉田良行、古瀬充穂、浦出芳郎、山田隆宏、猪股邦宏、水林亘	産業技術総合研究所	基板加熱スパッタによるＮｂ３Ａｌ薄膜の作製と超伝導特性の評価	第８３回応用物理学会秋季学術講演会	2022.9
１９１	早坂太志、井元隆史、松崎雄一郎、川畑史郎	産総研	指数関数的に縮退した励起状態をもつ系の量子アニーリング	ＱＥｄサマースクール	2022.9
１９２	岡博史、稲葉工、飯塚将太、浅井栄大、福田浩一、加藤公彦、森貴洋	産業技術総合研究所	極低温動作ＭＯＳＦ　ＥＴにおける電子移動度の面方位依存性	第８３回応用物理学会秋季学術講演会	2022.9
１９３	隅田圭、姜旼秀、トープラサートポン・カシディット、竹中充、高木信一	東京大学	表面ラフネス散乱の非線形モデルにより決定されたＳｉ ｎ ＭＯＳＦＥＴの電子移動度の極低温下での妥当性	第８３回応用物理学会秋季学術講演会	2022.9
１９４	森雄一朗，　川畑史郎，　松崎雄一郎	産総研	量子アニーリングにおける断熱性の実験的判定法の提案	２０２２年日本物理学会秋季大会	2022.9
１９５	川畑史郎	産総研	量子コンピュータ：過去、現在、そして未来へ	ＳＳ研ＨＰＣフォーラム２０２２	2022.9
１９６	松崎　雄一郎	産総研	量子アニーリング及び関連技術の基礎から ら社会実装まで	量子アニーリング及び関連技術の基礎から社 会実装まで	2023.2
１９７	川畑史郎	産総研	量子未来社会のための量子コンピュータ技術：基礎から最先端まで	第２８回電子デバイス界面テクノロジー研究会	2023.2
１９８	森　貴之，杉井辰吉，　李　龍聖，　岡　博史，　森　貴洋，　井田　次郎	金沢工業大学・産業技術総合研究所	２００　ｎｍ　ＳＯＩ　ＭＯＳＦＥＴの極低温下における基板バイアス効果及び履歴現象	第７０回応用物理学会春季学術講演会	2023.3
１９９	H. Hayasaka, T. Imoto, Y. Matsuzaki, S. Kawabata	産総研	Adiabatic condition for quantum anneal ing revisited	APS March Meeting 2023	2023.3

200	Tomohiro Yamaji, Shumpei Masuda, Aiko Yamaguchi, Tetsuro Satoh, Ayuka Morioka, Yuichi Igarashi, Masayuki Shirane, Tsuyoshi Yamamoto	NEC、産総研	Correlated parametric oscillations of capacitively－coupled Josephson parametric oscillator	APS March meeting 2023	2023.3
201	増田 俊平、金尾太郎、後藤隼人、松崎 雄一郎、石川 豊史、川畑 史郎	産総研、東芝	Fast tunable coupling scheme of Kerr parametric oscillators using shortcuts to adiabaticity	APS March meeting 2023	2023.3
202	Y. Mori, S. Kawabata, Y. Matsuzaki	産総研	How to experimentally evaluate the adiabatic condition for quantum annealing	APS March Meeting 2023	2023.3
203	青木隆明、金尾太郎、 後藤隼人、川畑史郎、増田俊平	産総研、東芝	Ｋｅｒｒ猫量子ビットに作用する、可変結合器を用いたＺＺゲート	日本物理学会 第７８回年次大会	2023.3
204	浦出芳郎，薬師寺 啓，辻本学， 山田 隆宏，牧瀬圭正，水林亘，猪股邦宏	産業技術総合研究所	Ｎｂバッファ層を用いた超伝導Ｔａ膜のマイクロ波特性評価	第７０回応用物理学会春季学術講演会	2023.3
205	Y. Shingu, Y. Matsuzaki, S. Kawabata, T. Nikunii	産総研、東京理科大	Quantum annealing with error mitigation	APS March Meeting 2023	2023.3
206	Manabu Tsujimoto, Hiroshi Takashima, Yoshiyuki Yoshida, Mitsuho Furuse, Yoshiro Urade, Takahiro Yamada, Kunihiro	産業技術総合研究所	Room temperature growth of niobium titanium alloy thin films on sapphire substrates for low loss superconducting quantum devices	APS March meeting 2023	2023.3

	Inomata, Wataru Mizubayashi				
207	K. Matsumoto, A. Yamaguchi, T. Yamamoto, S. Kawabata, Y. Matsuzaki	産総研、NEC、東京理科大	Spectroscopic method od for measuring the number of photo ns in superconducting Kerr parametric oscillators	APS March Meeting 2023	2023.3
208	藤野真久、荒賀佑樹、仲川博、菊地克弥、宮田登	産業技術総合研究所	偏極中性子反射率法による Nb 接合界面の解析	エレクトロニクス実装学会 春季講演大会	2023.3
209	鈴木雄太、川畑史郎 、増田俊平	東京理科大、産総研	反射測定を使ったK err parametric oscillatorのトモグラフィ	日本物理学会 第７８回年次大会	2023.3
210	石川 豊史、猪股邦宏	産業技術総合研究所	超伝導量子回路を評価するためのパルスシステムの構築	第７０回応用物理学会春季学術講演会	2023.3
211	山田隆宏、浦出芳郎、石川豊史、辻本 学、藤井剛、永澤秀一、水林亘、猪股 邦宏	産業技術総合研究所	進行波型ジョセフソンパラメトリック増幅器による超伝導量子ビットの単一試行読み出し測定	第７０回応用物理学会春季学術講演会	2023.3
212	川畑史郎	産総研	量子コンピュータ・量子アニーリングマシンの最先端と物性研究への展開	第７０回応用物理学会春季学術講演会	2023.3
213	川畑史郎	産総研	量子コンピュータ超入門：基礎から最先端まで	大阪科学技術センター第５３回技術開発委員 会	2023.3
214	河原林 健一	国立情報学研究所	古典アルゴリズムとの比較：数理的な正当性と近似アルゴリズム	２０２４年 電子情報通信学会 総合大会	2024.3
215	山岡 雅直、小川純、水野 弘之	株式会社日立製作所	量子コンピューターに対する日立の取り組み	日本アクチュアリー会ＩＴ研究会グループ	2023.10
216	山岡 雅直	株式会社日立製作所	量子インスパイアドCMOSアニーリング技術の概要	２０２３年度日立・鉄道総研・日本工営グループ技術士会合同シンポジウム	2023.11
217	山岡 雅直	株式会社日立製作所	CMOSアニーリングマシンの最新開発状況	ＩＰＡ 量子コンピューティング技術講座 第２回	2023.12
218	山岡 雅直	株式会社日立製作所	現在の研究	京大情報学研究科 研究紹介	2023.12
219	山岡 雅直	株式会社日立製作所	量子インスパイアドCMOSアニーリング技術の概要	日立Astemo 技術士会	2023.12
220	Masanao Yamaoka	Hitachi, Ltd	industrial research on Ising machines for combinatorial optimization: chips to systems	ＩSCAS２０２３	2023.5
221	Hiroyuki Mizuno	Hitachi, Ltd	Quantum Computing from Hype to Game Changer	２０２３ Symposium on VLSI Technology and Circuits	2023.6

２２２	Ｋａｚｕｏ Ｏｎｏ	Ｈｉｔａｃｈｉ，Ｌｔｄ	Ｒｅｓｅａｒｃｈ ｏｎ Ｉｓｉｎｇ Ｍａｃｈｉｎｅｓ ｆｏｒ Ｃｏｍｂｉｎａｔｏｒｉａｌ Ｏｐｔｉｍｉｚａｔｉｏｎ Ｃｈｉｐｓ ｔｏ Ｓｙｓｔｅｍｓ	ＩＴＣ－ＣＳＣＣ ２０２３	2023.6
２２３	Ｋａｈｏ Ｔａｋａｈａｓｈｉ，Ａｋｉｋｏ Ｍａｓａｋｉ，Ｋａｚｕｏ Ｏｎｏ，Ｔａｒｏ Ａｒａｔａｎｉ，Ｔａｋａｈｉｒｏ Ｍａｊｉｍａ	株式会社日立製作所、海上・港湾・航空技術研究所	Ｏｖｅｒｖｉｅｗ ａｎｄ Ａｐｐｌｉｃａｔｉｏｎ Ｅｘａｍｐｌｅ ｏｆ ＣＭＯＳ Ａｎｎｅａｌｉｎｇ	ＩＮＱＡ Ｓｅｍｉｎａｒ	2023.7
２２４	Ｍａｓａｎａｏ Ｙａｍａｏｋａ	Ｈｉｔａｃｈｉ，Ｌｔｄ	Ｏｕｔｌｉｎｅ ａｎｄ ｐｒｅｓｅｎｔ ｄｅｖｅｌｏｐｍｅｎｔ ｓｔａｔｕｓ ｏｆ ＣＭＯＳ ａｎｎｅａｌｉｎｇ ｉｎ Ｒｅｃｅｎｔ ａｄｖａｎｃｅｓ ｉｎ ｔｈｅｏｒｙ ａｎｄ ａｐｐｌｉｃａｔｉｏｎ ｏｆ ｑｕａｎｔｕｍ ｃｏｍｐｕｔｉｎｇ ｔｅｃｈｎｏｌｏｇｙ	ＩＣＩＡＭ２０２３	2023.8
２２５	山岡　雅直	株式会社日立製作所	日立の量子コンピュータ関連技術	返仁会サロン（日立グループ内学術イベント）	2023.8
２２６	山岡雅直	株式会社日立製作所	ＣＭＯＳアニーリングの技術と概要	２０２３年　電子情報通信学会ソサイエティ大会	2023.9
２２７	Ｍａｓａｎａｏ Ｙａｍａｏｋａ	Ｈｉｔａｃｈｉ，Ｌｔｄ	Ｏｖｅｒｖｉｅｗ ｏｆ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ Ｒｅｌａｔｅｄ Ｔｅｃｈｎｏｌｏｇｉｅｓ ｉｎ Ｈｉｔａｃｈｉ	Ｑ２ＢＴｏｋｙｏ ２０２３	2023.9
２２８	戸丸　辰也	株式会社日立製作所	Ｑｕａｎｔｕｍ ｉｎｆｏｒｍａｔｉｏｎ－ｒｅｌａｔｅｄ ｔｏｐｉｃｓ ｉｎ Ｈｉｔａｃｈｉ	東京大学における講義	2023.9
２２９	小埜　和夫	株式会社日立製作所	社会課題の解決に向けたＣＭＯＳアニーリングの開発とその活用	ＩＲＦＩ量子コンピューティング研究拠点　量子アニーリング関連技術の基礎から社会実装まで	2024.2
２３０	小埜　和夫	株式会社日立製作所	ＣＭＯＳアニーリングの開発とその社会実装	ＭＣＰＣ　第８回量子コンピュータ推進セミナー～拡大する量子コンピューティングの活用フィールド～	2024.3
２３１	Ｍａｓａｎａｏ Ｙａｍａｏｋａ	Ｈｉｔａｃｈｉ，Ｌｔｄ	Ｏｕｔｌｉｎｅ ｏｆ Ｑｕａｎｔｕｍ Ｉｎｓｐｉｒｅｄ Ａｎｎｅａｌｉｎｇ Ｔｅｃｈｎｏｌｏｇｙ	電子情報通信学会総合大会　広島　２０２４	2024.3
２３２	Ｓ．Ｓａｓａｋｉ，Ｎ．Ｔａｋｅｕｃｈｉ，Ｙ．Ｙａｍａｎａｓｈｉ，Ｎ．Ｙｏｓｈｉｋａｗａ	横浜国立大学	Ａｍｐｌｉｔｕｄｅ－ｃｏｎｔｒｏｌｌａｂｌｅ ｍｉｃｒｏｗａｖｅ ｇｅｎｅｒａｔｏｒ ｆｏｒ ｑｕｂｉｔ ｃｏｎｔｒｏｌ ｗｉｔｈ ｌｏｗ－Ｊｃ ｐｒｏｃｅｓｓ	Ｔｈｅ １６ｔｈ Ｅｕｒｏｐｅａｎ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ａｐｐｌｉｅｄ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｖｉｔｙ （ＥＵＣＡＳ ２０２３）	2023.9
２３３	蝶野弘臣，　金尾太郎，　後藤隼人	株式会社東芝	カーパラメトリック発振器に対するＣｏｎｄｉｔｉｏｎａｌ ｄｒｉｖｉｎｇゲートの高性能化	日本物理学会第７８回年次大会	2023.9
２３４	Ｊ．Ｓ．Ｔｓａｉ	ＲＩＫＥＮ	Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ ｑｕｂｉｔ ａｎｄ ｑｕａｎｔｕｍ ｃｏｍｐｕｔｅｒ	Ｔｈｅ １０ｔｈ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｐｅｔｒａ Ｓｃｈｏｏ	2023.10

				l of Physics (PSP10), Jordan	
235	J. S. Tsai	RIKEN	Direct observation and manipulation of quantum interference in a superconducting Kerr parametric oscillator	INQA 2023 - International Network Quantum Annealing Conference, Austria	2023.11
236	J. S. Tsai	RIKEN	Direct observation and manipulation of quantum interference in a superconducting Kerr parametric oscillator	Invited seminar at University of Innsbruck, Austria	2023.11
237	J. S. Tsai	RIKEN	Superconducting qubit and quantum computer	Invited seminar at European Center for Quantum Science (CESQ), France	2023.11
238	J. S. Tsai	RIKEN	Superconducting Quantum Circuit	Invited Seminar at TSMC R&D Center, Taiwan	2023.5
239	J. S. Tsai	RIKEN	Superconducting Quantum Circuit	Invited lecture at National Yang Ming Chiao Tung University, Taiwan	2023.6
240	J. S. Tsai	RIKEN	Superconducting qubit and quantum computer	Invited seminar at Shanghai Institute of Microsystem and Incormation Technology, China	2023.7
241	H. Mukai	RIKEN	量子コンピュータ用超伝導量子回路の概要と設計	CadenceLIVE Japan, Yokohama	2023.7
242	T. Nagase, D. Hoshi, S. Kwon, S. Watabe, F. Yoshihara, J. S. Tsai	RIKEN	Experimental gate operation of entangled cat states in two Kerr parametric oscillators	2024 APS March Meeting	2024.3
243	D. Hoshi, T. Nagase, S. Kwon, S. Watabe, F. Yosh	RIKEN	Generation of an entangled−cat state from a Bell state in two−interacting Ke	2024 APS March Meeting	2024.3

	ｉｈａｒａ，Ｊ．Ｓ．Ｔｓａｉ		ｒｒ Ｐａｒａｍｅｔｒｉｃ Ｏｓｃｉｌｌａｔｏｒｓ		
２４４	山本剛	日本電気株式会社	Ｑｕａｎｔｕｍ Ａｎｎｅａｌｅｒ ｂａｓｅｄ ｏｎ Ｋｅｒｒ Ｐａｒａｍｅｔｒｉｃ Ｏｓｃｉｌｌａｔｏｒｓ	１ｓｔ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｗｏｒｋｓｈｏｐ ｏｎ Ｑｕａｎｔｕｍ Ｉｎｆｏｒｍａｔｉｏｎ Ｅｎｇｉｎｅｅｒｉｎｇ （ＱＩＥ２０２３）	2023.10
２４５	矢田部彰宏	日本電気株式会社	整数型を使ったイジングモデル・ＱＵＢＯのデータ容量の削減	第１０回量子ソフトウェア研究発表会 （予稿あり）	2023.10
２４６	五十嵐悠一	日本電気株式会社	超伝導量子回路の集積化技術	日本学術振興会 Ｒ０２５ 先進薄膜界面機能創成委員会 第１６回研究会	2023.10
２４７	南里豪志	九州大学	Ａ Ｗｏｒｋｆｌｏｗ Ｔｏｏｌ：ＨＰＣ－Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ－ＡＩ	国際会議 ＳＣ２３	2023.11
２４８	山道智博、増田俊平、山口愛子、佐藤哲朗、森岡あゆ香、五十嵐悠一、白根昌之、山本剛	日本電気株式会社、産業技術総合研究所	Ｃｏｒｒｅｌａｔｅｄ ｏｓｃｉｌｌａｔｉｏｎｓ ｉｎ Ｋｅｒｒ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ ｗｉｔｈ ｔｕｎａｂｌｅ ｅｆｆｅｃｔｉｖｅ ｃｏｕｐｌｉｎｇ	Ｑｕａｎｔｕｍ Ｉｎｎｏｖａｔｉｏｎ ２０２３	2023.11
２４９	宮崎涼二	日本電気株式会社	Ｆｏｕｒ－ｂｏｄｙ ｉｎｔｅｒａｃｔｉｏｎ ｏｆ Ｊｏｓｅｐｈｓｏｎ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ ｆｏｒ ｑｕａｎｔｕｍ ｃｏｍｐｕｔａｔｉｏｎ	Ｑｕａｎｔｕｍ Ｉｎｎｏｖａｔｉｏｎ ２０２３	2023.11
２５０	白根昌之	日本電気株式会社	ＮＥＣ’ｓ Ａｃｔｉｖｉｔｉｅｓ ｉｎ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ Ｔｅｃｈｎｏｌｏｇｙ	２１ｓｔ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｓｙｍｐｏｓｉｕｍ ｏｎ Ａｐｐｌｉｅｄ Ｅｌｅｃｔｒｏｍａｇｎｅｔｉｃｓ ａｎｄ Ｍｅｃｈａｎｉｃｓ	2023.11
２５１	白根昌之	日本電気株式会社	ＮＥＣにおける量子コンピューティング研究開発	産総研 量子・ＡＩ融合技術ビジネス開発グローバル研究センター（Ｇ－ＱｕＡＴ）オープニングシンポジウム	2023.11
２５２	宮崎涼二	日本電気株式会社	Ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ ｗｉｔｈ Ｋｅｒｒ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ，Ｊｏｓｅｐｈｓｏｎ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ，ａｎｄ ｔｈｅ Ｌｅｃｈｎｅｒ－Ｈａｕｋｅ－Ｚｏｌｌｅｒ ｓｃｈｅｍｅ	Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｎｅｔｗｏｒｋ ｏｎ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ Ｃｏｎｆｅｒｅｎｃｅ ２０２３	2023.11
２５３	菊池克	日本電気株式会社	超伝導量子アニーリング素子とその実装構造の研究開発	サーキットネットワーク	2023.11
２５４	宮崎 涼二	日本電気株式会社	Ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ ｗｉｔｈ Ｊｏｓｅｐｈｓｏｎ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ	Ｓｙｍｐｏｓｉｕｍ ｏｎ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ ｗｉｔｈ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ Ｑｕｂｉｔｓ （ＳＱＣＳＱ）２０２３	2023.12

２５５	斉藤旭晟、今井雅	弘前大学	極低温環境におけるＦＰＧＡの性能評価（仮）	ＳＥＭＩＣＯＮ Ｊａｐａｎ ２０２３（アカデミアブース、弘前大今井研）	2023.12
２５６	山本剛	日本電気株式会社	超伝導量子デバイスハードウェアの技術と課題	ＳＥＭＩＣＯＮ ＪＡＰＡＮ 量子コンピューティングフォーラム	2023.12
２５７	山本　剛	日本電気株式会社	Ｐｈｙｓｉｃｓ ａｎｄ ａｐｐｌｉｃａｔｉｏｎｓ ｏｆ Ｋｅｒｒ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ	Ｓｐｒｉｎｇ Ｓｃｈｏｏｌ ｏｎ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ Ｑｕｂｉｔ Ｔｅｃｈｎｏｌｏｇｙ	2023.4
２５８	菊池　克	日本電気株式会社	超伝導量子アニーリング素子とその実装構造の研究開発	エレクトロニクス実装学会（ＪＩＥＰ）、３Ｄ・チップレット研究会（非公開研究会）	2023.5
２５９	宮崎　涼二	日本電気株式会社	Ｅｆｆｅｃｔｉｖｅ ｓｐｉｎ ｍｏｄｅｌｓ ｏｆ Ｋｅｒｒ－ｎｏｎｌｉｎｅａｒ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ ｆｏｒ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ	Ａｄｉａｂａｔｉｃ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ ２０２３	2023.6
２６０	須佐　友紀	日本電気株式会社	Ｎｏｎｓｔｏｑｕａｓｔｉｃ ｃａｔａｌｙｓｔ ｆｏｒ ｂｉｆｕｒｃａｔｉｏｎ－ｂａｓｅｄ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ ｏｆ ｐ－ｓｐｉｎ ｍｏｄｅｌ	Ａｄｉａｂａｔｉｃ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ ２０２３	2023.6
２６１	山本　剛	日本電気株式会社	Ｑｕａｎｔｕｍ Ａｎｎｅａｌｅｒ ｂａｓｅｄ ｏｎ Ｋｅｒｒ Ｐａｒａｍｅｔｒｉｃ Ｏｓｃｉｌｌａｔｏｒｓ	Ａｄｉａｂａｔｉｃ Ｑｕａｎｔｕｍ Ｃｏｍｐｕｔｉｎｇ ２０２３	2023.6
２６２	加納勇也，山道智博，山口愛子，川上洋平，佐藤哲朗，森岡あゆ香，遠藤清隆，浦出芳郎，増田俊平，五十嵐悠一，白根昌之，中村泰信，山本剛	日本電気株式会社	ジョセフソンパラメトリック発振器の周波数多重読み出し手法の開発	日本物理学会第７８回年次大会	2023.9
２６３	山口愛子，増田俊平，松崎雄一郎，山道智博，佐藤哲朗，森岡あゆ香，川上洋平，五十嵐悠一，白根昌之，山本剛	日本電気株式会社	パラメトリック励振されたジョセフソンパラメトリック発振器の分光評価２	日本物理学会第７８回年次大会	2023.9
２６４	白根　昌之，千嶋博	日本電気株式会社	量子コンピューティングの社会実装とHW開発	応用物理学会（シンポジウム：量子技術の最前線と社会実装の潮流）	2023.9
２６５	宮崎　涼二、山口愛子、山本　剛	日本電気株式会社	ＬＨＺ方式量子アニーリングのための超伝導量子回路の理論	第２回量子アニーリング及び関連技術に関する研究会	2024.2
２６６	五十嵐　悠一	日本電気株式会社	超伝導パラメトリック発振器を用いた量子アニーリングマシン	第２回量子アニーリング及び関連技術に関する研究会	2024.2
２６７	斉藤旭晟、今井雅	弘前大学	Ｅｖａｌｕａｔｉｏｎ ｏｆ ＦＰＧＡ Ｐｅｒｆｏｒｍａｎｃｅ ｉｎ ａ Ｃｒｙｏｇｅｎｉｃ Ｅｎｖｉｒｏｎｍｅｎｔ	ＳＡＳＩＭＩ２０２４	2024.3

２６８	川上洋平、宮崎涼二、山口愛子、山道智博、加納勇也、遠藤清隆、五十嵐悠一、山本剛	日本電気株式会社	Ｋｅｒｒパラメトリック振動子系における４体相互作用	日本物理学会２０２４年春季大会	2024.3
２６９	山道智博、加納勇也、山口愛子、佐藤哲朗、森岡あゆ香、浦出芳郎、五十嵐悠一、白根昌之、中村泰信、山本剛	日本電気株式会社、産業技術総合研究所、理化学研究所	ジョセフソンパラメトリック発振器に対する位相ロックのパラメータ依存性	日本物理学会２０２４年春季大会	2024.3
２７０	下方駿佑、岡博史、稲葉工、飯塚将太、加藤公彦、森貴洋	産業技術総合研究所	Ａｄｄｉｔｉｏｎａｌ Ｈｉｇｈ－Ｐｒｅｓｓｕｒｅ Ｈｙｄｒｏｇｅｎ Ａｎｎｅａｌｉｎｇ Ｒｅｄｕｃｉｎｇ Ｌｏｗ－ｆｒｅｑｕｅｎｃｙ Ｎｏｉｓｅ ｉｎ Ｃｒｙｏｇｅｎｉｃ ＭＯＳ Ｄｅｖｉｃｅｓ	Ｓｉｌｉｃｏｎ Ｑｕａｎｔｕｍ Ｅｌｅｃｔｒｏｎｉｃｓ Ｗｏｒｋｓｈｏｐ ２０２３	2023.10
２７１	岡 博史、 下方駿佑、稲葉 工、更田 裕司、飯塚将太、加藤 公彦、浅井 栄大、森貴洋	産業技術総合研究所	Ｕｎｄｅｒｓｔａｎｄｉｎｇ ｔｈｅ Ｐｈｙｓｉｃａｌ Ｏｒｉｇｉｎ Ｌｉｍｉｔｉｎｇ ｔｈｅ Ｃｒｙｏｇｅｎｉｃ Ｐｅｒｆｏｒｍａｎｃｅ ｏｆ Ｓｉ ＭＯＳ Ｔｒａｎｓｉｓｔｏｒｓ：Ｃｒｉｔｉｃａｌ Ｒｏｌｅ ｏｆ ＭＯＳ Ｉｎｔｅｒｆａｃｅ Ｑｕａｌｉｔｙ	Ｓｉｌｉｃｏｎ Ｑｕａｎｔｕｍ Ｅｌｅｃｔｒｏｎｉｃｓ Ｗｏｒｋｓｈｏｐ ２０２３	2023.10
２７２	川畑史郎	産総研	量子未来産業創出のための量子コンピュータ入門	日本電子材料技術協会講演会	2023.10
２７３	Ｈ. Ｈａｙａｓａｋａ, Ｔ. Ｉｍｏｔｏ, Ｙ. Ｍａｔｓｕｚａｋｉ, Ｓ. Ｋａｗａｂａｔａ	産総研、中央大	Ａ ｇｅｎｅｒａｌ ｍｅｔｈｏｄ ｔｏ ｃｏｎｓｔｒｕｃｔ ｍｅａｎ ｆｉｅｌｄ ｃｏｕｎｔｅｒ ｄｉａｂａｔｉｃ ｄｒｉｖｉｎｇ ｆｏｒ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎｇ	Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｎｅｔｗｏｒｋ ｏｎ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｉｎｇ Ｃｏｎｆｅｒｅｎｃｅ ２０２３	2023.11
２７４	Ｔ. Ｙａｍａｄａ, Ｙ. Ｕｒａｄｅ, Ｔ. Ｉｓｈｉｋａｗａ, Ｍ. Ｔｓｕｊｉｍｏｔｏ, Ｇ. Ｆｕｊｉｉ, Ｓ. Ｎａｇａｓａｗａ, Ｙ. Ｎａｋａｓｈｉｍａ, Ｗ. Ｍｉｚｕｂａｙａｓｈｉ, Ｋ. Ｉｎｏｍａｔａ	産総研	Ｃｈａｒａｃｔｅｒｉｚａｔｉｏｎ ｏｆ ａ Ｊｏｓｅｐｈｓｏｎ Ｔｒａｖｅｌｉｎｇ－Ｗａｖｅ Ｐａｒａｍｅｔｒｉｃ Ａｍｐｌｉｆｉｅｒ ｗｉｔｈ ａｎ ＡｌＯｘ Ｄｉｅｌｅｃｔｒｉｃ ｆｏｒ Ｃａｐａｃｉｔｏｒｓ	１６ｔｈ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ ＳＦＱ ＶＬＳＩ Ｗｏｒｋｓｈｏｐ （ＳＳＶ ２０２３）	2023.11
２７５	小林 唯華、浅井栄大、飯塚 将太、服部淳一、池上努、福田浩一、二国徹郎（東京理科大学）、森貴洋	産業技術総合研究所、東京理科大学	Ｃｏｎｄｉｔｉｏｎ ｔｏ ｏｖｅｒｅｓｔｉｍａｔｅ ＤＩＢＬ ｐａｒａｍｅｔｅｒ ｉｎ ｃｒｙｏｇｅｎｉｃ ｏｐｅｒａｔｉｏｎ ｏｆ ＭＯＳＦＥＴｓ	Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｍｉｃｒｏｐｒｏｃｅｓｓｅｓ ａｎｄ Ｎａｎｏｔｅｃｈｎｏｌｏｇｙ Ｃｏｎｆｅｒｅｎｃｅ ２０２３	2023.11
２７６	山道 智博、増田俊平、山口 愛子、佐藤 哲朗、森岡 あゆ香、五十嵐 悠一、白根昌之、山本 剛	ＮＥＣ、産総研	Ｃｏｒｒｅｌａｔｅｄ ｏｓｃｉｌｌａｔｉｏｎｓ ｉｎ Ｋｅｒｒ ｐａｒａｍｅｔｒｉｃ ｏｓｃｉｌｌａｔｏｒｓ ｗｉｔｈ ｔｕｎａｂｌｅ ｅｆｆｅｃｔｉｖｅ ｃｏｕｐｌｉｎｇ	Ｑｕａｎｔｕｍ Ｉｎｎｏｖａｔｉｏｎ ２０２３	2023.11

２７７	T. Imoto	産総研	Excited states in the quantum annealing	International Network on Quantum Annealing Conference 2023	2023.11
２７８	Y. Shingu, T. Nikuni, S. Kawabata, Y. Matsuzaki	産総研、中央大、東京理科大	Quantum annealing with error mitigation	International Network on Quantum Annealing Conference 2023	2023.11
２７９	N. Takeuchi	産総研	Superconductor Digital Circuits: Recent Progress and Quantum Applications	International Network on Quantum Annealing 2023 （INQA 2023）	2023.11
２８０	稲葉工、岡博史、浅井 栄大、更田裕司、飯塚 将太、加藤公彦、下方駿佑、福田浩一、森貴洋	産業技術総合研究所	極低温におけるMOSFETのノイズ源	電子情報通信学会 シリコン材料・デバイス研究会 （SDM） １１月研究会	2023.11
２８１	川畑史郎	産総研	量子未来産業創出のための量子コンピュータ技術：基礎から最先端まで	NPF特別セミナー～量子コンピュータの実現に向けて～	2023.11
２８２	李龍聖, 森貴之, 岡博史, 森貴洋, 井田 次郎	金沢工業大学・産業技術総合研究所	２００nmSOI極低温評価状況	SOIPIX量子イメージセンサ研究会	2023.12
２８３	Tamio Onuma, Toyofumi Ishikawa, Kunihiro Inomata, Shumpei Masuda, Shiro Kawabata, Tetsufumi Tanamoto	帝京大学・産業技術総合研究所	Classical circuit simulations of superconducting quantum computer using conventional SPICE	Quantum Innovation 2023	2023.12
２８４	岡 博史、 浅井栄大、稲葉 工、下方 駿佑、由井 斉、更田 裕司、飯塚 将太、加藤公彦、中山 隆史、森 貴洋	産業技術総合研究所	Milli−Kelvin Analysis Revealing the Role of Band−edge States in Cryogenic MOSFETs	２０２３ IEEE International Electron Devices Meeting （IEDM）	2023.12
２８５	神宮裕汰、二国徹郎、川畑史郎、松崎雄一郎 二国 徹郎	産総研、中央大、東京理科大	Quantum annealing with error mitigation	The 49th Quantum Information Technology Symposium	2023.12
２８６	川畑史郎	産総研	量子未来産業創出のための量子コンピュータ技術：ハードウェアの最新研究開発動向	日本物理学会大阪支部２０２３年度公開シンポジウム「物理と情報の融合：量子コンピュータって何だろう？」	2023.12

２８７	岡　博史	産業技術総合研究所	Ｃｒｙｏ－ＣＭＯＳデバイス技術	応用物理学会　半導体の結晶成長と加工および評価に関する産学連携委員会	2023.6
２８８	Ｔａｋｕｍｉ Ｉｎａｂａ，Ｈｉｒｏｓｈｉ Ｏｋａ，Ｈｉｄｅｈｉｒｏ Ａｓａｉ，Ｈｉｒｏｓｈｉ Ｆｕｋｅｔａ，Ｓｈｏｔａ Ｉｉｚｕｋａ，Ｋｉｍｉｈｉｋｏ Ｋａｔｏ，Ｓｈｕｎｓｕｋｅ Ｓｈｉｔａｋａｔａ，Ｋｏｕｉｃｈｉ Ｆｕｋｕｄａ，Ｔａｋａｈｉｒｏ Ｍｏｒｉ	産業技術総合研究所	Ｄｅｔｅｒｍｉｎｉｎｇ ｔｈｅ ｌｏｗ－ｆｒｅｑｕｅｎｃｙ ｎｏｉｓｅ ｓｏｕｒｃｅ ｉｎ ｃｒｙｏｇｅｎｉｃ ｏｐｅｒａｔｉｏｎ ｏｆ ｓｈｏｒｔ－ｃｈａｎｎｅｌ ｂｕｌｋ ＭＯＳＦＥＴｓ	２０２３ ＩＥＥＥ Ｓｙｍｐｏｓｉｕｍ ｏｎ ＶＬＳＩ Ｔｅｃｈｎｏｌｏｇｙ ＆ Ｃｉｒｃｕｉｔｓ	2023.6
２８９	Ｋ．Ｔａｋｅｕｃｈｉ，Ｍ．Ｋｏｂａｙａｓｈｉ，ａｎｄ Ｔ．Ｈｉｒａｍｏｔｏ	東京大学	Ｅｆｆｅｃｔｓ ｏｆ Ｑｕａｎｔｕｍ Ｃｏｎｆｉｎｅｍｅｎｔ ｏｎ Ｃｈａｒｇｅ－Ｂａｓｅｄ Ｔｈｒｅｓｈｏｌｄ Ｖｏｌｔａｇｅ Ｄｅｆｉｎｉｔｉｏｎ	Ｓｉｌｉｃｏｎ Ｎａｎｏｅｌｅｃｔｒｏｎｉｃｓ Ｗｏｒｋｓｈｏｐ ２０２３	2023.6
２９０	Ｓ．Ｋａｗａｂａｔａ	産総研	Ｅｎｇｉｎｅｅｒｉｎｇ ｆｏｒ Ｌａｒｇｅ－Ｓｃａｌｅ Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ Ｑｕａｎｔｕｍ Ａｎｎｅａｌｅｒｓ	２０２３ Ｓｙｍｐｏｓｉｕｍ ｏｎ ＶＬＳＩ Ｔｅｃｈｎｏｌｏｇｙ ａｎｄ Ｃｉｒｃｕｉｔｓ	2023.6
２９１	岡　博史、稲葉　工、飯塚　将太、浅井　栄大、加藤　公彦、森　貴洋	産業技術総合研究所	極低温動作ＭＯＳＦＥＴのクーロン散乱移動度に対するバンド端準位の影響	電子情報通信学会　シリコン材料・デバイス（ＳＤＭ）６月研究会	2023.6
２９２	川畑史郎	産総研	量子コンピュータのための量子デバイス・周辺技術：動向と展望	Ｑ－ＳＴＡＲ第２回量子ＭＤＳ部会	2023.6
２９３	下方駿佑、岡博史、稲葉工、飯塚将太、加藤公彦、森貴洋	産業技術総合研究所	Ａｄｄｉｔｉｏｎａｌ Ｈｉｇｈ－Ｐｒｅｓｓｕｒｅ Ｈｙｄｒｏｇｅｎ Ａｎｎｅａｌｉｎｇ Ｉｍｐｒｏｖｉｎｇ ｔｈｅ Ｃｒｙｏｇｅｎｉｃ Ｏｐｅｒａｔｉｏｎ ｏｆ Ｓｉ（１１０）－ｏｒｉｅｎｔｅｄ ｎ－ＭＯＳＦＥＴｓ	２０２３ Ａｓｉａ－Ｐａｃｉｆｉｃ Ｗｏｒｋｓｈｏｐ ｏｎ Ａｄｖａｎｃｅｄ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｄｅｖｉｃｅｓ （ＡＷＡＤ）	2023.7
２９４	Ｓ．Ｔａｋａｇｉ，Ｍ－Ｓ．Ｋａｎｇ，Ｋ．Ｔｏｐｒａｓｅｒｔｐｏｎｇ，Ｍ．Ｔａｋｅｎａｋａ，Ｈ．Ｏｋａ，Ｔ．Ｍｏｒｉ	東京大学・産業技術総合研究所	Ｑｕａｎｔｉｔａｔｉｖｅ ｕｎｄｅｒｓｔａｎｄｉｎｇ ｏｆ ｓｕｂ－ｔｈｒｅｓｈｏｌｄ ｓｗｉｎｇ ｏｆ Ｓｉ ＭＯＳＦ¥ＥＴｓ ａｔ ｃｒｙｏｇｅｎｉｃ ｔｅｍｐｅｒａｔｕｒｅｓ ｄｏｗｎ ｔｏ ４Ｋ	２３ｒｄ ＩＥＥＥ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｃｏｎｆｅｒｅｎｃｅ ｏｎ Ｎａｎｏｔｅｃｈｎｏｌｏｇｙ （ＩＥＥＥ－ＮＡＮＯ ２０２３）	2023.7
２９５	川畑史郎	産総研	量子コンピューターの最新開発動向と未来	文部科学省ドラメク研修	2023.7
２９６	Ｙ．Ｍｏｒｉ，Ｋ．Ｎａｋａｊｉ，Ｙ．Ｍａｔｓｕｚａｋｉ，	産総研、中央大、トロント大	Ｅｘｐｒｅｓｓｉｖｅ Ｑｕａｎｔｕｍ Ｓｕｐｅｒｖｉｓｅｄ Ｍａｃｈｉｎｅ Ｌｅａｒｎｉｎｇ ｕｓｉｎｇ ＫＰＯｓ	Ｓｕｐｅｒｃｏｎｄｕｃｔｉｎｇ Ｑｕｂｉｔｓ ａｎｄ Ａｌｇｏｒｉｔｈｍｓ Ｃｏｎｆｅｒｅｎｃｅ ２０２３	2023.8

	S. Kawabata				
297	Y. Urade, K. Yakushiji, M. Tsujimoto, T. Yamada, K. Makise, W. Mizubayashi, K. Inomata	産総研	Superconducting microwave resonators based on room-temperature-grown tantalum thin films	SQA conference 2023	2023.8
298	青木隆明、金尾太郎、後藤隼人、川畑 史郎、増田俊平	産総研、東芝	Tunable ZZ coupling between Kerr-cat qubits via transmon couplers	Superconducting Qubits and Algorithms (SQA) conferenc	2023.8
299	李龍聖, 森貴之, 岡博史, 森貴洋, 井田 次郎	金沢工業大学・産業技術総合研究所	クライオ200nmSOIMOSFETの基板バイアス効果および履歴現象の解析	電子情報通信学会 シリコン材料・デバイス（SDM）8月研究会	2023.8
300	稲葉工、岡博史、浅井 栄大、更田裕司、飯塚 将太、加藤公彦、下方駿佑、福田浩一、森貴洋	産業技術総合研究所	短チャネルMOSFETsの極低温動作時に発生する低周波ノイズ源の同定 （口頭、招待）	応用物理学会 シリコンテクノロジー分科会 第245回研究集会	2023.8
301	稲葉工、岡博史、浅井 栄大、更田裕司、飯塚 将太、加藤公彦、下方駿佑、福田浩一、森貴洋	産業技術総合研究所	短チャネルバルクMOSFETsの極低温動作時に生じる低周波ノイズの起源	電子情報通信学会 シリコン材料・デバイス（SDM）8月研究会	2023.8
302	下方駿佑、岡博史、稲葉工、飯塚将太、加藤公彦、森貴洋	産業技術総合研究所	高圧水素アニールによるSi（110）面n-MOSFETの極低温特性改善	電子情報通信学会 シリコン材料・デバイス（SDM）8月研究会	2023.8
303	森雄一朗、遠藤傑、川畑史郎, 松崎雄一郎	産総研、NTT	KPOを用いたエラー検出機能を持つ量子計算手法の提案	日本物理学会	2023.9
304	小林唯華、浅井栄大、飯塚将太、服部淳一、池上努、福田浩一、二国徹郎（東京理科大学）、森貴洋	産業技術総合研究所、東京理科大学	MOSFETの極低温動作におけるDIBLパラメータ過剰見積の発生条件	第84回応用物理学会秋季学術講演会	2023.9
305	神宮裕汰、二国徹郎、川畑史郎、松崎雄一郎、二国徹郎	産総研、中央大、東京理科大	エラー緩和アルゴリズムを活用した量子アニーリング	日本物理学会	2023.9
306	加納勇也、山道智博、山口愛子、川上洋平、佐藤哲朗、森岡あゆ香、遠藤清隆、浦出芳郎、増田俊平、五十嵐悠一、白根昌之、中村泰信、山本剛	NEC、産総研、東京大学、理化学研究所	ジョセフソンパラメトリック発振器の周波数多重読み出し手法の開発	日本物理学会第78回年次大会	2023.9

３０７	稲葉工、岡博史、浅井　栄大、更田裕司、飯塚　将太、加藤公彦、下方駿佑、福田浩一、森貴洋	産業技術総合研究所	バルクＭＯＳＦＥＴにおけるＲＴＮ起源の温度変化	第８４回応用物理学会秋季学術講演会	2023.9
３０８	山口愛子、増田俊平、松崎雄一郎、山道智博、川上洋平、佐藤哲朗森岡あゆ香、五十嵐悠一、白根昌之、山本剛	ＮＥＣ、産総研、中央大学	パラメトリック励振されたジョセフソンパラメトリック発振器の分光評価２	日本物理学会第７８回年次大会	2023.9
３０９	早坂太志、井元隆史、松崎　雄一郎、川畑史郎	産総研、中央大	基底状態探索における平均場近似を用いた　Ｃｏｕｎｔｅｒ－ｄｉａｂａｔｉｃ　ｄｒｉｖｉｎｇ項の一般的な構成法	日本物理学会	2023.9
３１０	棚本哲史、石川豊史、猪股　邦宏、増田俊平、大沼民生、川畑史郎	帝京大学・産業技術総合研究所	超伝導量子回路の古典ＳＰＩＣＥによるシミュレーション	第８４回応用物理学会秋季学術講演会	2023.9
３１１	下方駿佑、岡博史、稲葉工、飯塚将太、加藤公彦、森貴洋	産業技術総合研究所	追加高圧水素アニールによる（１１０）面　Ｓｉ　ｎ－ＭＯＳＦＥＴの極低温特性改善	第８４回応用物理学会秋季学術講演会	2023.9
３１２	川畑史郎	産総研	量子コンピュータと量子アニーリングマシン：基礎から最先端まで	第７回アドバンスシミュレーションセミナー２０２３	2023.9
３１３	竹内潔，小林正治，平本俊郎	東京大学	電荷密度に基づく新しきい値定義の妥当性検証	第８４回応用物理学会秋季学術講演会	2023.9
３１４	岡博史、浅井栄大、稲葉工、下方駿佑、由井斉、更田裕司、飯塚　将太、加藤公彦、中山　隆史、森貴洋	産業技術総合研究所	ｍＫ評価が明らかにするＭＯＳＦＥＴ極低温動作におけるバンド端準位の役割	応用物理学会　シリコンテクノロジー分科会　第２４７回研究集会	2024.1
３１５	川畑史郎	産総研	量子コンピュータが拓く未来：基礎から最先端まで	日本技術士会令和６年新春記念講演会	2024.1
３１６	川畑史郎	産総研	量子コンピュータの研究開発・ビジネス動向：誤り耐性汎用量子コンピュータＦＴＱＣ時代のはじまり	東大「量子ソフトウェア」寄付講座第５回量子ソフトウェア社会人講座	2024.2
３１７	浅井栄大、岡博史、稲葉工、下方駿佑、由井　斉、更田裕司、飯塚　将太、加藤公彦、中山　隆、森貴洋	産業技術総合研究所	ＭＯＳＦＥＴのミリケルビン温度帯サブスレッショルド特性の理論検討	応用物理学会第７１回春季学術講演会	2024.3
３１８	Ｙ．Ｓｈｉｎｇｕ，Ｔ．Ｎｉｋｕｎｉ，Ｓ．　Ｋａｗａｂａｔａ，Ｙ．Ｍａｔｓｕｚａｋｉ	産総研、中央大、東京理科大	Ｑｕａｎｔｕｍ　ａｎｎｅａｌｉｎｇ　ｗｉｔｈ　ｅｒｒｏｒ　ｍｉｔｉｇａｔｉｏｎ	ＡＰＳ　Ｍａｒｃｈ　Ｍｅｅｔｉｎｇ　２０２４	2024.3
３１９	鈴木雄太、山本剛、川畑史郎、増田俊平	産総研、ＮＥＣ	Ｑｕａｎｔｕｍ　ｓｔａｔｅ　ｔｏｍｏｇｒａｐｈｙ　ｆｏｒ　Ｋｅｒｒ　ｐａｒａｍｅｔｒｉｃ　ｏｓｃｉｌｌａｔｏｒｓ　ｗｉｔｈ　ｒｅｆｌｅｃｔｉｏｎ　ｍｅａｓｕｒｅｍｅｎｔ	ＡＰＳ　Ｍａｒｃｈ　ｍｅｅｔｉｎｇ　２０２４	2024.3

３２０	Y. Mori, K. Nakaji, Y. Matsuzaki, S. Kawabata	産総研、中央大、トロント大	Quantum supervised machine learning with Kerr-nonlinear oscillator	APS March Meeting ２０２４	2024.3
３２１	青木隆明、後藤隼人、金尾太郎、川畑史郎、増田俊平	産総研、東芝	Tuning the ZZ coupling between Kerr-cat qubits with transmon couplers	APS March meeting ２０２４	2024.3
３２２	石川豊史、増田俊平、猪股邦宏	産総研	分布定数回路型カーパラメトリック発振器のカー係数に関するシミュレーション	第７１回応用物理学会春季学術講演会	2024.3
３２３	山田隆宏、浦出芳郎、石川豊史、辻本学、藤井剛、永澤秀一、中島 裕貴、水林亘、猪股邦宏	産総研	積層型ＡｌＯｘキャパシタを用いた進行波型ジョセフソンパラメトリック増幅器の挿入損失評価	第７１回応用物理学会春季学術講演会	2024.3
３２４	稲葉工、千足勇介、小倉実、浅井栄大、更田裕司、岡博史、飯塚将太、加藤公彦、下方駿祐、森貴洋	産業技術総合研究所	転移学習を活用したＣｒｙｏ－ＣＭＯＳ特性予測の可能性検討	応用物理学会第７１回春季学術講演会	2024.3
３２５	川畑史郎	産総研	量子未来産業創出のための量子計算技術	早稲田大学量子技術社会実装拠点設立シンポジウム	2024.3
	岡博史、浅井栄大、稲葉工、下方駿佑、由井 斉、更田裕司、飯塚 将太、加藤公彦、中山 隆史、森貴洋	産業技術総合研究所	ｍK評価が明らかにするＭＯＳＦＥＴ極低温動作におけるバンド端準位の役割	応用物理学会 シリコンテクノロジー分科会 第２４７回研究集会	2024.1
３２６	川畑史郎	産総研	量子コンピュータが拓く未来：基礎から最先端まで	日本技術士会令和６年新春記念講演会	2024.1
３２７	川畑史郎	産総研	量子コンピュータの研究開発・ビジネス動向：誤り耐性汎用量子コンピュータＦＴＱＣ時代のはじまり	東大「量子ソフトウェア」寄付講座第５回量子ソフトウェア社会人講座	2024.2
３２８	浅井栄大、岡博史、稲葉工、下方駿佑、由井 斉、更田裕司、飯塚将太、加藤公彦、中山隆、森貴洋	産業技術総合研究所	ＭＯＳＦＥＴのミリケルビン温度帯サブスレッショルド特性の理論検討	応用物理学会第７１回春季学術講演会	2024.3
３２９	Y. Shingu, T. Nikuni, S. Kawabata, Y. Matsuzaki	産総研、中央大、東京理科大	Quantum annealing with error mitigation	APS March Meeting ２０２４	2024.3
３３０	鈴木雄太、山本剛、川畑 史郎、増田俊平	産総研、ＮＥＣ	Quantum state tomography for Kerr parametric oscillators with reflection measurement	APS March meeting ２０２４	2024.3
３３１	Y. Mori, K. Nakaji	産総研、中央大、トロント大	Quantum supervised machine lea	APS March Meeting ２０２４	2024.3

	, Y. Matsuzaki, S. Kawabata		rning with Kerr-nonlinear oscillator		
３３２	青木隆明、後藤隼人、金尾太郎、川畑史郎、増田俊平	産総研、東芝	Tuning the ZZ coupling between Kerr-cat qubits with transmon couplers	APS March meeting ２０２４	2024.3
３３３	石川豊史、増田俊平、猪股邦宏	産総研	分布定数回路型カーパラメトリック発振器のカー係数に関するシミュレーション	第７１回応用物理学会春季学術講演会	2024.3
３３４	山田隆宏、浦出芳郎、石川豊史、辻本学、藤井剛、永澤秀一、中島 裕貴、水林亘、猪股邦宏	産総研	積層型ＡｌＯｘキャパシタを用いた進行波型ジョセフソンパラメトリック増幅器の挿入損失評価	第７１回応用物理学会春季学術講演会	2024.3
３３５	稲葉工、千足勇介、小倉実、浅井栄大、更田裕司、岡博史、飯塚将太、加藤公彦、下方駿祐、森貴洋	産業技術総合研究所	転移学習を活用したＣｒｙｏ－ＣＭＯＳ特性予測の可能性検討	応用物理学会第７１回春季学術講演会	2024.3
３３６	川畑史郎	産総研	量子未来産業創出のための量子計算技術	早稲田大学量子技術社会実装拠点設立シンポジウム	2024.3

(b)新聞・雑誌等への掲載・プレス発表等

番号	発表者	所属	タイトル	雑誌名・学会名・イベント名等	発表年月
1	松田佳希	株式会社フィックスターズ	Ｆｉｘｓｔａｒｓ Ａｍｐｌｉｆｙ オンラインハンズオンイベント	ＮＥＤＯ量子統合プロジェクト主催・量子ＩＣＴフォーラム共催「Ｆｉｘｓｔａｒｓ Ａｍｐｌｉｆｙ オンラインハンズオンイベント」	2022.1
2	松田佳希	株式会社フィックスターズ	量子アニーリング・イジングマシンアプリケーション開発プラットフォーム Ｆｉｘｓｔａｒｓ Ａｍｐｌｉｆｙ Ｃｌｏｕｄ のご紹介	量子ＩＣＴフォーラム「イジングマシンソフト・アプリ関係の産学連携イベント」	2022.1
3	松田佳希	株式会社フィックスターズ	量子アニーリング・イジングマシンクラウド Ｆｉｘｓｔａｒｓ Ａｍｐｌｉｆｙ のご紹介	量子ＩＣＴフォーラム「第８回量子コンピュータ技術推進委員会」	2021.10
4	松田佳希	株式会社フィックスターズ	２０２１ 量子コンピュータによる社会課題への向き合い～物流センターへの実装事例を通して～	ＩＰＡ未踏ターゲット「量子コンピューティング技術シンポジウム」	2021
5	松田佳希	株式会社フィックスターズ	量子アニーリング・イジングマシンクラウド Ｆｉｘｓｔａｒｓ Ａｍｐｌｉｆｙ のご紹介	ＩＰＡ未踏ターゲット「量子コンピューティング技術実践講座（アニーリングマシン）」	2021
6	西森秀稔	東京工業大学	乱雑さに潜む法則を解明	日経サイエンス １２月号	2021.10
7	西森秀稔	東京工業大学	ノーベル物理学賞 乱雑さのパターン間の関係を示す	日経産業新聞	2021.11
8	西森秀稔	東京工業大学	甘利氏「スマホも３Ｄプリンターも日本の発明」 発言の真偽を検証	朝日新聞	2021.11

９	西森秀稔	東京工業大学	【紫綬褒章】「失敗にめげない」東京工業大特任教授 西森秀稔さん（６６）	産経新聞	2021.4
１０	西森秀稔	東京工業大学	春の褒章６６６人・１９団体 鶴沢燕三さん	日本経済新聞	2021.4
１１	西森秀稔	東京工業大学	春の褒章　６６６人	毎日新聞	2021.4
１２	西森秀稔	東京工業大学	春の褒章、６６６人１９団体	朝日新聞	2021.4
１３	西森秀稔	東京工業大学	春の褒章／喜びの声	日刊工業新聞	2021.4
１４	西森秀稔	東京工業大学	紫綬褒章「量子コン」基礎提唱	高知新聞	2021.4
１５	西森秀稔	東京工業大学	６６６人に春の褒章	中日新聞	2021.4
１６	西森秀稔	東京工業大学	大学発起業で地方躍進 立命館２．５倍、徳島大は４割増	日本経済新聞	2021.5
１７	西森秀稔	東京工業大学	日本的大学初J企ъ你知道多少	日経中文網	2021.5
１８	西森秀稔	東京工業大学	次世代量子技術シリーズ（1）量子コンピューティング	Ｙａｎｏ　Ｅ　Ｐｌｕｓ	2021.5
１９	西森秀稔	東京工業大学	日本勢、「疑似」型に力	日本経済新聞	2021.6
２０	西森秀稔	東京工業大学	量子コンピューター理論の源流「西森研」　新興に人材	日本経済新聞	2021.6
２１	西森秀稔	東京工業大学	量子覇権、せめぎ合う米中 グーグルは２９年に「汎用品」	日本経済新聞	2021.6
２２	西森秀稔	東京工業大学	量子計算の輪、西森研から若手主導、企業に活用促す	日経産業新聞	2021.6
２３	西森秀稔	東京工業大学	中国、米国、日本が量子コンピューターの研究開発をめぐって競争	日経中文網	2021.7
２４	西森秀稔	東京工業大学	こんなところにもイジングマシン	日経コンピュータ９月号	2021.8
２５	西森秀稔	東京工業大学	量子アニーリング、スパコンでシミュレーション不可　東工大が解明	日刊工業新聞	2021.8
２６	西森秀稔	東京工業大学	量子コンピューター　実現への半世紀	産経新聞	2021.8
２７	株式会社日立製作所	株式会社日立製作所	最適化問題を加速するＣＭＯＳアニーリング	Ｔｅｃｈｎｏｌｏｇｙ Ｃｏｍｍｕ ｎｉｔｙ（日立の顧客向けイベント）	2022.1
２８	株式会社日立製作所	株式会社日立製作所	量子コンピュータ研究 新しいコンピューティングの力を、次の社会のために	日立ホームページ内の量子コンピュータ紹介ページ	2021.10
２９	株式会社日立製作所	株式会社日立製作所	量子コンピューティングパビリオン	セミコンジャパン２０２１	2021.12
３０	株式会社日立製作所	株式会社日立製作所	組合せ最適化を加速するＣＭＯ Ｓアニーリング最大規模の１．　３Ｍｂｉｔプロトタイプ構築	日立評論	2022.1
３１	早稲田大学		量子アニーリングマシンで大規模な問題を解法するための技術を開発	ｈｔｔｐｓ：／／ｗｗｗ．ｗａｓｅ ｄａ．ｊｐ／ｔｏｐ／ｎｅｗｓ／７７７５１	2022.1
３２	山岡　雅直	株式会社日立製作所	ＣＭＯＳアニーリングチップによる疑似量子コンピュータ	光アライアンス	2022.3
３３	株式会社日立製作所	株式会社日立製作所	日立製作所研究開発グループ採用活動向け動画	ＹｏｕＴｕｂｅ	2022.3
３４	日本電気株式会社		ＮＥＣ ｄｅｖｅｌｏｐｓ ｔｈｅ ｗｏｒｌｄ’ｓ ｆｉｒｓｔ ｕｎｉｔｃｅｌｌ ｆａｃｉｌｉｔａｔｉｎｇ ｓｃａｌｉｎｇ ｕｐ ｔｏ ａ ｆｕｌｌｙ－ｃｏｎｎｅｃｔｅｄ ｑｕａｎｔｕｍ ａｎｎｅａｌｉｎ	プレスリリース	2022.3

			ｇ ａｒｃｈｉｔｅｃｔｕｒｅ		
３５	日本電気株式会社		ＮＥＣ、高精度で実用的な量子アニーリングマシンの実現に向け、多ビット化のための基本ユニット動作に世界で初めて成功	プレスリリース	2022.3
３６	豊田通商株式会社	豊田通商株式会社	量子計算及びイジング計算システムの統合型研究開発成果発表	第２回 量子コンピューティングＥＸＰＯ【春】	2022.5
３７	豊田通商株式会社	豊田通商株式会社	量子計算及びイジング計算システムの統合型研究開発成果発表	Ｑ２Ｂ ｉｎ Ｔｏｋｙｏ ２０２２	2022.7
３８	株式会社日立製作所	株式会社日立製作所	ＣＭＯＳアニーリングマシンの概要	日立ＩＲ発表	2022.11
３９	水野　弘之	株式会社日立製作所	量子コンピュータ技術に関する最新動向	航空自衛隊での勉強会	2022.6
４０	杉田　悠介	株式会社日立製作所	ＣＭＯＳアニーリングを金融取引に適用、事業部との連携で成し遂げた研究者の力	日立ホームページ内研究者インタビュー	2022.9
４１	山岡　雅直	株式会社日立製作所	８－４ 次世代コンピューター	テクノロジー・ロードマップ２０２３－２０３２自動車・エネルギー編	2023.1
４２	株式会社日立製作所	株式会社日立製作所	ＣＭＯＳアニーリングを協創に推進	日立評論２０２３年１月号	2023.1
４３	松崎　雄一郎	産総研	世界初、未知ノイズの影響を削減可能な量子センシングアルゴリズムを考案	プレス発表	2022.12
４４	飯塚将太、加藤公彦、岡博史、稲葉工、更田裕司、服部淳一、森貴洋	産業技術総合研究所	量子コンピューティングパビリオン出展	ＳＥＭＩＣＯＮ Ｊａｐａｎ	2022.12
４５	松崎　雄一郎	産総研	量子計算機のハードウェアとアルゴリズムのエラーを抑制できる手法を開発	プレス発表	2022.7
４６	松田佳希	株式会社フィックスターズ	Ｃｈｅｍｉｃａｌ Ｄｅｓｉｇｎ ｗｉｔｈ ＧＰＵ－ｂａｓｅｄ Ｉｓｉｎｇ Ｍａｃｈｉｎｅｓ	Ｄｉｇｉｔａｌ Ｄｉｓｃｏｖｅｒｙ	2023.4
４７	松田佳希	株式会社フィックスターズ	ＩＳＡＡＱ：Ｉｓｉｎｇ Ｍａｃｈｉｎｅ Ａｓｓｉｓｔｅｄ Ｑｕａｎｔｕｍ Ｃｏｍｐｉｌｅｒ	ａｒＸｉｖ	2023.5
４８	豊田通商株式会社	豊田通商株式会社	量子計算及びイジング計算システムの統合型研究開発成果発表	第３回 量子コンピューティングＥＸＰＯ【春】	2023.5
４９	豊田通商株式会社	豊田通商株式会社	量子計算及びイジング計算システムの統合型研究開発成果発表	Ｑ２Ｂ ｉｎ Ｔｏｋｙｏ ２０２３	2023.7
５０	山本剛	日本電気株式会社	ＮＥＣ’ｓ ａｃｔｉｖｉｔｙ ｏｎ ｑｕａｎｔｕｍ ｔｅｃｈｎｏｌｏｇｙ	Ｊａｐａｎ－Ｄｅｎｍａｒｋ ｗｏｒｋｓｈｏｐｏｎ ｑｕａｎｔｕｍ ｔｅｃｈｎｏｌｏｇｙ	2023.10
５１	日本電気株式会社、東北大学	日本電気株式会社、東北大学	８量子ビット量子アニーリングマシンを活用した東北大学との共同研究開始	プレスリリース	2023.6
５２	ＮＥＣ 量子コンピューティング統括部	日本電気株式会社	量子コンピューティングの社会実装に向けた取り組み	Ｑ２Ｂ２３ Ｔｏｋｙｏ	2023.7
５３	岡博史、浅井栄大、森貴洋	産業技術総合研究所	極低温動作トランジスタのスイッチング特性を解明	産総研プレス	2023.12
５４	更田　裕司	産業技術総合研究所	量子デバイス制御用クライオＣＭＯＳ集積回路の技術動向	ＳＥＭＩＣＯＮ Ｊａｐａｎ ２０２３（量子コンピューティングフォーラム）	2023.12
５５	稲葉工、岡博史、森貴洋	産業技術総合研究所	量子コンピュータ制御用集積回路のトランジスタが演算性能を制限する原因を特定	産総研プレス	2023.6

(c)受賞実績

番号	発表者	所属	タイトル	雑誌名・学会名・イベント名等	発表年月
1	西森秀稔	東京工業大学	文部科学大臣賞 科学技術賞	文部科学省	2021.4
2	西森秀稔	東京工業大学	紫綬褒章	内閣府	2021.4
3	谷地悠太	早稲田大学	ＩＥＥＥ　ＣＡＳＳ　Ｋａｎｓａｉ　Ｃｈａｐｔｅｒ　Ｂｅｓｔ　Ｓｔｕｄｅｎｔ　Ｐｒｅｓｅｎｔａｔｉｏｎ　Ａｗａｒｄ	ＩＥＥＥ　ＣＡＳＳ　Ｋａｎｓａｉ　Ｃｈａｐｔｅｒ	2022.11
4	山岡　雅直	株式会社日立製作所	Ｏｕｔｌｉｎｅ　ａｎｄ　Ｐｒｅｓｅｎｔ　Ｓｔａｔｕｓ　ｏｆ　ＣＭＯＳ　ａｎｎｅａｌｉｎｇ	Ｒａｋｕｔｅｎ　ｔｅｃｈｎｏｌｏｇｙ　ｃｏｎｆｅｒｅｎｃｅ	2022.11
5	岡　博史	産業技術総合研究所	電子情報通信学会　シリコン材料・デバイス（ＳＤＭ）研究会　若手優秀発表賞	電子情報通信学会　シリコン材料・デバイス（ＳＤＭ）研究会	2023.6

◎異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名称	発明者
1	PETRA 鹿島田分室	2022-108925	国内	2022.07.06	出願	光送信機	角田有紀人
2	PETRA 鹿島田分室	2022-149338	国内	2022.10.20	出願	光送受信器、これを用いた光送受信装置、及び光源波長制御方法	松井潤 他
3	PETRA 大船分室	2022-193660	国内	2022.12.02	出願	半導体光素子の製造方法	菊地健彦
4	PETRA 大船分室	2023-008059	国内	2023.01.23	出願	半導体光素子の製造方法	菊地健彦
5	PETRA 大船分室	2023-008060	国内	2023.01.23	出願	半導体光素子の製造方法	菊地健彦
6	PETRA 大船分室	2023-025072	国内	2023.02.21	出願	半導体受光デバイス	沖本拓也
7	PETRA 鹿島田分室	2023-056863	国内	2023.03.31	出願	光送信装置、遅延制御回路、及び遅延制御方法	角田有紀人
8	PETRA 鹿島田分室	2023-064525	国内	2023.04.11	出願	光送信器およびタイミング調整方法	蘇武洋平 他
9	PETRA 鹿島田分室	18/187,058(US)	外国	2023.04.24	出願	OPTICAL TRANSMITTER THAT INCLUDES OPTICAL MODULATOR	角田有紀人
10	PETRA 鹿島田分室	2023-100050	国内	2023.06.19	出願	遅延制御回路、光送信装置、及び遅延制御方法	蘇武洋平
11	PETRA 鹿島田分室	2023-105062	国内	2023.06.27	出願	光伝送装置	秋山知之
12	PETRA 鹿島田分室	18/224,654(US)	外国	2023.07.21	出願	OPTICAL TRANSCEIVER, OPTICAL TRANSCEIVER DEVICE USING THE SAME, AND METHOD OF CONTROLLING LIGHT SOURCE WAVELENGTHS	松井潤 他

13	PETRA 鹿島田分室	2023-124119	国内	2023.07.31	出願	光送信器、これを用いた光トランシーバ、及び波長制御方法	松井潤 他
14	PETRA 鹿島田分室	2023-138621	国内	2023.08.29	出願	遅延制御回路、光送信機、及び遅延制御方法	角田有紀人 他
15	PETRA 大船分室	2023-138976	国内	2023.08.29	出願	合分波器、その製造方法、設計装置、設計プログラムおよびデマルチプレクサ	御手洗拓矢
16	PETRA 大船分室	2023-143640	国内	2023.09.05	出願	半導体光素子、および半導体光素子の製造方法	田中肇
17	PETRA 大船分室	2023-178439	国内	2023.10.16	出願	光フィルタおよび波長可変レーザ素子	平谷拓生
18	PETRA 大船分室	18/512,192(US)	外国	2023.11.17	出願	METHOD OF MANUFACTURING SEMICONDUCTOR OPTICAL DEVICE	菊地健彦

19	PETRA 大船分室	2023-216907	国内	2023.12.22	出願	半導体光素子、および半導体光素子の製造方法	平谷拓生
20	PETRA 大船分室	2024-013054	国内	2024.01.31	出願	半導体光素子およびその製造方法	井上尚子 他
21	PETRA 大船分室	2024-016417	国内	2024.02.06	出願	半導体光素子、および半導体光素子の製造方法	平谷拓生 他
22	PETRA 大船分室	2024-016418	国内	2024.02.06	出願	半導体光素子、および半導体光素子の製造方法	平谷拓生
23	PETRA 大船分室	2024-039325	国内	2024.03.13	出願	受光素子、および受光素子の製造方法	沖本拓也 他
24	PETRA 大船分室	2024-051046	国内	2024.03.27	出願	半導体光素子、および半導体光素子の製造方法	藤原直樹
25	PETRA 大船分室	18/402,919(US)	外国	2024.01.03	出願	METHOD OF MANUFACTURING SEMICONDUCTOR OPTICAL DEVICE	菊地健彦
26	PETRA 大船分室	18/402,936(US)	外国	2024.01.03	出願	METHOD OF MANUFACTURING SEMICONDUCTOR OPTICAL ELEMENT	菊地健彦
27	PETRA 大船分室	202410149062.2(CN)	外国	2024.02.02	出願	半導体受光デバイス	沖本拓也
28	PETRA 大船分室	18/442,748(US)	外国	2024.02.15	出願	SEMICONDUCTOR LIGHT-RECEIVING DEVICE	沖本拓也
29	PETRA 鹿島田分室	JP2024/8113	PCT	2024.03.04	出願	光送信装置、遅延制御回路、及び遅延制御方法	角田有紀人
30	PETRA 鹿島田分室	JP2024/9283	PCT	2024.03.11	出願	光送信器およびタイミング調整方法	蘇武洋平
31	PETRA 鹿島田分室	18/665,086(US)	外国	2024.05.15	出願	DELAY CONTROL CIRCUIT, OPTICAL TRANSMISSION APPARATUS, AND DELAY CONTROL METHOD	蘇武洋平 他
32	PETRA 鹿島田分室	18/743,292(US)	外国	2024.06.14	出願	OPTICAL TRANSMISSION DEVICE	秋山知之
33	PETRA 鹿島田分室	18/751,975(US)	外国	2024.06.24	出願	OPTICAL TRANSMITTER, OPTICAL TRANSCEIVER USING OPTICAL TRANSMITTER, AND WAVELENGTH CONTROL METHOD	松井潤 他

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	発表者の所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Mario Alberto Serrano-Núñez	東京工業大学	Small magnetless integrated optical isolator using a magnetized cobalt ferrite film	IEICE Electronics Express、Vol.19 No.2 Page 20210500	有	2022年1月
2	藤井瞬	慶應義塾大学	Dissipative Kerr soliton microcombs for FEC-free optical communications over 100 channels	Optics Express、Vol.30 No.2 p 1351-1364	有	2022年1月
3	Tipat Piyapatarakul	東京大学	Numerical analysis of optical phase modulator operating at 2 μm wavelength using graphene/III-V	Japaneses Jounal of Applied Physics、Vol.61 Page SC1008	有	2022年2月

4	中島綾太	慶應義塾大学	Deterministic generation of a perfect soliton crystal microcomb with a saturable absorber	Optics Letters、Vol.47 No.6 p 1458-1461	有	2022年2月
5	Liu Shuyuan	東京工業大学	TE-mode magneto-optical isolator based on asymmetric microring resonator under a unidirectional magnetic field	Optics Express、Vol.30 No.6 p 9934-9943	有	2022年3月
6	村井俊哉	東京工業大学	Light-induced thermomagnetic recording of thin-film magnet CoFeB on silicon waveguide for on-chip magneto-optical memory	Optics Express、Vol.30 No.11 p 18054-18065	有	2022年5月
7	木暮蒼真	慶應義塾大学	超並列光通信のための集積光周波数コム光源	レーザー研究、Vol.50 No.5 p 248-253	有	2022年5月
8	Tomohiro Akazawa	東京大学	Low-capacitance Ultrathin InGaAs Membrane Photodetector on Si Slot Waveguide towards Receiver-less System	IEEE Transactions on Electron Devices、Vol.69 No.12 p 7184 - 7189	有	2022年7月
9	Tipat Piyapatarakul	東京大学	Efficient optical phase modulator based on III-V metal-oxide-semiconductor structure with doped graphene transparent electrode	Japaneses Jounal of Applied Physics、Vol.62 Page SC1008	有	2022年10月
10	落合貴也	東京大学	Ultrahigh-responsivity waveguide-coupled optical power monitor for Si photonic circuits operating at near-infrared wavelengths	Nature communications、Vol.13 Page 7443	有	2022年11月
11	矢島駿	東京工業大学	High-speed Modulation in Waveguide Magneto-Optical Switch with Impedance-matching Electrode	Optics Express、Vol.31 No.10 p 16243-16250	有	2022年11月
12	Zhu Liang	東京工業大学	Optically-Controlled Silicon Thermo-Optic Switch Based on Micro-Ring Resonator	Japanese Journal of Applied Physics、Vol.62 No.3 Page 32001	有	2022年12月
13	秋山知之	技術研究組合光電子融合基盤技術研究所	Crosstalk-Free 32-ch DWDM Demultiplexer on Standard Si PIC Platform Enabled by Fully-Integrated Cascaded AMZ Triplet	Journal of Lightwave Technology、Vol.41 No.3 p 848 - 854	有	2023年1月
14	Moataz Eissa	東京工業大学	High thermal performance hybrid GaInAsP/SOI ridge waveguide lasers with enhanced heat dissipation structure	Japanese Journal of Applied Physics、Vol.62 No.1 Page 10905	有	2023年1月
15	Liu Shuyuan	東京工業大学	Silicon-based integrated polarization-independent magneto-optical isolator	Optica、Vol.10 No.3 p 373-378	有	2023年3月
16	庄司雄哉	東京工業大学	集積型光アイソレーターのための磁気光学結晶の集積技術	日本光学会会誌「光学」、Vol.52 No.9	無	2023年4月

17	八木英樹	技術研究組合光電子融合基盤技術研究所	異種材料集積を用いた光デバイスの最新技術動向	電子情報通信学会 2023 年 6 月号小特集「Beyond 5G を支えるフォトニクス技術とその展望」、Vol.106 No.6 p 479-484	有	2023 年 6 月
18	峰村大輝	東京工業大学	Compact magneto-optical isolator by μ-transfer printing of magneto-optical single-crystal film on Silicon waveguides	Optics Express、Vol.31 No.17 p 27821-27829	有	2023 年 6 月
19	庄司雄哉	東京工業大学	Nonvolatile photonic switch with magnetic materials on silicon photonic platform	Optical Material Express、Vol.13 No.9 p 2489-2496	有	2023 年 6 月
20	權晋寛	東京大学	All III-Arsenide Low Threshold InAs Quantum Dot Lasers on InP(001)	Electronics Lett.、Vol.59 No.16 Page e12920	有	2023 年 8 月
21	菊地健彦	技術研究組合光電子融合基盤技術研究所	III-V gain region/Si waveguide hybrid lasers by chip-on-wafer hydrophilic bonding process using UV-ozone treatment	Japanese Journal of Applied Physics、Vol.62 No.12 Page 122002	有	2023 年 10 月
22	峰村大輝	東京工業大学	Design of ultra-low-loss magneto-optical isolator fabricated by μ-transfer printing	IEICE Electronics Express、Vol.21 No.1 Page 20230521	有	2023 年 11 月
23	N. Morais	東京大学	Hybrid distributed Bragg reflector laser on Si with a transfer printed InAs/GaAs quantum dot amplifier	Optics Express Vol.32 No.3 Page 4295	有	2024 年 1 月
24	井上崇	産業技術総合研究所	Quality analysis of uniform and PS QAM Signals distorted by arbitrary filtering effects of WSS in ROADM-based optical network	IEEE/OSA Journal of Lightwave Technology、Vol.42 No.15 p 5099-5112	有	2024 年 4 月
25	Tomohiro Akazawa	東京大学	Transparent In-line Optical Power Monitoring using InP/Si Hybrid Waveguide Phototransistor	Journal of Lightwave Technologies、Vol.42 No.12 p 4281 - 4288	有	2024 年 4 月
26	Yosuke Wakita	東京大学	Add-drop Microring Resonator Switch with Positive/negative Phase Tuning using InGaAsP/Si Hybrid MOS Phase Shifter	Journal of Lightwave Technologies、Vol.42 No.12 p 4289 - 4295	有	2024 年 4 月
27	Takamitsu Shioi	東京工業大学	Read-Safe Snapshots: An Abort/Wait-Free Serializable Read Method for Read-Only Transactions on Mixed OLTP/OLAP Workloads	Information Systems、Vol.124 Page 102385	有	2024 年 4 月
28	Takanori Sato	北海道大学	High Tolerant Design of Athermal Si Wavelength Filter Using Mach-Zehnder Interferometer	Japanese Journal of Applied Physics、Vol.63 Page 04SP55	有	2024 年 4 月
29	K. Taki	東京大学	Non-volatile optical phase shift in ferroelectric hafnium zirconium oxide	Nature communications、Vol.15 Page 3549	有	2024 年 5 月
30	Jianping Wang	東京工業大学	Self-holding Magneto-optical Switch Integrated on Silicon Photonic Platforms	Optics Express、Vol.32 No.16 Page 28570	有	2024 年 7 月

【学会発表・講演】

番号	発表者	所属	タイトル	会議名	発表年月
1	竹中充	東京大学	Materials drive Si photonics	34th International Microprocesses and Nanotechnology Conference (MNC 2021)	2021年10月
2	山口圭太	東京工業大学	Si/SiON/SiO2 ダブルクラッド型スポットサイズコンバータのSiON 屈折率依存性	Photonic Device Workshop 2021	2021年11月
3	Nobuhiko Nishiyama	技術研究組合光電子融合基盤技術研究所/東京工業大学	Toward Multi-Tbps Coherent Transceiver using Heterogeneous Integration on Si-platform ~New Project in PETRA for Distributed Computing~	ISPEC2021	2021年12月
4	Yuduan Wang	東京工業大学	Parameter Dependence of a 1.3- μm SiN Compact Wavelength MUX/DEMUX designed by Inverse Design Algorithm	ISPEC2021	2021年12月
5	田中信介	技術研究組合光電子融合基盤技術研究所	コヒーレント光トランシーバの低消費電力化に向けた新アーキテクチャの検討	電子情報通信学会 OCS 研究会 1月研究会	2022年1月
6	西山伸彦	技術研究組合光電子融合基盤技術研究所/東京工業大学	分散コンピューティングに向けた異種材料集積光回路を利用した超広帯域デジタルコヒーレントトランシーバへの取り組み	光産業シンポジウム	2022年2月
7	山口圭太	東京工業大学	Si/SiON/SiO2 ダブルクラッド型スポットサイズコンバータのSiON 屈折率変化における結合効率の向上の検討	2022 春季応用物理学会	2022年2月
8	蘇武洋平	技術研究組合光電子融合基盤技術研究所	Highly power-efficient (2 pJ/bit), 128Gbps 16QAM signal generation of coherent optical DAC transmitter using 28-nm CMOS driver and all-silicon segmented modulator	OFC2022	2022年3月
9	石村昇太	東京大学	64-QAM Self-Coherent Transmission Using Symmetric Silicon Photonic Stokes-Vector Receiver	OFC2022	2022年3月
10	松井潤	技術研究組合光電子融合基盤技術研究所	コヒーレントトランシーバ低消費電力化に向けた光フィルタの波形整形性能評価	2022年電子情報通信学会総合大会	2022年3月
11	竹中充	東京大学	III-V 族半導体薄膜集積を用いた光変調器	電子情報通信学会総合大会 2022 年	2022年3月
12	村井俊哉	東京工業大学	Light-induced Thermomagnetic Recording of Ferromagnetic Thin-film on Silicon Waveguide for Solid-State Magneto-Optical Memory	OFC2022	2022年3月
13	權晋寛	東京大学	InP 基板上 1.5 μm 帯 InAs 量子ドットの成長	2022年 第69回応用物理学会春季学術講演会, 23a-F407-6, online & 青山学院大学, 神奈川 (2021)	2022年3月
14	木暮蒼真	慶應義塾大学	マイクロコムにおけるデチューニングとノイズの関係	第69回応用物理学会春季学術講演会	2022年3月

15	山口圭太	東京工業大学	ダブルクラッド型スポットサイズコンバータの SiON 屈折率 Si/SiON/SiO 変化における結合効率の向上の検討	第 69 回応用物理学会春季学術講演会	2022 年 3 月
16	木暮蒼真	慶應義塾大学	Detuning dependence of beat noise in a microresonator frequency comb source	The 11th Advanced Lasers and Photon Sources	2022 年 4 月
17	木暮蒼真	慶應義塾大学	FEC-free optical data transmission with a chip-integrated microresonator frequency comb source	Conference on Lasers and Electro-Optics 2022	2022 年 5 月
18	田邉孝純	慶應義塾大学	Integrated microresonator frequency comb source for massiveparallel optical communication	AES 2022, the 8th International Conference on Antennas and Electromagnetic Systems	2022 年 5 月
19	庄司雄哉	東京工業大学	導波路型光アイソレータの開発と集積化に向けた検討	第 163 回微小光学研究会	2022 年 5 月
20	T. Akazawa	東京大学	Low-capacitance Ultrathin InGaAs Membrane Photodetector on Si Slot Waveguide towards Receiver-less System	VLSI symposium 2022	2022 年 6 月
21	前田隼太郎	東京大学	シリコンフォトニクス多波長セルフコヒーレント光受信器の検討	光エレクトロニクス研究会(OPE) 6 月研	2022 年 6 月
22	原雄基	東京工業大学	Phased-array Type 1×4 Wavelength Selective Switch with Silicon Waveguides	OECC/PSC2022	2022 年 7 月
23	矢島駿	東京工業大学	High-speed Switching of Waveguide Magneto-Optical Switch with Coplanar Electrode	OECC/PSC2022	2022 年 7 月
24	庄司雄哉	東京工業大学	Performance Estimation of Photonic Neural Network Accelerator with Magneto-optical Switch Array	OECC/PSC2022	2022 年 7 月
25	木暮蒼真	慶應義塾大学	Effect of detuning on noise characteristics in a microcomb-based light source	The 15th Pacific Rim Conference on Lasers and Electro-Optics	2022 年 7 月
26	竹中充	東京大学	III-V/Si hybrid integration for scalable optical switching and computing	OECC/PSC2022	2022 年 7 月
27	矢島駿	東京工業大学	Scaling Analysis of an Integrated Photonic Traveling Salesman Problem Accelerator	27th Microoptics Conference (MOC 2022)	2022 年 9 月
28	Tipat Piyapatarakul	東京大学	Analysis of III-V MOS optical modulator with transparent doped graphene gate electrode	SSDM2022	2022 年 9 月
29	落合真栄	北海道大学	超広帯域台形テーパ非対称方向性結合器の設計	2022 年電子情報通信学会ソサイエティ大会	2022 年 9 月
30	Liu Shuyuan	東京工業大学	Silicon Integrated TE Mode Magneto-optical Isolator Based on Asymmetric Microring Resonator	ECOC2022	2022 年 9 月
31	庄司雄哉	東京工業大学	ソリッドステート光メモリの実現に向けた光導波路型光磁気記録メモリ	電子情報通信学会 2022 ソサイエティ大会	2022 年 9 月
32	矢島駿	東京工業大学	コプレーナ線路による磁気光学スイッチの高速スイッチング	第 83 回応用物理学会秋季学術講演会	2022 年 9 月
33	Liu Shuyuan	東京工業大学	TE-mode Magneto-optical Isolator Based on Asymmetric Microring	第 83 回応用物理学会秋季学術講演会	2022 年 9 月

34	蘇武洋平	技術研究組合光電子融合基盤技術研究所	シリコン変調器とCMOSドライバを集積したコヒーレント光通信向け低電力光DAC送信器の開発	2022年電子情報通信学会 ソサイエティ大会	2022年9月
35	權晋寛	東京大学	InP(001)基板上砒素系Lバンド量子ドットのMBE成長とレーザ作製	2022年 第83回応用物理学会秋季学術講演会, 21p-A105-8, online, 東北大学, 宮城 (2022).	2022年9月
36	權晋寛	東京大学	All III-arsenide 1.6 μm-band InAs quantum dot lasers on InP(001) with a low threshold current density	SSDM 2022 International Conference on Solid State Devices and Materials, A-6-02, Chiba, Japan (2022).	2022年9月
37	福井太一郎	東京大学	InP高屈折率差格子と電気光学ポリマーを用いた垂直入射型光変調器の提案と数値解析	第83回応用物理学会秋期学術講演会	2022年9月
38	日原弘喜	東京工業大学	異種材料集積光回路に向けた大気圧プラズマによる半導体親水化の検討	第83回応用物理学会秋季学術講演会	2022年9月
39	山口圭太	東京工業大学	導波路に向けた屈折率自由度を持つSiONの成膜条件の検討	第84回応用物理学会秋季学術講演会	2022年9月
40	Moataz Eissa	東京工業大学	Thermal resistance reduction of ridge-waveguide III-V/SOI hybrid lasers by thin ridge-insulation	2022年電子情報通信学会ソサイエティ大会	2022年9月
41	谷口翔平	東京工業大学	自己保持型磁気光学スイッチのSOI基板上集積に向けた研究	光エレクトロニクス(OPE)研究会10月研	2022年10月
42	八木英樹	技術研究組合光電子融合基盤技術研究所	Hybrid Lasers with Monolithic Integration of InP-based Active Regions and Si Waveguides Using Direct Bonding Technology	28th Internal Semiconductor Laser Conference (ISLC2022)	2022年10月
43	福井太一郎	東京大学	Numerical investigation of high-speed surface-normal modulator using InP high-contrast grating	28th International Semiconductor Laser Conference (ISLC)	2022年10月
44	Moataz Eissa	東京工業大学	Low-thermal-resistance by Decoupled Ridge Insulation Structure for hybrid GaInAsP/SOI ridge-waveguide lasers	International Semiconductor Laser Conference 2022	2022年10月
45	庄司雄哉	東京工業大学	導波路型光アイソレータの進展	Photonic Device Workshop (PDW) 2022	2022年12月
46	菅野凌	慶應義塾大学	エッジカプラを用いたSiN/Si集積の導波路設計	Photonic Device Workshop 2022	2022年12月
47	木暮蒼真	慶應義塾大学	Effect of detuning on RF beat note and linewidth in modulation instability comb －Modulation instability comb for optical data communication－	Photonic Device Workshop 2022	2022年12月
48	Nobuhiko Nishiyama	技術研究組合光電子融合基盤技術研究所/東京工業大学	Progress in Photonic Electronic Convergence Technologies through National Projects in Japan	ISPEC2022	2022年12月
49	Hideki Yagi	技術研究組合光電子融合基盤技術研究所	III-V/Si photonic integrated devices using direct bonding technology	ISPEC2022	2022年12月
50	Shinsuke Tanaka	技術研究組合光電子融合基盤技術研究所	Novel optical frontend architecture for energy-efficient coherent transceivers	ISPEC2022	2022年12月

51	Kunimasa Saitoh	北海道大学	Resonant-Characteristics-Monitorable Si Wavelength Filter Using Face-To-Face Loop Mirrors for III-V/Si Hybrid Platform	ISPEC2022	2022年12月
52	Mitsuru Takenaka	東京大学	Si hybrid integration using ultrathin III-V membrane for photodetection	ISPEC2022	2022年12月
53	Satoshi Iwamoto	東京大学	Development of 1.5-mm InAs Quantum Dots on InP Substrate towards On-Chip Light Sources and Design of Photonic Nanostructured Waveguide for Dispersion Compensation	ISPEC2022	2022年12月
54	Takasumi Tanabe	慶應義塾大学	Microresonator frequency combs for ultra-low latency optical communication	ISPEC2022	2022年12月
55	Yuya Shoji	東京工業大学	Low-loss Integrated optical isolator on Silicon photonics platform	ISPEC2022	2022年12月
56	Takuo Tanemura	東京大学	Photonic Integrated Self-Coherent Transceivers for Beyond-Tbps Short-Reach Links	ISPEC2022	2022年12月
57	Kiyo Ishii	産業技術総合研究所	Functional Block-based Disaggregation Model for Automating the Optical Layer	ISPEC2022	2022年12月
58	T. Piyapatarakul	東京大学	Design of the III-V MOS optical modulator with doped graphene electrode for efficient, high-speed phase modulation	ISPEC2022	2022年12月
59	C. Zhang	東京大学	Sub-bandgap photodetection at mid-infrared wavelengths using Ge Micro-ring resonator on Ge-on-insulator platform	ISPEC2022	2022年12月
60	T. Horikawa	東京工業大学	Wafer-level Testing Technology for Hybrid III-V/SOI Integration	ISPEC2022	2022年12月
61	A. Nakashima	慶應義塾大学	Saturable Absorber Embedded Microcavity for a Perfect Soliton Crystal	ISPEC2022	2022年12月
62	R. Sasaki	東京工業大学	Layer structure dependence for controlling active layer optical confinement factor of direct bonding GaInAsP/SOI optical devices	ISPEC2022	2022年12月
63	Z. Liang	東京工業大学	Silicon Based All-Optical Micro-Ring Resonator Thermo-Optic Switch	ISPEC2022	2022年12月
64	S. Ochiai	北海道大学	Design of S+C+L band Tapered Asymmetric Directional Coupler for Broadband Polarization Splitter-Rotator	ISPEC2022	2022年12月
65	K. Uchida	北海道大学	Investigation of Fabrication Tolerance for III-V/Si Connecting Structures Based on Symmetric and Asymmetric Tapered Waveguides	ISPEC2022	2022年12月

66	J. Matsui	技術研究組合光電子融合基盤技術研究所	Performance evaluation of optical Nyquist filter for energy efficient coherent transceiver	ISPEC2022	2022年12月
67	Y. Ni	東京工業大学	Compact Phased Array Type Wavelength-selective Switch Based on Silicon Photonics	ISPEC2022	2022年12月
68	K. Yamaguchi	東京工業大学	Characteristics of SiON waveguides at various refractive indices	ISPEC2022	2022年12月
69	K. Tanikawa	慶應義塾大学	Field demonstration of low-latency optical transmission with soliton microcombs	ISPEC2022	2022年12月
70	R. Sugano	慶應義塾大学	Impedance and mode matching for high-efficient Si/SiN waveguides coupling	ISPEC2022	2022年12月
71	S. Maeda	東京大学	Design and Characterization of Multi-Wavelength Coherent Receiver Circuit	ISPEC2022	2022年12月
72	S. Sugawara	慶應義塾大学	Experimental measurement of Raman comb stability and mutual coherence in silica rod microresonator	ISPEC2022	2022年12月
73	S. Kogure	慶應義塾大学	Effect of detuning on RF beat note in modulation instability comb	ISPEC2022	2022年12月
74	T. Akazawa	東京大学	Low-capacitance InGaAs/Si Waveguide Photodetector for Energy-efficient Receiver System	ISPEC2022	2022年12月
75	Y. Sobu	技術研究組合光電子融合基盤技術研究所	Ultra-low-power Optical DAC Operation (2pJ/bit) using 28-nm CMOS Driver and All-silicon Segmented Modulator for Coherent Optical Transmitter	ISPEC2022	2022年12月
76	M. Eissa	東京工業大学	Low-thermal-resistance hybrid GaInAsP/SOI ridge-waveguide Fabry-Pérot lasers by enhanced heat dissipation	ISPEC2022	2022年12月
77	T. Akiyama	技術研究組合光電子融合基盤技術研究所	Crosstalk-Free 32-ch Dense WDM Demultiplexer on Standard Si PIC Platform	ISPEC2022	2022年12月
78	J. Kwoen	東京大学	All III-arsenide L-band InAs quantum dot lasers on InP(001)	ISPEC2022	2022年12月
79	大竹遼	慶應義塾大学	チップスケール送信機開発に向けた SiN/Si 接合の結合最適化	第70回応用物理学会春季学術講演会	2023年1月
80	八木英樹	技術研究組合光電子融合基盤技術研究所	高効率・高速処理分散コンピューティングに向けた異種材料集積光デバイス	2022年度光産業技術シンポジウム	2023年2月
81	David Moreno	慶應義塾大学	Synchronization of microresonator frequency combs in chaotic regime	SPIE Photonic West 2023	2023年2月
82	沖本拓也	技術研究組合光電子融合基盤技術研究所	80-GHz Bandwidth and High Responsivity of InP Coherent Receiver PIC with Butt-joint waveguide PDs	Optical Fiber Communication Conference 2023	2023年3月

83	佐藤孝憲	北海道大学	異種材料集積波長可変レーザのための対向ループミラーを用いた共振特性をモニタリング可能な Si 波長フィルタ の作製	2023 年電子情報通信学会総合大会	2023 年 3 月
84	峰村大輝	東京工業大学	薄膜 Ce:YIG/SGGG の Si 導波路上へのμ-トランスファープリンティングを用いた導波路型光アイソレータの製作	第 70 回応用物理学会春季学術講演会	2023 年 3 月
85	矢島駿	東京工業大学	高周波線路による磁気光学スイッチの高速スイッチング	第 70 回応用物理学会春季学術講演会	2023 年 3 月
86	菊地健彦	技術研究組合光電子融合基盤技術研究所	UV オゾン親水化を用いた SOI 基板上 InP 小片接合によるハイブリッドレーザの室温連続発振	第 70 回応用物理学会 春季学術講演会	2023 年 3 月
87	高城和馬	東京大学	強誘電体 Hf0.5Zr0.5O2 における不揮発的位相変化の観測	応用物理学会 2023 年春季講演会	2023 年 3 月
88	作本宙彌	東京大学	ドーピング最適化による InP-EO ポリマーハイブリッド光変調器の高速化、低損失化の検証	応用物理学会 2023 年春季講演会	2023 年 3 月
89	脇田耀介	東京大学	ハイブリッド MOS 位相シフタを用いた add-drop 型 リング共振器の実証	応用物理学会 2023 年春季講演会	2023 年 3 月
90	前田隼太郎	東京大学	局発コム光源を用いた多波長コヒーレント受信回路の実験的検証	2023 年電子情報通信学会総合大会	2023 年 3 月
91	Moataz Eissa	東京工業大学	Low-thermal-resistance GaInAsP/SOI ridge-waveguide hybrid lasers	2023 年電子情報通信学会総合大会	2023 年 3 月
92	佐々木龍耶	東京工業大学	直接接合 GaInAsP/SOI 光デバイスの活性層光閉じ込め係数制御に向けた層構造の検討	第 70 回応用物理学会春季学術講演会	2023 年 3 月
93	堀川剛	東京工業大学	導波路加工偏差モニタリングによる方向性結合器の分岐比ばらつき解析	第 70 回応用物理学会春季学術講演会	2023 年 3 月
94	菅野凌	慶應義塾大学	エッジカプラを用いた SiN/Si ハイブリッド集積計算	2023 年電子情報通信学会総合大会	2023 年 3 月
95	庄司雄哉	東京工業大学	Non-volatile Optical Memory and Switch with Magnetic Material Integration	IEEE Silicon Photonics Conference 2023	2023 年 4 月
96	Mitsuru Takenaka	東京大学	Si photonics for optical interconnect	IITC2023	2023 年 5 月
97	川西悟基	慶應義塾大学	Field Demonstration of Low-Latency Massively Parallel Communication with Microresonator Frequency Comb	Conference on Lasers and Electro-Optics 2023	2023 年 5 月
98	Nobuhiko Nishiyama	東京工業大学	Membrane lasers and photonic integrated circuits on Si using room temperature direct bonding	Compound Semiconductor Week 2023	2023 年 5 月
99	蘇武洋平	技術研究組合光電子融合基盤技術研究所	シリコンフォトニクスを用いた低電力送信器の開発と今後の展望	光集積及びシリコンフォトニクス(PICS)研究会	2023 年 6 月
100	榎本雄太郎	技術研究組合光電子融合基盤技術研究所	TIA レス型コヒーレント受信機の検討と原理実証	電子情報通信学会 OPE 研究会 6 月研究会	2023 年 6 月
101	星田剛司	富士通株式会社	6G 時代のコアネットワークを実現する光電融合技術	COMNEXT 2023	2023 年 6 月

102	Hiroya Sakumoto	東京大学	Numerical Evaluation of Modulation Bandwidth and Insertion Loss in InP-EO Polymer Hybrid Optical Modulator with Doping Optimization	SSDM2023	2023年6月
103	竹中充	東京大学	Scalable Programmable Photonic Integrated Circuits by III-V/Si hybrid integration	Optical Advanced Photonics Congress	2023年7月
104	田中信介	技術研究組合光電子融合基盤技術研究所	Advanced Optical Frontend Architecture for Energy-Efficient Coherent Transceivers	Optica Advance Photonics Congress 2023	2023年7月
105	Nobuhiko Nishiyama	東京工業大学	On-Silicon membrane and hybrid lasers/photonic integrated circuits	OECC2023	2023年7月
106	Nobuhiko Nishiyama	東京工業大学	Membrane Laser and Photonic Integrated Circuits on Si using Heterogeneous Integration	iNOW2023	2023年7月
107	田邉孝純	慶應義塾大学	微小光共振器による光周波数コムの発生とB5Gへの応用	応用電子物性分科会研究例会	2023年7月
108	菅野凌	慶應義塾大学	SiN/Si bybrid integration with edge coupler by butt-coupling	PhotonIcs and Electromagnetics Research Symposium, also known as Progress In Electromagnetics Research Symposium	2023年7月
109	八木英樹	技術研究組合光電子融合基盤技術研究所	InPチップ/SOIウェハ接合技術を用いた集積光デバイスの進展と今後の展望	電子情報通信学会レーザ・量子エレクトロニクス2023年8月研究会	2023年8月
110	堀川剛	東京工業大学	集積フォトニクスのエコシステムの状況と展望	電子情報通信学会LQE, OPE8月研究会	2023年8月
111	Shin’ei Ochiai	北海道大学	S+C+L band Tapered Asymmetric Directional Coupler for Broadband Polarization Splitter-Rotator	28th Microoptics Conference	2023年9月
112	御手洗拓矢	技術研究組合光電子融合基盤技術研究所	Compact passive waveguides using mosaic-based device with triangular lattice photonic crystal-like structure	2023 International Conference on Solid State Devices and Materials (SSDM 2023)	2023年9月
113	内田啓太	北海道大学	テーパ型非対称方向性結合器を用いた III-V/Si 高効率接続構造の検討	2023年電子情報通信学会ソサイエティ大会	2023年9月
114	落合真栄	北海道大学	偏波回転合波器のための超広帯域テーパ非対称方向性結合器	2023年電子情報通信学会ソサイエティ大会	2023年9月
115	髙西敬太	北海道大学	波面整合法による2×2 MMI 3-dB カプラの高性能化	2023年電子情報通信学会ソサイエティ大会	2023年9月
116	赤澤智熙	東京大学	InP/Siハイブリッド光パワーモニタとMOS型光位相シフタの一体集積	応用物理学会2023年秋季講演会	2023年9月
117	張超	東京大学	GeOIプラットフォーム上に作製した波長2 um向けGeリング共振器型アバランシェ受光器	応用物理学会2023年秋季講演会	2023年9月
118	藤田将大	東京大学	FeFET駆動型不揮発性ハイブリッドMOS位相シフタのEndurance・Retention特性	応用物理学会2023年秋季講演会	2023年9月
119	松井潤	技術研究組合光電子融合基盤技術研究所	光フィルタ信号処理によるマルチキャリアコヒーレントトランシーバ低消費電力化	2023年電子情報通信学会 ソサイエティ大会	2023年9月

120	石井紀代	産業技術総合研究所	トータルディスアグリゲーションを考慮したQoT試算システム	電子情報通信学会ソサイエティ大会	2023年9月
121	下津裕生	東京工業大学	導波路型光ニューロンに向けた光磁気変換メモリの作製	電子情報通信学会2023ソサイエティ大会	2023年9月
122	佐藤孝太郎	東京工業大学	超小型磁気光学デバイスに向けたコバルトアルミフェライト薄膜の特性評価	電子情報通信学会2023ソサイエティ大会	2023年9月
123	千原啓太	東京工業大学	フェーズドアレイ型1×N波長選択スイッチに向けたスターカプラの性能向上	電子情報通信学会2023ソサイエティ大会	2023年9月
124	土屋直彰	東京工業大学	不揮発光ゲート素子を使った光積和演算回路に向けた リング共振器アレイの作製	電子情報通信学会2023ソサイエティ大会	2023年9月
125	權晋寛	東京大学	シリコンフォトニクスに向けた量子ドットレーザ研究	日本学術会議公開シンポジウム「光がもたらす未来社会～ICOの新たな発展に向けて～」	2023年9月
126	御手洗拓矢	技術研究組合光電子融合基盤技術研究所	微細円孔が最密充填構造に配列されたモザイク状素子による非対称パワースプリッタ	電子情報通信学会2023年ソサイエティ大会	2023年9月
127	堀川剛	東京工業大学	OFDR法を用いたウェーハレベル光集積デバイス特性検査 －細線導波路伝搬損失の高精度評価－	第84回応用物理学会秋季学術講演会	2023年9月
128	Y. Wang	東京工業大学	Inverse Design of Low Back Reflection Grating Coupler	第84回応用物理学会秋季学術講演会	2023年9月
129	Moataz Eissa	東京工業大学	Wafer- and chip-level characterization of photonic integrated circuits by cascaded grating-couplers and spot-size converters	2023年電子情報通信学会エレクトロニクスソサイエティ大会	2023年9月
130	佐々木龍耶	東京工業大学	直接接合GaInAsP/SOI 光デバイスにおける III-V/Si 導波路間の位置ずれによる影響の検討	2023年電子情報通信学会エレクトロニクスソサイエティ大会	2023年9月
131	菅野凌	慶應義塾大学	SiN/Si Heterogeneous Integration with Butt-coupling	The 12th Asia-Pacific Laser Symposium (APLS2023)	2023年9月
132	木暮蒼真	慶應義塾大学	マイクロコムにおけるポンプパワーとデチューニングの線幅への影響	第84回応用物理学会秋季学術講演会	2023年9月
133	Tomohiro Akazawa	東京大学	Transparent In-line Optical Power Monitor Integrated with MOS Optical Phase Shifter using InP/Si Hybrid Integration	ECOC2023	2023年10月
134	Yosuke Wakita	東京大学	Low-power Add-drop Microring Resonator Switch with Positive/negative Phase Tuning using InGaAsP/Si Hybrid MOS Phase Shifter	ECOC2023	2023年10月
135	Nobuhiko Nishiyama	東京工業大学	Photonic Devices Using Heterogeneous Material Integration Technology	第42回電子材料シンポジウム	2023年10月
136	峰村大輝	東京工業大学	単結晶磁気光学薄膜のμ-トランスファープリンティングによる小型な導波路型磁気光学アイソレータ	光通信システム(OCS)研究会 10月研究会	2023年10月
137	竹中充	東京大学	III-V族半導体薄膜集積を用いた 深層学習用シリコン光回路	第42回電子材料シンポジウム	2023年10月

138	庄司雄哉	東京工業大学	シリコン導波路型光アイソレータの低損失化と薄膜集積技術の開発	2023年度第3回フォトニックデバイス・応用技術研究会	2023年10月
139	Takanori Sato	北海道大学	Designs of Resonant-Characteristics-Monitorable Si Wavelength Filters For Heterogeneously Integrated Tunable Lasers	IEEE Photonics Conference (IPC2023)	2023年11月
140	Zhu Liang	東京工業大学	Remotelly Controlable All-Optical MZI-based Thermo-Optic Switch	IEEE Photonics Conference 2023	2023年11月
141	井上尚子	技術研究組合光電子融合基盤技術研究所	Stable CW operation of III-V/Si hybrid lasers by chip-on-wafer direct bonding technique using UV-ozone hydrophilization	IEEE Photonics Conference 2023	2023年11月
142	星田剛司	富士通株式会社	大容量化とCO2 排出量削減を両立する光伝送プラットフォーム	フォトニックデバイス・応用技術研究会　2023年度ワークショップ	2023年11月
143	西山伸彦	技術研究組合光電子融合基盤技術研究所/東京工業大学	分散コンピューティングに向けた異種材料集積技術を利用した広帯域コヒーレント光トランシーバ・光集積回路技術	光とレーザーの科学技術フェア2023（光協会オープンセミナー）	2023年11月
144	Nobuhiko Nishiyama	技術研究組合光電子融合基盤技術研究所/東京工業大学	Progress in Photonic Electronic Convergence Technologies through National Projects in Japan	ISPEC2023	2023年11月
145	Hideki Yagi	技術研究組合光電子融合基盤技術研究所/住友電気工業株式会社	Photonic Integrated Devices using InP Chip/SOI Wafer Bonding Technique	ISPEC2023	2023年11月
146	Mitsuru Takenaka	東京大学	Heterogeneous integration of III-V and phase change material for Si programmable photonic integrated circuits	ISPEC2023	2023年11月
147	Yuya Shoji	東京工業大学	Mode-Evolution based Integrated Magneto-Optical Isolator	ISPEC2023	2023年11月
148	Yuta Namiki	日本電気株式会社	Towards a High-Performance Database Management System in Ultra-Low-Latency Networks	ISPEC2023	2023年11月
149	Yoshiharu Ishikawa	名古屋大学	Utilizing Latch-Free Algorithms for Indexes in Ultra-Low Latency Networks	ISPEC2023	2023年11月
150	Shinsuke Tanaka	技術研究組合光電子融合基盤技術研究所/富士通株式会社	Investigation and initial demonstration of electrical-to-optical offloading techniques for energy efficient coherent transceiver	ISPEC2023	2023年11月
151	Takuo Tanemura	東京大学	Scalable Coherent Transceivers for Multi-Terabit Optical Links	ISPEC2023	2023年11月
152	Kiyo Ishii	産業技術総合研究所	Functional Block-based Disaggregation and its QoT Estimation Prototype for Optical-layer Platform	ISPEC2023	2023年11月

153	J. Wang	東京工業大学	Study on Self-holding Magneto-optical Switch Integrated on Silicon Photonics Platforms	ISPEC2023	2023年11月
154	Y. Wakita	東京大学	Demonstration of add-drop ring resonator switch using InGaAsP/Si hybrid MOS phase shifter	ISPEC2023	2023年11月
155	Y. Enomoto	技術研究組合光電子融合基盤技術研究所/富士通株式会社	Bandwidth of Ge Photodiode in High Photocurrent Regime for Coherent Receiver	ISPEC2023	2023年11月
156	Z. Liang	東京工業大学	Silicon-Based All-Optical Mach-Zehnder Interferometer Thermo-Optic Switch	ISPEC2023	2023年11月
157	Y. Ni	東京工業大学	Compact Silicon Photonics -based Phased Array Wavelength -Selective Switch Using Micro Ring Resonators	ISPEC2023	2023年11月
158	H. Sakumoto	東京大学	Evaluation of the impact of the doping optimization on the modulation bandwidth and the optical loss of the InP-EO polymer hybrid optical modulator	ISPEC2023	2023年11月
159	K. Takanishi	北海道大学	Investigation of Performance of 2×2 Multimode Interference 3-dB Couplers in Silicon Waveguides Designed by Wavefront Matching Method	ISPEC2023	2023年11月
160	Y. Sawada	技術研究組合光電子融合基盤技術研究所/住友電気工業株式会社	Mosaic-Based Power Splitters with Asymmetric Splitting Ratios Designed on Triangular Lattice	ISPEC2023	2023年11月
161	S. Maeda	東京大学	Design and Demonstration of Optical-Frequency-Comb -Based Coherent Receiver Circuit	ISPEC2023	2023年11月
162	T. Okimoto	技術研究組合光電子融合基盤技術研究所/住友電気工業株式会社	Numerical Analysis of Coherent Transmission Systems Employing III-V/Si Hybrid Transceiver PICs with Semiconductor Optical Amplifiers	ISPEC2023	2023年11月
163	K. Uchida	北海道大学	Short and High-Efficient Design of III-V/Si Connecting Structure Based on Tapered Asymmetric Directional Coupler	ISPEC2023	2023年11月
164	T. Horikawa	東京工業大学	Highly reproducible extraction of propagation loss in silicon waveguides by using a wafer-level OFDR method	ISPEC2023	2023年11月

165	J. Matsui	技術研究組合光電子融合基盤技術研究所/富士通株式会社	A Proposal of Penalty -Free and DSP -Free Multilevel Nyquist Modulation and Subcarrier Multiplexing Scheme Enabling Large Reduction of Power Consumption of Scalable Multicarrier Coherent Transmitter	ISPEC2023	2023年11月
166	R. Sasaki	東京工業大学	Effect of position misalignment between hybrid and Si waveguide sections in GaInAsP/SOI hybrid lasers	ISPEC2023	2023年11月
167	Y. Sobu	技術研究組合光電子融合基盤技術研究所/富士通株式会社	64Gbaud PAM4 Operation of All-Silicon Segmented Mach-Zehnder Modulator Integrated with Passive RC Equalizer for Optical DAC Transmitter	ISPEC2023	2023年11月
168	T. Akazawa	東京大学	Demonstration of low-loss optical power monitoring using waveguide-coupled InP/Si hybrid phototransistor	ISPEC2023	2023年11月
169	M. Fujita	東京大学	Memory characteristics of FeFET-driven hybrid MOS optical phase shifter	ISPEC2023	2023年11月
170	M. Eissa	東京工業大学	Performance comparison of wafer- and chip-level measurements of silicon photonic integrated circuits	ISPEC2023	2023年11月
171	Y. Wang	東京工業大学	Investigation of figure of merit setting in inverse design simulation for grating coupler with reduced back - reflection	ISPEC2023	2023年11月
172	J. Kokubu	慶應義塾大学	SiN/Si hybrid integration via inversed taper edge coupler	ISPEC2023	2023年11月
173	S. Kogure	慶應義塾大学	Sudden broadening of the linewidth in a modulation instability comb	ISPEC2023	2023年11月
174	C. Zhang	東京大学	Ge avalanche photodiode integrated with microring resonator for 2 μm wavelengths on Ge-on-insulator platform	ISPEC2023	2023年11月
175	J. Kwoen	東京大学	All-arsenide stacked InAs quantum dots grown on InP substrate	ISPEC2023	2023年11月
176	佐藤孝太郎	東京工業大学	Microring resonator-based magneto-optical isolator using an aluminum-substituted cobalt ferrite thin film with a compact device footprint	Photonic Device Workshop (PDW) 2023	2023年12月
177	八木英樹	技術研究組合光電子融合基盤技術研究所	Siプラットフォーム上へIII-V族半導体を集積するIII-V/Siハイブリッド光集積回路技術	一般社団法人ワイドギャップ半導体学会 第14回研究会	2023年12月
178	庄司雄哉	東京工業大学	Magneto-optical devices for photonic computing	SPIE Photonics West 2024	2024年1月
179	庄司雄哉	東京工業大学	Recent progress on integrated magneto-optical isolators	SPIE Photonics West 2024	2024年1月

180	菅野凌	慶應義塾大学	バットカプリングによる SiN/Si 異種材料集積	レーザー学会第 44 回年次大会	2024 年 1 月
181	倪天嘉	名古屋大学	誤差保証付き近似的問合せ処理におけるシノプシス構築の高速化	第 16 回データ工学と情報マネジメントに関するフォーラム	2024 年 2 月
182	中山宗	名古屋大学	永続メモリ向けロックフリー索引 Bz 木の改善	第 16 回データ工学と情報マネジメントに関するフォーラム	2024 年 2 月
183	平野匠真	名古屋大学	同時実行 B+木におけるロックフリー手続きの改善と実装	第 16 回データ工学と情報マネジメントに関するフォーラム	2024 年 2 月
184	桑村真生	名古屋大学	同時実行 B+木のマルチバージョン化の検討	第 16 回データ工学と情報マネジメントに関するフォーラム	2024 年 2 月
185	庄司雄哉	東京工業大学	10Tbps 超級光トランシーバに向けた革新的研究開発―集積型光アイソレータの研究開発―	2023 年度光産業技術シンポジウム	2024 年 2 月
186	田中信介	技術研究組合光電子融合基盤技術研究所	高効率・高速処理分散コンピューティングシステムに向けた低消費電力光トランシーバ技術	2023 年度光産業技術シンポジウム	2024 年 2 月
187	蘇武洋平	技術研究組合光電子融合基盤技術研究所	High-speed and low-power optical DAC transmitter using silicon lumped segmented modulator directly driven by 28nm CMOS inverter driver	OFC2024	2024 年 3 月
188	沖本拓也	技術研究組合光電子融合基盤技術研究所	InP-based Optical Devices Integrated on Silicon Photonic Circuits	Optical Fiber Communication Conference 2024	2024 年 3 月
189	庄司雄哉	東京工業大学	集積型光アイソレータの進展と磁気光学結晶集積化技術	電子情報通信学会 2024 総合大会	2024 年 3 月
190	上田優樹	北海道大学	シリコンリブ導波路型マルチバンド偏波合波器の設計	2024 年電子情報通信学会総合大会	2024 年 3 月
191	杉江祐介	名古屋大学	Universal Adaptive Radix Tree における空間分割戦略の改善	情報処理学会第 86 回全国大会	2024 年 3 月
192	權晋寛	東京大学	拡大推定曲率法を用いた InAs/GaAs 量子ドットの S-K 成長モードその場観察	2024 年 第 71 回応用物理学会春季学術講演会	2024 年 3 月
193	井上尚子	技術研究組合光電子融合基盤技術研究所	UV オゾン親水化を用いた InP 小片/SOI ウエハ接合による SOA 集積ハイブリッド波長可変レーザ	第 71 回応用物理学会 春季学術講演会	2024 年 3 月
194	菊地健彦	技術研究組合光電子融合基盤技術研究所	III-V 小片/SOI ウェハ接合を用いた Si 光回路上への種々の InP 系エピタキシャル構造の一体集積	第 71 回応用物理学会 春季学術講演会	2024 年 3 月
195	平谷拓生	技術研究組合光電子融合基盤技術研究所	Si スラブ導波路構造上に InP 系利得領域を接合したハイブリッド波長可変レーザ	電子情報通信学会 総合大会	2024 年 3 月
196	澤田祐甫	技術研究組合光電子融合基盤技術研究所	ベイズ DBS 設計による 2 段モザイク型 4 波長合波器	電子情報通信学会 総合大会	2024 年 3 月
197	日原弘喜	東京工業大学	異種材料集積光回路作製に向けたパーティクルフリーリニア型大気圧プラズマによるシリコンウェハの親水化処理	第 71 回応用物理学会春季学術講演会	2024 年 3 月
198	星田剛司	富士通株式会社	大容量・高速化を実現するネットワーク技術― 5G/6G/光伝送に関する技術開発を中心に ―	一般財団法人日本防衛装備工業会主催　先端技術セミナー	2024 年 3 月
199	菊地健彦	技術研究組合光電子融合基盤技術研究所	Monolithic integration of various-type III-V epitaxial structures on silicon-photonics platform using chip-on-wafer hydrophilic bonding process	IEEE Silicon Photonics Conference	2024 年 4 月

200	平谷拓生	技術研究組合光電子融合基盤技術研究所	SOA Integrated InP/Si Hybrid Tunable Laser by Utilizing Chip-on-Wafer Hydrophilic Bonding	IEEE Silicon Photonics Conference	2024年4月
201	Moataz Eissa	東京工業大学	Coupling structure for enabling both wafer- and chip-level characterization of silicon photonic integrated circuits	IEEE Silicon photonics conference	2024年4月
202	堀川剛	東京工業大学	Precise waveguide loss extraction using 300-mm wafer-level OFDR for optical process control monitoring	IEEE Silicon photonics conference	2024年4月
203	秋山知之	技術研究組合光電子融合基盤技術研究所	Scalable Silicon Photonics Transceivers	PIC International 2024	2024年4月
204	八木英樹	技術研究組合光電子融合基盤技術研究所	InP-based Photonic Devices Integrated on Si-photonic Platform	IEEE Silicon Photonics Conference	2024年4月
205	Deniz Lemcke	慶應義塾大学	Study on Chaos Synchronization of Cascaded Microresonator Optical Frequency Combs	Conference on Lasers and Electro-Optics 2024	2024年5月
206	Aoi Kida	慶應義塾大学	Accelerating BFT Database with Transaction Reconstruction	APDCM 2024	2024年5月
207	Yusuke Miyazaki	慶應義塾大学	Optimizing Aria Concurrency Control Protocol with Early Dependency Resolution	APDCM 2024	2024年5月
208	Tatsuhiro Nakamori	慶應義塾大学	ChimeraTL: Transfer Learning in DBMS with Fewer Samples	DBML 2024	2024年5月
209	蘇武洋平	技術研究組合光電子融合基盤技術研究所	シリコン光回路とCMOSドライバを集積した高密度・低電力コヒーレント光DAC送信器の開発	2024年LQE5月研究会	2024年5月
210	Tsuyoshi Horikawa	東京工業大学	Extraction of Reflection Coefficient in Silicon Waveguides using Multiple Reflection Signals in OFDR	CLEO 2024	2024年5月
211	鬼塚真	大阪大学	ビッグデータ管理：高速データベースエンジンと大規模言語モデルの活用	Handai-NEC Day	2024年5月
212	平谷拓生	技術研究組合光電子融合基盤技術研究所	小片接合を用いたInP/Si異種材料集積波長可変レーザ	電子情報通信学会レーザ・量子エレクトロニクス2024年5月研究会	2024年5月
213	堀川剛	東京工業大学	集積メンブレンレーザのウェハレベル自動計測	電子情報通信学会レーザ・量子エレクトロニクス2024年5月研究会	2024年5月
214	姚凱縝	東京工業大学	ハイブリッドレーザとの高効率ファイバ結合に向けたSiONファイバ結合器	電子情報通信学会レーザ・量子エレクトロニクス2024年5月研究会	2024年5月
215	Moataz Eissa	東京工業大学	Design of heterogeneous integration of III-V/SOI lasers with Silicon Nitride external cavities	電子情報通信学会レーザ・量子エレクトロニクス2024年5月研究会	2024年5月
216	Kwoen	東京大学	In-situ OBSERVATION OF InAs/GaAs QUANTUM DOTS USING THE MAGNIFICATION INFERRED CURVATURE METHOD	Compound Semiconductor Week 2024	2024年6月
217	井上崇	産業技術総合研究所	WSSによる帯域狭窄を受けたQAM信号品質の解析	光通信システム研究会2024年6月研究会	2024年6月

218	西山伸彦、八木英樹、田中信介、神林飛志、石井紀代	技術研究組合光電子融合基盤技術研究所/ノーチラス・テクノロジーズ/産業技術総合研究所	光電融合で実現するリアルタイム分散データベース	Interop Tokyo 2024	2024年6月
219	平谷拓生	技術研究組合光電子融合基盤技術研究所	小片接合を用いたInP/Si異種材料集積光デバイス	2024年7月 第3期第2回 PICS研究会	2024年7月
220	角田雅弘	東京大学	量子ドットレーザの高温動作	国際光デー記念シンポジウム ～量子技術とレーザー科学の最前線～	2024年7月

【受賞実績】

番号	発表者	所属	タイトル	会議名	発表年月
1	矢島駿	東京工業大学	High-speed Switching of Magneto-Optical Switch with Coplanar Electrode	講演奨励賞・第53回(2022年秋季)応用物理学会	2022年11月

【プレス発表等】

番号	発表者	所属	タイトル	掲載名	発表年月
1	森高章	技術研究組合光電子融合基盤技術研究所	異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発	JRCM NEWS	2022年6月
2	竹中充	東京大学	超高感度フォトトランジスタを開発 ――深層学習や量子計算用シリコン光回路の高速制御が可能に――	東京大学プレスリリース https://www.u-tokyo.ac.jp/focus/ja/press/	2022年12月
3	田邉孝純	慶應義塾大学	マイクロコムを用いた大容量光伝送	第２３回　慶應科学技術展 KEIO TECHNO-MALL 2022	2022年12月
4	技術研究組合光電子融合基盤技術研究所	技術研究組合光電子融合基盤技術研究所	異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発	YouTube	2023年12月

◎ニューロモルフィックダイナミクスに基づく超低電力エッジＡＩチップの研究開発とその応用展開

【特許】

出願者	出願番号	国内外 国PCT	出願日	状態	名称	発明者
国立大学法人九州工業大学	2023-88827	JP:日本国	2023.5.30	出願継続中	レザバー計算装置及びレザバー計算プログラム	田向権他
株式会社日立製作所	2023-014656	JP:日本国	2023.2.2	出願継続中	リザーバ計算機、及び設備状態検知システム	大島俊　他
国立大学法人九州工業大学	2023-126569	JP:日本国	2023.8.2	出願継続中	情報処理装置及び情報処理方法	田中悠一朗他

国立大学法人九州工業大学	2023-197417	JP:日本国	2023.11.21	出願継続中	情報処理装置、情報処理方法およびプログラム	吉岡莞汰他
株式会社日立製作所	18/510993(US)	US:アメリカ合衆国	2023.11.16	出願継続中	リザーバ計算機、及び設備状態検知システム	大島俊　他
国立大学法人九州工業大学	PCT/JP2024/16884	PCT(全指定)	2024.5.2	出願継続中	レザバー計算装置及びレザバー計算プログラム、並びに、レザバー利用算出方法	田向権他
株式会社アイヴィス，国立大学法人九州工業大学	2023-187990	JP:日本国	2023.11.1	出願継続中	ニューラルネットワーク演算装置	松本茂樹他

【論文】

発表者	所属	タイトル	発表誌名 ページ番号	査読	発表年月
Ninnart Fuengfusin, Hakaru Tamukoh	九州工業大学	INT8 Activation Ternary or Binary Weights Networks: Unifying Between INT8 and Lower-bit Width Quantization	Journal of Robotics, Networking and Artificial Life 171-176	有	2022.10
Yuichiro Tanaka and Hakaru Tamukoh	九州工業大学	Reservoir-based 1D convolution: low-training-cost AI	IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences 941-944	有	2023.10
Alper Ahmetoglu (Bogazici University), Batuhan Celik (Bogazici University), Erhan Oztop (Osaka University), Emre Ugur (Bogazici University)	大阪大学，ボアズィチ大学	Discovering Predictive Relational Object Symbols With Symbolic Attentive Layers	IEEE Robotics and Automation Letters (Volume: 9, Issue: 2, February 2024) 1977-1984	有	2024.1
Minoru Asada	大阪大学	Anthology: Cognitive Developmental Humanoids Robotics	International Journal of Humanoid 2450002	有	2024.2
Suzan Ece Ada (Boğaziçi University),	大阪大学，ボアズィチ大学	Bidirectional Progressive Neural Networks Wi	IEEE Access 69690 - 69699	有	2024.5

Hanne Say (Özyeğin University), Emre Ugur (Boğaziçi University), Erhan Oztop (Osaka University)	, オジェギン大学	th Episodic Return Progress for Emergent Task Sequencing and Robotic Skill Transfer			
Yuichiro Tanaka, Hakaru Tamukoh	九州工業大学	Self-organizing Multiple Readouts for Reservoir Computing	IEEE Access 138839-138849	有	2023.12
Suzan Ece Ada (Bogazici University), Erhan Oztop (Osaka University), Emre Ugur (Bogazici University)	大阪大学, ボアズィチ大学	Diffusion Policies for Out-of-Distribution Generalization in Offline Reinforcement Learning	IEEE Robotics and Automation Letters 3116-3123	有	2024.2
Osamu Nomura , Yusuke Sakemi , Takeo Hosomi , Takashi Morie	九州工業大学, 千葉工業大学, NEC	Robustness of Spiking Neural Networks based on Time-To-First-Spike Encoding against Adversarial Attacks	IEEE Transactions on Circuits and Systems II: Express Briefs 3640 - 3644	有	2022.7
Yuji Kawai (Osaka Univ.), Jihoon Park (Osaka Univ., NICT), Minoru Asada (IPUT, Osaka Univ., Chubu Univ., NICT)	大阪大学、中部大学、NICT, IPUT	Reservoir computing using self-sustained oscillations in a locally connected neural network	Scientific Reports 15532	有	2023.9
Yuji Kawai (Osaka Univ.), Minoru Asada (IPUT, Osaka Univ., Chubu Univ., NICT)	大阪大学、中部大学、NICT, IPUT	Spatiotemporal motor learning with reward-modulated Hebbian plasticity in modular reservoir computing	Neurocomputing 126740	有	2023.9
Yoshihiro Yonemura ,Yuichi Katori,(Future Univ. Hakodate)	はこだて未来大学	Reservoir Computing-Based Mental Simulation for Direct Action Sequence Optimization	Nonlinear Theory and Its Applications, IEICE, 15, (2), 421-431,	有	2024.4

(1) 研究発表・講演（口頭発表も含む）

発表者	所属	タイトル	学会名 イベント名等	発表年月

Reiji Ota, Yuzuru Kato, Yuichi Katori(Future Univ. Hakodate)	はこだて未来大学	Hysteretic Oscillator-Based Reservoir Computing for Audio Waveform Pattern Recognition	2024 International Joint Conference on Neural Network (IJCNN2024)	2024.7
Jin Nakamura, Yuichi Katori	はこだて未来大学	Reservoir Computing-Based Model of Action Planning: Emulating Prefrontal Cortex Functions with Dynamic Synapses and Reward-Based Learning,	2024 International Joint Conference on Neural Network (IJCNN2024)	2024.7
松本　茂樹、市川　湧希、梶原　信樹、田向　権	株式会社アイヴィス、九州工業大学大学院生命体工学研究科	カオス・ボルツマン・マシンをベースとしたレザバーコンピューティングの高位合成実装	デザインガイア2023 -VLSI設計の新しい大地－	2023.11
松本　茂樹、市川　湧希、梶原　信樹、田向　権	株式会社アイヴィス、九州工業大学大学院生命体工学研究科	FPGA Implementation for Large Scale Reservoir Computing based on Chaotic Boltzmann Machine	ISCCA 2024: 2024 IEEE International Symposium on Circuits and Systems	2024.5
Kanta Yoshioka (Kyutech), Yuichi Katori (Future University Hakodate), Yuichiro Tanaka, Osamu Nomura, Takashi Morie and Hakaru Tamukoh (Kyutech)	九州工業大学, はこだて未来大学	FPGA Implementation of a Chaotic Boltzmann Machine	International Joint Conference on Neural Networks	2023.6
Yuga Yano, Kosei Isomoto, Tomohiro Ono, and Hakaru Tamukoh (Kyutech)	九州工業大学	Autonomous Waiter Robot System for Recognizing Customers, Taking Orders, and Serving Food	RoboCup Symposium 2023	2023.7
Osamu Nomura, Takashi Morie	九州工業大学	Analog Neuromorphic Hardware for a Chaotic Boltzmann Machine Working as a Reservoir	The 22nd International Symposium on Eco-materials Processing and Design	2024.1
永井達郎, 香取勇一	はこだて未来大学	Enhancing Reinforcement Learning in POMDPs with the Reservoir Soft Actor-Critic Model In	The 10th Anniversary Korea-Japan Joint Workshop on Complex Communication Sciences (KJCCS2024)	2024.1

		corporating Multi-layer Structures		
吉野遊, 香取勇一	はこだて未来大学	Reservoir Reinforcement Learning Model for Generating and Switching Motor Primitives	The 10th Anniversary Korea-Japan Joint Workshop on Complex Communication Sciences(KJCCS2024)	2024.1
Hiroshi Atsuta (Osaka Univ.), Yuji Kawai (Osaka Univ.), and Minoru Asada (Osaka Univ., IPUT, NICT, Chubu Univ.)	大阪大学	Small sample learning of reaching movements of a redundant robotic arm with an echo state network	脳と心のメカニズム　冬のワークショップ2023	2023.1
熱田洋史・河合祐司（大阪大学）・浅田稔(IPUT/阪大/中部大/NICT)	大阪大学、中部大学、NICT,IPUT	エコーステートネットワークを用いた冗長ロボットアームの適応的な運動生成	電子情報通信学会　ニューロコンピューティング研究会　(NC) MEとバイオサイバネティックス研究会　(MBE)　合同研究会	2023.10
河合祐司（大阪大学)・浅田稔(IPUT,阪大,中部大,NICT)	大阪大学、中部大学、NICT,IPUT	ベルヌーイ分布の重みを有するモジュール型レザバーコンピューティングの軽量化	ニューロコンピューティング研究会	2023.10
斎藤陽平	九州工業大学	連続時間の入出力対応関係を普遍性を持つダイナミクスで近似し、その回路実装の可能性を示唆した研究	第２６回情報論的学習理論ワークショップ(IBIS2023)	2023.10
Batuhan Celik (Bogazici University), Alper Ahmetoglu (Bogazici University), Emre Ugur (Bogazici University), Erhan Oztop (Osaka University)	大阪大学, ボアズィチ大学	Developmental Scaffolding with Large Language Models	23rd IEEE International Conference on Development and Learning (ICDL 2023)	2023.11
Murat Kirtay (Tilburg University), Verena V. Hafner (Humboldt-Universität zu Berlin), Minoru As	大阪大学, ティルブルグ大学, フンボルト大学	Interplay Between Neural Computational Energy and Multimodal Processing in Robot-Robot Interaction	23rd IEEE International Conference on Development and Learning (ICDL 2023)	2023.11

ada (Osaka University), Erhan Oztop (Osaka University)				
Osamu Nomura, Takashi Morie, Hakaru Tamukoh, Kazuo Nakahara, Yuichi Katori	九州工業大学，はこだて未来大学	Analog Neuromorphic Hardware for a Chaotic Boltzmann Machine Working as a Reservoir	2022 Workshop on Future Computing (WFC22)	2022.12
Hanne Say (Ozyegin University), Erhan Oztop (Osaka University)	大阪大学，オジェギン大学	Developmental Scaffolding with Large Language Models	IEEE International Conference on Robotics and Biomimetics (ROBIO 2023)	2023.12
Kazuo Nakahara (Kyutech), Yuichi Katori (Future Univ. Hakodate), Osamu Nomura(Kyutech), Hakaru Tamukoh(Kyutech), Takashi Morie (Kyutech)	九州工業大学，はこだて未来大学	Evaluation of Modular Reservoirs Using Chaotic Boltzmann Machines	The 4th International Symposium on Neuromorphic AI Hardware	2022.12
Kanta Yoshioka, Yuichiro Tanaka, and Hakaru Tamukoh	九州工業大学	LUTNet-RC: Look-Up Tables Networks for Reservoir Computing on an FPGA	International Conference on Field-Programmable Technology	2023.12
Katsunori Tamai (Kyutech), Yuichi Katori (Future Univ. Hakodate), Hakaru Tamukoh (Kyutech), Osamu Nomura (Kyutech), Takashi Morie (Kyutech)	九州工業大学，はこだて未来大学	Performance Evaluation of a Reservoir Reinforcement Learning Model Considering Nonlinear Write Characteristics of Analog Memory	The 4th International Symposium on Neuromorphic AI Hardware	2022.12
Yuichiro Tanaka ,Hakaru Tamukoh	九州工業大学	Reservoir-based 1D convolution	The 4th International Symposium on Neuromorphic AI Hardware	2022.12
Kanta Yoshioka, Yuichiro Tanaka, and Hakaru Tamukoh (Kyutech)	九州工業大学	Traffic Flow Optimization using a Chaotic Boltzmann Machine Annealer on an FPGA	International Conference on Field-Programmable Technology	2023.12

山口　紘正，水谷　彰伸，アリ　ラフマード　シュリスティヨ，田中　悠一朗，田向　権（九工大）	九州工業大学	ホームサービスロボットのためのリザバーコンピューティングによる低計算コストの手振り認識システム	第25回日本知能情報ﾌｧｼﾞｨ学会九州支部学術講演会	2023.12
Hiromasa Yamaguchi, Akinobu Mizutani, Arie Rachmad Syulistyo, Yuichiro Tanaka, Hakaru Tamukoh	九州工業大学	A low computational cost hand waving action recognition system with echo state network for home service robots	International Conference on Artificial Life and Robotics 2024	2024.2
Deniz Yilmaz (Ozyegin University), Barkan Ugurlu (Bogazici University), Erhan Oztop (Osaka University)	大阪大学，ボアズィチ大学，オジェギン大学	Human-in-the-Loop Training Leads to Faster Skill Acquisition and Adaptation in Reinforcement Learning-based Robot Control	18th IEEE International Conference on Advanced Motion Control (AMC2024)	2024.2
Arie Rachmad Syulistyo, Yuichiro Tanaka, and Hakaru Tamukoh (Kyutech)	九州工業大学	American Sign Language Recognition by Reservoir Computing with a Combination of Multi-reservoir and Self-organizing Multi-readout	The 5th International Symposium on Neuromorphic AI Hardware	2024.3
Kazuo Nakahara, Osamu Nomura, Hakaru Tamukoh (Kyutech), Yuichi Katori (Future Univ. Hakodate) and Takashi Morie (Kyutech)	九州工業大学，はこだて未来大学	Analysis of Modular Reservoir Computing Using Chaotic Boltzmann Machines	The 5th International Symposium on Neuromorphic AI Hardware	2024.3
Ryuta Toyoda, Sansei Hori, and Hakaru Tamukoh (Kyutech)	九州工業大学	High Sensitivity Motion Capture Under Low-light Conditions Using EVS	The 5th International Symposium on Neuromorphic AI Hardware	2024.3
Tomoro Marcus Jones, Yuka Shishido, Osamu Nomura, Hakaru Tamukoh and Takashi Morie (Kyutech)	九州工業大学	Improvement of Read-Out Circuit for Non-volatile Memory Embedded In-Memory Computing Architectures	The 5th International Symposium on Neuromorphic AI Hardware	2024.3

Hiromasa Yamaguchi, Akinobu Mizutani, Arie Rachmad Syulistyo, Yuichiro Tanaka, Hakaru Tamukoh (Kyutech)	九州工業大学	Integration of Cropped Image and Skeleton Information for Hand Waving Recognition by Reservoir Computing	The 5th International Symposium on Neuromorphic AI Hardware	2024.3
Atsuki Yokota, Ichiro Kawashima, Hakaru Tamukoh, Osamu Nomura and Takashi Morie (Kyutech)	九州工業大学	Performance Evaluation of Techniques for Enhancing Memory Capacity of Reservoir Computing	The 5th International Symposium on Neuromorphic AI Hardware	2024.3
Yuichiro Tanaka and Hakaru Tamukoh (Kyutech)	九州工業大学	Reinforcement Learning of Two Continuous Tasks by Reservoir Computing with Multiple Readouts	The 5th International Symposium on Neuromorphic AI Hardware	2024.3
Kosei Yamao, Daiju Kanaoka, Kosei Isomoto, and Hakaru Tamukoh (Kyutech)	九州工業大学	Visual Prompting to Interpret Object Locations for Service Robots	The 5th International Symposium on Neuromorphic AI Hardware	2024.3
Kosei Yamao, Daiju Kanaoka, Kosei Isomoto, Hakaru Tamukoh	九州工業大学	A General Purpose Service Robot System Capable of Handling Commands Containing Abstract Nouns	2024 IEEE International Conference on Robotics and Automation	2024.5
Baturhan Akbulut (Bogazici University), Tuba Girgin (Bogazici University), Arash Mehrabi (Ozyegin University), Minoru Asada (Osaka University), Emre Ugur (Bogazici University), Erhan Oztop (Osaka University)	大阪大学	Bimanual rope manipulation skill synthesis through context dependent correction policy learning from human demonstration	IEEE International Conference on Robotics and Automation (ICRA2023)	2023.5

Soshi Hirayae, Kanta Yoshioka, Atsuki Yokota, Ichiro Kawashima, Yuichiro Tanaka (Kyutech), Yuichi Katori (Future University Hakodate), Osamu Nomura, Takashi Morie, and Hakaru Tamukoh (Arie Rachmad Syulistyo, Yuichiro Tanaka, Hakaru Tamukoh (Kyutech)Kyutech)	九州工業大学、はこだて未来大学	Enhancing Memory Capacity of Reservoir Computing with Delayed Input and Efficient Hardware Implementation with Shift Registers	IEEE International Symposium on Circuits and Systems	2024.5
Arie Rachmad Syulistyo, Yuichiro Tanaka, Hakaru Tamukoh (Kyutech)	九州工業大学	Recognizing Nursing Activities in Endotracheal Suction: Utilizing Multiple Readouts Reservoir Computing and Large Language Models	6th International Conference on Activity and Behavior Computing	2024.5
Osamu Nomura	九州工業大学	Analog Neuromorphic Hardware for Energy-efficient AI computing	The IEEE / CVF Computer Vision and Pattern Recognition Conference	2022.6
Hiroshi Atsuta, Yuji Kawai (Osaka University), Minoru Asada(IPUT/Osaka University/Chubu University /NICT)	大阪大学	Enhancement of the Robustness of Redundant Robot Arms Against Perturbations by Inferring Dynamical Systems Using Echo State Networks	2024 International Joint Conference on Neural Networks (IJCNN)	2024.6
大阪大学・浅田稔	大阪大学	Towards Science of Interaction Design: Cognitive Developmental Robotics Revisited	ICRA2023 WS on Cognitive Modeling in Robot Learning for Adaptive Human-Robot Interactions	2023.6
Hibikino-Musashi@Home	九州工業大学	RoboCup@Home Poster Session	RoboCup 2024	2024.7
吉岡莞汰	九州工業大学	「LUTNetのReservoir Computingへの応用	fpgax	2024.7
徳野将士，田中悠一朗，川節拓実，田向権，細田耕	九州工業大学，大阪大学	ロボットの触覚の記憶獲得と記憶に基づいた違和感の検知	第４０回　日本ロボット学会学術講演会	2022.7

Negin Amirshirzad (Ozyegin University), Minoru Asada (Osaka University), Erhan Oztop (Osaka University)	大阪大学	Context Based Echo State Networks for Robot Movement Primitives	32nd IEEE International Conference on Robot & Human Interactive Communication (RO-MAN)	2023.8
Ryuta Toyoda, Ninnart Fuengfusin, Hakaru Tamukoh	九州工業大学	FPGA Implementation of Spatial-Temporal-Majority Filter for Event-based Vision Sensor	The 10th Taiwan and Japan Conference on Circuits and Systems	2024.8
Osamu Nomura , Takashi Morie,Yusuke Sakemi , Takeo Hosomi	九州工業大学, 千葉工業大学, ＮＥＣ	Robustness Of Spiking Neural Networks Based On Time-To-First-Spike Encoding Against Adversarial Attacks	The 65th IEEE International Midwest Symposium on Circuits and Systems	2022.8
Yuichiro Tanaka, Hakaru Tamukoh (Kyutech)	九州工業大学	Ensemble Learning of Multiple Readouts for Reservoir Computing	2023 International Symposium on Nonlinear Theory and Its Applications	2023.9
香取勇一	はこだて未来大学	Reservoir Computing Models for Integrating Sensory Processing and Motor Control	2023 International Symposium on Nonlinear Theory and Its Applications (NOLTA2023)	2023.9
﨑野也真人／香取勇一（はこだて未来大），森江隆・田向権（九工大）	はこだて未来大, 九州工業大学	Reservoir Reinforcement Learning with Chaotic Boltzmann Machines Implemented on an FPGA	2023 International Symposium on Nonlinear Theory and Its Applications (NOLTA2023)	2023.9
米村祥裕, 香取勇一	はこだて未来大学	Visual Information-Based Mental Simulation Model with Reservoir Computing for Controlling Deterministic Systems with Reservoir Computing for Controlling Deterministic Systems	2023 International Symposium on Nonlinear Theory and Its Applications (NOLTA2023)	2023.9
中原弘貴・水野海渡・川節拓実（大阪大学）、細田耕（京都大学）	大阪大学, 京都大学	せん断力を垂直抗力に変換するコンプライアントメカニズムのロボットグリッパ応用	第４１回日本ロボット学会学術講演会	2023.9

河合祐司・熱田洋史（阪大）・浅田稔(IPUT,阪大，中部大，NICT)	大阪大学、中部大学、ＮＩＣＴ，ＩＰＵＴ	レザバーコンピューティングを用いた参照軌道の適応による未知外乱への低トルク応答	第３３回日本神経回路学会全国大会	2023.9
河合祐司・熱田洋史（阪大）・浅田稔(IPUT，阪大，中部大,NICT)	大阪大学、中部大学、ＮＩＣＴ，ＩＰＵＴ	レザバーコンピューティングを用いた適応的な参照軌道生成による外乱にロバストな制御	第４１回日本ロボット学会学術講演会	2023.9
南川健志郎・柳田栞吾・川節拓実（大阪大学）、細田耕（京都大学）	大阪大学，京都大学	指腹部剛性可変な対向２指グリッパを用いたダイナミックタッチにおける応答特性調査	第４１回日本ロボット学会学術講演会	2023.9
右田浩基・川節拓実（大阪大学）、細田耕（京都大学）	大阪大学，京都大学	柔軟固有感覚からの自己運動と外部刺激の抽出と未知物体把持の実現	第４１回日本ロボット学会学術講演会	2023.9
水地良明，Luis Contreras,稲邑哲也，岡田浩之	玉川大学	生活支援ロボットの対話知能構築に向けたサイバーフィジカル技術開発	第４１回日本ロボット学会学術講演会	2023.9
小林遼平，Luis Contreras,岡田浩之	玉川大学	非熟練ユーザのための直感的なインタラクションインターフェース	第４１回日本ロボット学会学術講演会	2023.9
平塚 和宏	株式会社セック	レザバーコンピューティングによる振動識別アプリケーション	International Symposium on Neuromorphic AI Hardware	2024.3
宮村 直希	株式会社セック	レザバーコンピューティングによる音識別アプリケーション	International Symposium on Neuromorphic AI Hardware	2024.3
建部 貴隆	株式会社セック	エッジAIの新たな可能性 - FPGAとレザバーコンピューティングによる高効率AI処理	第16回ACRiウェビナー	2024.3

(1) プレス発表等

発表者	所属	タイトル	雑誌名・学会名・イベント名等	発表年月
株式会社セック	株式会社セック	レザバーコンピューティングによる打音検査デモ	Ｅｄｇｅ　Ｔｅｃｈ＋　２０２２	2022.11
株式会社アイヴィス,株式会社フローディア,	株式会社アイヴィス,株式会社フローディア,	・最新組込AI搭載の家庭用サービスロボットデモ	Ｅｄｇｅ　Ｔｅｃｈ＋　２０２３	2023.11

株式会社セック，九州工業大学,大阪大学，株式会社キビテク，はこだて未来大学､玉川大学	株式会社セック，九州工業大学,大阪大学，株式会社キビテク，はこだて未来大学，玉川大学	・軽量なオンライン学習機能付きレザバーFPGAシステム展示 ・海馬機能を模した高効率・低消費電力脳型AIチップシステム展示		

◎電圧駆動不揮発性メモリを用いた超省電力ブレインモルフィックシステムの研究開発

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名　　称	発明者
1	九州工業大学	特願 2022-033282	国内	2022/3	出願	演算処理装置	森江隆，他
2	九州工業大学	特願 2022-063290	国内	2022/4	出願	演算処理装置	川島一郎，他
3	ソニーセミコンダクタソリューションズ	特願 2022-069010	国内	2022/4	出願	記憶装置、電子機器及び記憶装置の制御方法	肥後豊，他
4	ソニーセミコンダクタソリューションズ	PCT/JP2022/036596	PCT	2022/9	出願	記憶装置、電子機器及び記憶装置の制御方法	肥後豊，他
5	ソニーセミコンダクタソリューションズ，産業技術総合研究所	特願 2022-178426	国内	2022/11	出願	記憶装置、電子機器及び記憶装置の制御方法	阪井塁，他
6	ソニーセミコンダクタソリューションズ	特願 2022-184479	国内	2022/11	出願	記憶装置、電子機器及び記憶装置の制御方法	肥後豊，他
7	ソニーセミコンダクタソリューションズ	特願 2023-007447	国内	2023/1	出願	記憶装置、電子機器及び記憶装置の制御方法	阪井塁，他
8	ソニーセミコンダクタソリューションズ，産業技術総合研究所	特願 2023-022551	国内	2023/2	出願	記憶装置、電子機器及び記憶装置の制御方法	阪井塁，他
9	ソニーセミコンダクタソリューションズ	特願 2023-034753	国内	2023/3	出願	メモリ装置及びメモリシステム	阪井塁，他
10	九州工業大学	PCT/JP2023/007251	PCT	2023/4	出願	演算処理装置	森江隆，他
11	九州工業大学	特願 2023-170719	国内	2023/5	出願	制御装置及びそれを具備する要求処理システム	水谷 彰伸，他
12	ソニーセミコンダクタソリューションズ	特願 2023-171046	国内	2023/10	出願	不揮発性メモリ、および、演算装置	阪井塁，他
13	ソニーセミコンダクタソリューションズ，産業技術総合研究所	PCT/JP2023/038117	PCT	2023/10	出願	記憶装置、電子機器及び記憶装置の制御方法	阪井塁，他
14	ソニーセミコンダクタソリューションズ	PCT/JP2023/040142	PCT	2023/11	出願	記憶装置、電子機器及び記憶装置の制御方法	肥後豊，他
15	ソニーセミコンダクタソリューションズ	PCT/JP2024/000332	PCT	2024/1	出願	記憶装置、電子機器及び記憶装置の制御方法	阪井塁，他

16	ソニーセミコンダクタソリューションズ，産業技術総合研究所	PCT/JP2024/002724	PCT	2024/1	出願	記憶装置、電子機器及び記憶装置の制御方法	阪井塁，他
17	ソニーセミコンダクタソリューションズ	PCT/JP2024/006420	PCT	2024/2	出願	メモリ装置及びメモリシステム	阪井塁，他
18	ソニーセミコンダクタソリューションズ，産業技術総合研究所	特願 2024-027464	国内	2024/2	出願	磁気メモリ素子、記憶装置及び書き込み方法	山本竜也，他
19	ソニーセミコンダクタソリューションズ	特願 2024-080177	国内	2024/5	出願	記憶装置、電子機器および記憶装置の制御方法	阪井塁，他
20	ソニーセミコンダクタソリューションズ，産業技術総合研究所	特願 2024-118640	国内	2024/7	出願	磁気記憶素子及び磁気記憶装置の書き込み方法	影山由維人，他
21	ソニーセミコンダクタソリューションズ	特願 2024-125946	国内	2024/8	出願	記憶装置、電子機器及び記憶装置の制御方法	肥後豊，他
22	ソニーセミコンダクタソリューションズ	PCT/JP2024/028187	PCT	2024/8	出願	不揮発性メモリ、および、演算装置	阪井塁，他

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Y. Tanaka, T. Morie, and H. Tamukoh	九州工業大学	An Amygdala-Inspired Classical Conditioning Model on an FPGA for Home Service Robots	IEEE Access, vol.8, pp.212066-212078	有	2020/10
2	Y. Tanaka, H. Tamukoh, K. Tateno, Y. Katori, and T. Morie	九州工業大学、公立はこだて未来大	A Brain-inspired Artificial Intelligence Model of Hippocampus, Amygdala, and Prefrontal Cortex on Home Service Robots	Proc. of the 2020 Int. Symp. on Nonlinear Theory and Its Applications (NOLTA2020), pp.138-141	有	2020/11
3	Thomas Scheike, Qingyi Xiang, Zhenchao Wen, Hiroaki Sukegawa, Tadakatsu Ohkubo, Kazuhiro Hono, Seiji Mitani	物質・材料研究機構	Exceeding 400% tunnel magnetoresistance at room temperature in epitaxial Fe/MgO/Fe(001) spin-valve-type magnetic tunnel junctions	Applied Physics Letters, vol.118, pp.042411-1-042411-6	有	2021/1
4	Tatsuya Yamamoto, Takayuki Nozaki, Kay Yakushiji, Shingo Tamaru, Hitoshi Kubota, Akio Fukushima, Shinji Yuasa	産業技術総合研究所	Perpendicular magnetic anisotropy and its electrical control in FeNiB ultrathin films	AIP advances, vol.11, pp.015142-1-015142-4	有	2021/1
5	Akio Fukushima, Tatsuya Yamamoto, Takayuki Nozaki, Kay Yakushiji, Hitoshi Kubota, Shinji Yuasa	産業技術総合研究所	Recent progress in random number generator using voltage pulse-induced switching of nano-magnet: A perspective	APL Materials, vol.9, pp.030905-1-030905-9	有	2021/3
6	T. Yamamoto, T. Nozaki, K. Yakushiji, S. Tamaru, H. Kubota, A. Fukushima, and S. Yuasa	産業技術総合研究所	Perpendicular magnetic anisotropy and its voltage control in MgO/CoFeB/MgO junctions with atomically thin Ta adhesion layer	Acta Materialia, vol.216, pp.117097	有	2021/6

7	T. Nozaki, S. Tamaru, M. Konoto, T. Nozaki, H. Kubota, A. Fukushima, and S. Yuasa	産業技術総合研究所	Large voltage-induced coercivity change in Pt/Co/CoO/amorphous TiOx structure and heavy metal insertion effect	Scientific Reports, vol.11, pp.21448	有	2021/11
8	T. Scheike, Z. Wen, H. Sukegawa, S. Mitani	NIMS	Enhanced tunnel magnetoresistance ib Fe/Mg4Al-Ox/Fe(001) magnetic tunnel junctions	Appl. Phys. Lett., vol.120, pp.032404-1-4	有	2022/1
9	T. Nozaki, T. Nozaki, T. Yamamoto, M. Konoto, A. Sugihara, K. Yakushiji, H. Kubota, A. Fukushima, and S. Yuasa	産業技術総合研究所	Enhancing the interfacial perpendicular magnetic anisotropy and tunnel magnetoresistance by inserting an ultrathin LiF layer at an Fe/MgO interface	NPG Asia Materials, vol.14, pp.5	有	2022/1
10	T. Ichinose, T. Yamamoto, J. Uzuhashi, T. Nozaki, T. Ohkubo, K. Yakushiji, S. Tamaru, K. Hono, S. Yuasa	産業技術総合研究所	Improvement in perpendicular magnetic anisotropy and its voltage control efficiency in CoFeB/MgO tunnel junctions with Ta/Mo layered adhesion structures	J. Appl. Phys., vol.131, pp.213901-1-9	有	2022/3
11	R. Matsumoto and H. Imamura	産業技術総合研究所	Write Error Rate in Bias-Magnetic-Field-Free Voltage-Induced Switching in a Conically Magnetized Free Layer	Phys. Rev. Applied, vol.17, pp.034063-1-10	有	2022/3
12	Hiroki Nakagawa, Katsumi Tateno, Kensuke Takada, Takashi Morie	九州工業大学	A Neural Network Model of the Entorhinal Cortex and Hippocampus for Event-order Memory Processing	IEEE ACCESS, vol.10, pp.43003-43012	有	2022/4
13	Hiroki Nakagawa, Katsumi Tateno, Kensuke Takada, Takashi Morie	九州工業大学	A Neural Network Model of the Entorhinal Cortex and Hippocampus for Event-order Memory Processing	IEEE Access, vol.10, pp.43003	無	2022/4
14	T. Yamamoto, T. Ichinose, J. Uzuhashi, T. Nozaki, T. Ohkubo, K. Yakushiji, S. Tamaru, H. Kubota, A Fukushima, K. Hono, and S. Yuasa	産業技術総合研究所	Perpendicular magnetic anisotropy and its voltage control in MgO/CoFeB/Mo/CoFeB/MgO junctions	J. Phys. D: Appl. Phys., vol.55, pp.275003	有	2022/4
15	Kensuke Takada, Katsumi Tateno	九州工業大学	Real-time computation of a large-scaled entorhinal-hippocampal spiking neural network using GPU acceleration	IEICE, vol. 13, pp. 349-354	有	2022/4
16	山本竜也	産業技術総合研究所	Developments in voltage-controlled subnanosecond magnetization switching	Journal of Magnetism and Magnetic Materials, vol.560, pp.1--11	有	2022/6
17	T. Nozaki, T. Nozaki, H. Onoda, H. Nakayama, T. Ichinose, T. Yamamoto, M. Konoto, and S. Yuasa	産業技術総合研究所	Precise interface engineering using a post-oxidized ultrathin MgAl layer for the voltage-controlled magnetic anisotropy effect	APL Materials, vol.10, pp.81103	有	2022/8
18	Ninnart Fuengfusin, Hakaru Tamukoh	九州工業大学	INT8 Activation Ternary or Binary Weights Networks:	Journal of Robotics, Networking and	有	2022/9

			Unifying Between INT8 and Lower-bit Width Quantization	Artificial Life, vol.9, pp.171-176		
19	H. Onoda, T. Nozaki, S. Tamaru, T. Nozaki, and S. Yuasa	産業技術総合研究所	Enhancing voltage-controlled magnetic anisotropy in Fe80B20/MgO/HfO2 thin films by dielectric constant modulation	Physical Review Materials, vol.6, pp.6	有	2022/10
20	T. Nozaki, T. Nozaki, T. Yamamoto, M. Konoto, A. Sugihara, K. Yakushiji, and S. Yuasa	産業技術総合研究所	Voltage-controlled magnetic anisotropy effect through a LiF/MgO hybrid tunneling barrier	Applied Physics Letters, vol.121, pp.172401	有	2022/10
21	R. Matsumoto, S. Yuasa, and H. Imamura	産業技術総合研究所	Heavily Damped Precessional Switching with Very Low Write-Error Rate in Elliptical-Cylinder Magnetic Tunnel Junctions	PHYSICAL REVIEW APPLIED, vol.18, pp.054069-1-11	有	2022/11
22	H. Nakayama, T. Nozaki, T. Nozaki, S. Yuasa	産業技術総合研究所	Engineering Co/MgO interface with heavy metals for voltage-controlled magnetic anisotropy effect	Applied Physics Letters, vol.122, pp.032403-1-032403-6	有	2023/1
23	T. Scheike, Z. Wen, H. Sukegawa, S. Mitani	物質・材料研究機構	631% room temperature tunnel magnetoresistance with large oscillation effect in CoFe/MgO/CoFe(001) junctions	Applied Physics Letters, vol.122, pp.112404-1-6	有	2023/2
24	Yukie Kitaoka, Hiroshi Imamura	産業技術総合研究所	First-principles study of enhancement of perpendicular magnetic anisotropy obtained by inserting an ultrathin LiF layer at an Fe/MgO interface	Journal of Magnetism and Magnetic Materials, vol.572, pp.170596	有	2023/3
25	Hiroyasu Nakayama, Takayuki Nozaki, Tomohiro Nozaki, Shinji Yuasa	AIST	Strong impact of underlayers on the voltage-controlled magnetic anisotropy in interface engineered Co/MgO junctions with heavy metals	Advanced Materials Interfaces, vol.10, pp.2300131	有	2023/4
26	Rie Matsumoto, Shiniji Yuasa, Hiroshi Imamura	AIST	Substantial reduction of write-error rate for voltage-controlled magnetoresistive random access memory by in-plane demagnetizing field and voltage-induced negative out-of-plane anisotropy field	Journal of Magnetism and Magnetic Materials, vol.579, pp.170804	有	2023/5
27	Tomohiro Ichinose, Tatsuya Yamamoto, Takayuki Nozaki, Kay Yakushiji, Shingo Tamaru, Shinji Yuasa	AIST	Interfacial Fe segregation and its influence on magnetic properties of CoFeB/MgFeO multilayers	Applied Physics Express, vol.16, pp.113002	有	2023/11
28	Takayuki Nozaki1, Tomohiro Ichinose1, Jun Uzuhashi2, Tatsuya Yamamoto1, Makoto Konoto1, Kay Yakushiji1, Tadakatsu Ohkubo2, and Shinji Yuasa1	1AIST, 2NIMS	Large-voltage-controlled magnetic anisotropy effect in magnetic tunnel junctions prepared by deposition at cryogenic temperatures	APL Materials, vol.11, pp.121106	有	2023/12
29	山本竜也、一ノ瀬智浩、埋橋淳、野崎隆行、大久保忠勝、薬師寺啓、田丸	産業技術総合研究所、物質材料研究機構	Magneto-transport properties in perpendicularly magnetized magnetic tunnel junctions	Acta Materialia, vol.267, pp.119749	有	2024/1

	慎吾、久保田均、湯浅新治		using an Mg40Fe10050 tunnel barrier			
30	Hiroshige Onoda, Tomohiro Nozaki, Takayuki Nozaki, and Shinji Yuasa	AIST	Voltage-controlled magnetic anisotropy effect through a high-k MgO/ZrO2/MgO hybrid tunneling barrier	Applied Physics Express, vol.17, pp.23001	有	2024/2
31	Tatsuya Yamamoto, Tomohiro Ichinose, Takayuki Nozaki, Shingo Tamaru, Kay Yakushiji, Hitoshi Kubota, and Shinji Yuasa	AIST	Write-error reduction in voltage-driven magnetization switching using low magnetic damping recording layer	Physical Review Appliled	有	2024/5

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Katsuya Chiguchi, Katsumi Tateno	九州工業大学	Spiking neural network model encoding the position of others for spatial observational learning	9th International Symposium on Applied Engineering and Sciences (SAES2021)	2021/12
2	Shinji Yuasa	産業技術総合研究所	Voltage Control of Magnetic Anisotropy for Voltage-Controlled MRAM【招待講演】	The 13th MRAM Global Innovation Forum	2021/12
3	SCHEIKE Thomas	物質・材料研究機構	Single-crystal Fe/MgO/Fe magnetic tunnel junctions with a room temperature magnetoresistance of 417%	応用物理学会	2021/3
4	田中 悠一朗, 田向 権, 立野 勝巳, 田中 啓文, 森江 隆	九州工業大学	海馬・扁桃体・前頭前野の機能を統合した脳型 AI ハードウェア	第 82 回応用物理学会秋季学術講演会	2021/9
5	野崎友大	産業技術総合研究所	Pt/Co/CoO/アモルファス TiOx 構造における電圧誘起保磁力変化	磁気記録・情報ストレージ研究会 (MRIS)	2021/10
6	Akinobu Mizutani, Yuichiro Tanaka, Hakaru Tamukoh, Yuichi Katori, Katsumi Tateno, Takashi Morie	九州工業大学、公立はこだて未来大	Brain-inspired neural network navigation system with hippocampus, prefrontal cortex, and amygdala functions	International Symposium on Intelligent Signal Processing and Communication Systems 2021	2021/11
7	H. Nakagawa, K. Tateno, K. Takada, and T. Morie	九州工業大学	A Hippocampus Model for Episodic Memory Processing Using Associative Memory	Nonlinear Theory and Its Applications (NOLTA2020)	2021/11
8	森江 隆, 立野 勝巳, 中川 拓紀, 高田 健介	九州工業大学	海馬の機能にヒントを得た脳型ハードウェアアーキテクチャ【招待講演】	第 30 回日本神経回路学会全国大会 (JNNS2020)	2021/12
9	Kensuke Takada, Katsumi Tateno	九州工業大学	Real-time computation of a large-scaled entorhinal-hippocampal spiking neural network using GPU acceleration	The 2021 Nonlinear Science Workshop (NLSW2021)	2021/12
10	小野田浩成	産業技術総合研究所	FeB/MgO/HfO2 構造における比誘電率と電圧磁気変調効果	強的秩序とその操作に関わる第 14 回研究会	2022/1
11	T. Scheike, H. Sukegawa, Q. Xiang, Z. Wen, T. Ohkubo, K. Hono, S. Mitani	NIMS	Giant tunnel magnetoresistance ratio and oscillation in Fe/MgO/Fe(001) and	2022 Joint MMM-Intermag	2022/1

			Fe/MgAlO/Fe(001) magnetic tunnel junctions		
12	野崎友大	産業技術総合研究所	Pt/Co/CoO/TiOx 構造における電圧磁気異方性変調効果	強的秩序とその操作に関わる第 14 回研究会	2022/1
13	Akinobu Mizutani, Yuichiro Tanaka, Hakaru Tamukoh, Yuichi Katori, Katsumi Tateno and Takashi Morie	九州工業大学, 公立はこだて未来大学	A Situation-dependent Navigation System by Brain-inspired Neural Networks with Hippocampus, Prefrontal Cortex, and Amygdala Functions	The 10th RIEC International Symposium on Brain Functions and Brain Computer	2022/2
14	Osamu Nomura, Ichiro Kawashima, Seiji Uenohara, Yuichiro Tanaka, Akinobu Mizutani, Kensuke Takada, Katsumi Tateno, Hakaru Tamukoh, and Takashi Morie	九州工業大学	A Memory-based LSI Architecture for Entorhinal-hippocampal Model	The 3rd International Symposium on Neuromorphic AI Hardware	2022/3
15	Akinobu Mizutani, Yuichiro Tanaka, Ichiro Kawashima, Hakaru Tamukoh, Katsumi Tateno, and Takashi Morie	九州工業大学	Memory-based Action Planning Inspired by Hippocampal Replay	The 3rd International Symposium on Neuromorphic AI Hardware	2022/3
16	小野田浩成	産業技術総合研究所	Modulation of dielectric constant and VCMA efficiency in FeB/MgO/HfO2	第 69 回応用物理学会春季学術講演会	2022/3
17	Mau Tanoue and Katsumi Tateno	九州工業大学	Recurrent spiking neural network for self-localization inspired by medial entorhinal cortex	The 3rd International Symposium on Neuromorphic AI Hardware	2022/3
18	ヨー ヨンジェ, 田向権, 野村 修, 荒井 礼子, 今村 裕志, 森江 隆	九州工業大学, 産業技術総合研究所	VC-MRAM での実装を目指した量子化 YOLO モデル開発と書込みエラー耐性評価	第 69 回応用物理学会春季学術講演会	2022/3
19	野崎友大	産業技術総合研究所	Voltage induced coercivity change in Pt/Co/amorphous TiOx structure	第 69 回応用物理学会春季学術講演会	2022/3
20	湯浅新治	産業技術総合研究所	スピントロニクスによるグリーンイノベーション ーシンポジウム概要ー【招待講演】	第 69 回応用理学会春季学術講演会	2022/3
21	千口克也, 立野勝巳, 髙田健介	九州工業大学	自己位置と他者位置を符号化する嗅内皮質-海馬スパイキングニューラルネットワークを用いた観察学習	電子情報通信学会ニューロコンピューティング研究会	2022/3
22	Shinji Yuasa	産業技術総合研究所	New Technologies for next-generation MRAM (招待講演)	2022 International VLSI Symposium on Technology, Systems and Applications (VLSI-TSA)	2022/4
23	Ichiro Kawashima, Katsumi Tateno, Takashi Morie, Hakaru Tamukoh	九州工業大学	A Memory-Based Entorhinal-Hippocampal Model and its FPGA Implementation by On-Chip RAMs	IEEE International Symposium on Circuit and Systems (ISCAS2022)	2022/5
24	Osamu Nomura	九州工業大学	Analog Neuromorphic Hardware for Energy-efficient AI computing	The IEEE / CVF Computer Vision and Pattern Recognition Conference	2022/6

25	山本竜也	産業技術総合研究所	Enhanced Perpendicular Magnetic Anisotropy and Its Voltage Control Efficiency in MgO/CoFeB/MgO Multilayers with an Atomically Thin Ta Adhesion Layer	ICMFS2022	2022/7
26	T. Nozaki, T. Nozaki, T. Yamamoto, M. Konoto, A. Sugihara, K. Yakushiji, H. Kubota, A. Fukushima, and S. Yuasa	産業技術総合研究所	Enhanced interfacial perpendicular magnetic anisotropy in Fe/LiF/MgO/Fe magnetic tunnel junctions	ICMFS-2022	2022/7
27	T. Ichinose, T. Yamamoto, J. Uzuhashi, T. Nozaki, T. Ohkubo, K. Yakushiji, S. Tamaru, K. Hono, S. Yuasa	産業技術総合研究所	Perpendicular Magnetic Anisotropy and Voltage-Controlled Magnetic Anisotropy Coefficients in Magnetic Tunnel Junctions Using Ta/Mo Layered Adhesion	ICMFS-2022	2022/7
28	T. Nozaki, T. Nozaki, T. Yamamoto, M. Konoto, A. Sugihara, K. Yakushiji, H. Kubota, A. Fukushima, and S. Yuasa	産業技術総合研究所	Enhancement in perpendicular magnetic anisotropy at the Fe/MgO interface by an untrathin LiF layer insertion	応用物理学会秋季学術講演会	2022/9
29	Rie Matsumoto, Shinji Yuasa, Hiroshi Imamura	産業技術総合研究所	Reduction of Write Error Rate in Voltage-Induced Heavily-Damped Precessional Switching by Elliptic Cylinder Shaped Recording Layer	第 83 回応用物理学会秋季学術講演会	2022/9
30	小野田浩成	産業技術総合研究所	FeB/MgO/HfO2 構造における比誘電率と電圧磁気変調効果の相関	マグネティックス研究会	2022/11
31	Yuka Shishido, Osamu Nomura, Katsumi Tateno, Hakaru Tamukoh, Takashi Morie	九州工業大学	CMOS VLSI implementation of a hippocampal conjunctive place-cue cells network	The 4th International Symposium on Neuromorphic AI Hardware	2022/12
32	Ninnart Fuengfusin, Dinda Pramanda, Hakaru Tamukoh	九州工業大学, 九州情報大学	Embedding Binary Neural Network to Floating-Point Neural Network	The 4th International Symposium on Neuromorphic AI Hardware	2022/12
33	Takahiro Fukushima, Kensuke Takada, Katsumi Tateno	九州工業大学	Emergence of replay of path-dependent place cells in entorhinal cortex hippocampus spiking neural network on linear track	The 4th International Symposium on Neuromorphic AI Hardware	2022/12
34	Akinobu Mizutani, Ichiro Kawashima, Yuichiro Tanaka, Hakaru Tamukoh, Katsumi Tateno, Osamu Nomura, Takashi Morie	九州工業大学	Hardware-oriented Brain-inspired Model with Memory Accumulation and Recall Functions to Generate Actions of Home Service Robots	The 4th International Symposium on Neuromorphic AI Hardware	2022/12
35	Katsumi Tateno, Kensuke Takada	九州工業大学	Parallel computation of entorhinal cortex-	The 4th International Symposium on	2022/12

			hippocampal spiking neural network and its applications in reward-based maze tasks	Neuromorphic AI Hardware	
36	水谷彰伸，川島一郎，田中悠一朗，田向権，立野勝巳，野村修，森江隆	九州工業大学	海馬モデルによる経験の蓄積と想起に基づくホームサービスロボットの行動生成	電子情報通信学会ニューロコンピューティング研究会	2022/12
37	野崎友大、岡林潤、田丸慎吾、甲野藤真、野崎隆行、湯浅新治	産総研、東大	界面酸化 Co 構造の電圧誘起保磁力変化のポストアニール効果の考察	強的秩序とその操作に関わる第 16 回講演会	2023/1
38	Akinobu Mizutani, Yuichiro Tanaka, Hakaru Tamukoh, Katsumi Tateno, Osamu Nomura, Takashi Morie	九州工業大学	Multiple Memory Accumulation and Recall by a Hippocampus Model Reflecting Emotional Values	The 11th RIEC International Symposium on Brain Functions and Brain Computer	2023/2
39	野崎友大、岡林潤、田丸慎吾、甲野藤真、野崎隆行、湯浅新治	産総研、東大	Post-annealing effect on voltage induced coercivity change in Pt/Ru/Co/CoO/TiOx system	第 70 回応用物理学会春季学術講演会	2023/3
40	Rie Matsumoto, Shinji Yuasa, Hiroshi Imamura	産業技術総合研究所	Reduction of Write-Error Rates in Voltage-Induced Dynamic Precessional Switching by Elliptical Cylinder Recording Layers	第 70 回応用物理学会春季学術講演	2023/3
41	T. Scheike, Z. Wen, S. Kasai, H. Sukegawa, S. Mitani		Staircase-like tunnel resistance increase with a barrier thickness in epitaxial Fe/Mg4Al-Ox/Fe(001) magnetic tunnel junctions	第 70 回応用物理学会春季学術講演会	2023/3
42	髙田健介，立野勝巳	九州工業大学	迷路タスクにおいて未経験経路シーケンスを形成する海馬 CA3 スパイキングネットワークモデル	電子情報通信学会 非線形問題研究会	2023/3
43	湯浅新治	産業技術総合研究所	酸化マグネシウム磁気トンネル接合の先駆的研究（招待講演）	応用物理学会 2023 年春季学術講演会	2023/3
45	介川裕章、T. Scheike、Z. Wen、葛西伸哉、三谷誠司	物質・材料研究機構	面内スピンバルブ型 CoFeB/MgO/CoFeB 強磁性トンネル接合における高効率データ取得と多層構造最適化	第 70 回応用物理学会春季学術講演会	2023/3
46	S. Yuasa, T. Nozaki, T. Yamamoto, T. Ichinose, T. Nozaki, H. Onoda, A. Sugihara, R. Matsumoto, H. Imamura, H. Nakayama, M. Konoto, K. Yakushiji	産業技術総合研究所	Advances in Magnetic Tunnel Junctions and Voltage-Induced Dynamic Switching for Voltage-Controlled MRAM【招待講演】	Intermag 2023	2023/5
47	Thomas Scheike, Zhenchao Wen, Shinya Kasai, Hiroaki Sukegawa, and Seiji Mitani	NIMS	Sawtooth-like giant oscillation of tunnel magnetoresistance in epitaxial Fe/Mg4Al-Ox/Fe(001) magnetic tunnel junctions	Intermag 2023	2023/5
48	宍戸 優樺，野村 修，立野 勝巳，田向 権，森江 隆	九州工業大学	海馬機能を模倣したディジタル・アナログ併用脳型メモリ回路コア	LSI とシステムのワークショップ 2023	2023/5

49	Hiroaki Sukegawa	NIMS	Advancing TMR through epitaxial technology: Reaching 631% at room temperature	2023 Spintronics Workshop on LSI	2023/6
50	Ninnart Fuengfusin, Hakaru Tamukoh, Yuichiro Tanaka, Osamu Nomura and Takashi Morie	九州工業大学	Efficient Repetition Coding for Deep Learning Towards Implementation Using Emerging Non-Volatile Memory with Write-Errors	International Joint Conference on Neural Networks (IJCNN2023)	2023/6
51	Yuga Yano, Kosei Isomoto, Tomohiro Ono, Hakaru Tamukoh	九州工業大学	Autonomous Waiter Robot System for Recognizing Customers, Taking Orders, and Serving Food	RoboCup 2023: Robot World Cup XXVI	2023/7
52	Thomas Scheike, Zhenchao Wen, 介川 裕章, 三谷 誠司	NIMS	630%を超える室温トンネル磁気抵抗比の観測	第 84 回応用物理学会秋季学術講演会	2023/9
53	Thomas Scheike, Zhenchao Wen, Hiroaki Sukegawa, Seiji Mitani	NIMS	CoFe/MgO/CoFe(001) magnetic tunnel junctions with giant tunnel magnetoresistance exceeding 630% at room temperature	第 47 回日本磁気学会学術講演会	2023/9
54	野崎隆行 1, 一ノ瀬智浩 1, 埋橋淳 2, 山本竜也 1, 甲野藤真 1, 薬師寺啓 1, 大久保忠勝 2, 湯浅新治 1	1AIST, 2NIMS	低温成長 CoFeB を用いた電圧磁気異方性制御効率の最適化	第 47 回日本磁気学会学術講演会	2023/9
55	宍戸 優樺	九州工業大学	海馬機能を模倣したディジタル・アナログ併用脳型メモリ回路コア	d.lab-VDEC デザイナーズフォーラム 2023	2023/9
56	中山裕康, 野﨑隆行, 野崎友大, 湯浅新治	産総研	界面制御 Co/MgO 接合における VCMA 効果に対する下地層の影響	第 47 回 日本磁気学会学術講演会	2023/9
57	水谷 彰伸, 田中 悠一朗, 田向 権, 立野 勝巳, 野村 修, 森江 隆	九州工業大学	大規模言語モデルと海馬モデルによる ホームサービスロボット向け知識獲得システム	電子情報通信学会スマートインフォメディアシステム研究会	2023/10
58	Thomas Scheike, Cong He, Zhenchao Wen, Hiroaki Sukegawa, and Seiji Mitani	NIMS	Giant oscillatory tunnel magnetoresistance: an unsolved spin dependent tunneling puzzle【招待講演】	The 68th Annual Conference on Magnetism and Magnetic Materials (MMM2023)	2023/11
59	Hiroaki Sukegawa	NIMS	Record for tunnel magnetoresistance of 631% at room temperature with barrier interface control technology【招待講演】	The 68th Annual Conference on Magnetism and Magnetic Materials (MMM2023)	2023/11
60	Akinobu Mizutani, Yuichiro Tanaka, Hakaru Tamukoh, Katsumi Tateno, Osamu Nomura, and Takashi Morie	九州工業大学	A hippocampus-inspired memory model with an accumulation function through place representation planes for digital VLSI implementation	The 12th RIEC International Symposium on Brain Functions and Brain Computer	2024/2
61	Kosei Yamao, Daiju Kanaoka, Kosei Isomoto, Akinobu Mizutani, Yuichiro Tanaka, and Hakaru Tamukoh	九州工業大学	Development of a SayCan-based task planning system capable of handling abstract nouns	The 2024 International Conference on Artificial Life and Robotics	2024/2
62	Akinobu Mizutani, Yuichiro Tanaka, Hakaru Tamukoh, Katsumi Tateno, Osamu Nomura, Takashi Morie	九州工業大学	A Brain-Inspired Artificial Intelligence Model to Acquire Positive and Negative Episodes with Hippocampal Replay Function	The 5th International Symposium on Neuromorphic AI Hardware	2024/3

63	Yuka Shishido, Osamu Nomura, Katsumi Tateno, Hakaru Tamukoh, Takashi Morie	九州工業大学	An Efficient Spatial Representation Method for Memory-based Hippocampus-inspired Model	The 5th International Symposium on Neuromorphic AI Hardware	2024/3
64	Kosei Isomoto, Yuichiro Tanaka, Hakaru Tamukoh, Katsumi Tateno, Osamu Nomura, Takashi Morie	九州工業大学	Application of a Hippocampus-inspired Model toward Episodic Memory-based Navigation for Autonomous Mobile Robots	The 5th International Symposium on Neuromorphic AI Hardware	2024/3
65	湯浅新治，野﨑隆行，山本竜也，野崎友大，日比野有岐，中山裕康，一ノ瀬智浩，常木澄人，谷口知大，薬師寺啓，久保田均	産業技術総合研究所	MgO 系磁気トンネル接合の基礎と応用【招待講演】	第 71 回応用物理学会春季学術講演会	2024/3
66	Tadataka Mizo, Katsumi Tateno	九州工業大学	Retrieval of Untraveled Route in a Hippocampus-Inspired Model with Cue and Conjunctive Place - Head Direction Maps	The 5th International Symposium on Neuromorphic AI Hardware	2024/3
67	小泉 洸生、温 振超、埋橋 淳、大久保 忠勝、介川 裕章、三谷 誠司		岩塩型 LiTiO/CoFeB 界面における垂直磁気異方性	第 71 回応用物理学会春季学術講演会	2024/3
68	Tatsuya Yamamoto, Tomohiro Ichinose, Jun Uzuhashi, Takayuki Nozaki, Tadakatsu Ohkubo, Kay Yakushiji, Shingo Tamaru, Hitoshi Kubota	産総研 NIMS	Enhanced annealing stability in perpendicularly magnetized magnetic tunnel junctions using an Fe-substituted MgO barrier	25th International Colloquium on Magnetic Films and Surfaces	2024/7
69	Shinji Yuasa, Takayuki Nozaki, Tatsuya Yamamoto, Tomohiro Nozaki, Yuki Hibino, Hiroyasu Nakayama, Tomohiro Ichinose, Sumito Tsunegi, Tomohiro Taniguchi, Kay Yakushiji,and Hitoshi Kubota	AIST	Advanced magnetic tunnel junctions for voltage-controlled MRAM	25th International Colloquium on Magnetic Films and Surfaces	2024/7
70	Takayuki Nozaki, Tomohiro Ichinose, Jun Uzuhashi, Tatsuya Yamamoto, Makoto Konoto, Kay Yakushiji, Tadakatsu Ohkubo, and Shinju Yuasa	AIST NIMS	Large voltage-controlled magnetic anisotropy effect in magnetic tunnel junctions prepared by deposition at cryogenic temperatures	25th International Colloquium on Magnetic Films and Surfaces	2024/7
71	Hiroyasu Nakayama, Tomohiro Nozaki, Tomohiro Ichinose, Tatsuya Yamamoto, Takayuki Nozaki, and Shinju Yuasa	AIST	Interfacial engineering using heavy metal doping for voltage-controlled magnetic anisotropy effect	International symposium on advanced magnetic materials and applications	2024/8
72	野﨑隆行	産総研	固体磁気メモリ開発の現状と将来展望	ARIM 量子・電子マテリアル領域セミナー	2024/7

(b)新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	九州工業大学	「RoboCup」世界大会で準優勝　文教速報	官庁通信社	2021/7
2	九州工業大学	九州工業大学チーム「RoboCup2021」世界大会準優勝！ 週刊文教ニュース	文教ニュース社	2021/7
3	産業技術総合研究所	原子層制御により磁気メモリー素子の平坦性および磁気安定性を改善	産総研プレス発表	2021/7
4	九州工業大学	「好き過ぎて研究者沼」。今日は「ロボット沼」	KBC ラジオ アサデス。	2021/8
5	九州工業大学	競い合い ロボ進化	日刊工業新聞［朝刊］1面	2021/9
6	九州工業大学	見えた！次代の産業の形	日刊工業新聞［朝刊］28面	2021/9
7	九州工業大学	九工大「お手伝いロボ」が国際大会で優勝し市長表敬	KBC 九州朝日放送,KBC NEWS	2021/12
8	九州工業大学	九工大など，マテリアルベースでのリザバー演算素子の開発とロボティクスへの応用に成功	日本経済新聞	2022/1
9	産業技術総合研究所	フッ化物を用いた磁気メモリー素子により情報の記録保持特性を改善	産総研プレス発表	2022/1
10	九州工業大学	海馬機能を模した高効率・低消費電力脳型AIチップシステム展示	Edge Tech+ 2023	2023/11

(c)その他（受賞実績）

番号	氏名	所属	賞名	件名	年月日
1	Y. Tanaka	九州工業大学	2020 Int. Symp. on Nonlinear Theory and Its Applications (NOLTA2020), Student Paper Award	A Brain-inspired Artificial Intelligence Model of Hippocampus, Amygdala, and Prefrontal Cortex on Home Service Robots	2020/11
2	Hibikino-Musashi@Home	九州工業大学	ロボカップジャパンオープン 2020 オンライン	DSPL：テクニカルチャレンジ準優勝	2020/12
3	Hibikino-Musashi@Home	九州工業大学	ロボカップジャパンオープン 2020 オンライン	DSPL：総合優勝	2020/12
4	Hibikino-Musashi@Home	九州工業大学	ロボカップジャパンオープン 2020 オンライン	OPL：テクニカルチャレンジ優勝	2020/12
5	Hibikino-Musashi@Home	九州工業大学	ロボカップジャパンオープン 2020 オンライン	OPL：総合優勝	2020/12
6	Hibikino-Musashi@Home	九州工業大学	ロボカップジャパンオープン 2020 オンライン	S-DSPL：準優勝	2020/12
7	Hibikino-Musashi@Home	九州工業大学	ロボカップジャパンオープン 2020 オンライン	S-OPL：テクニカルチャレンジ準優勝	2020/12
8	Shinji Yuasa	産業技術総合研究所	IEEE Fellow 表彰	for contributions to MgO-based magnetic tunnel junctions	2021/1
9	Hibikino-Musashi@Home	九州工業大学	ロボカップ (RoboCup) 2021 Online	DSPL：Best Go, Get It! in DSPL	2021/6
10	Hibikino-Musashi@Home	九州工業大学	ロボカップ (RoboCup) 2021 Online	DSPL：Best Open Challenge Award	2021/6
11	Hibikino-Musashi@Home	九州工業大学	ロボカップ (RoboCup) 2021 Online	DSPL：Best Test Performance (Go, Get It!)	2021/6
12	Hibikino-Musashi@Home	九州工業大学	ロボカップ (RoboCup) 2021 Online	DSPL：第2位	2021/6
13	湯浅新治	産業技術総合研究所	全国発明表彰　未来創造発明賞	磁気記録の進化に資する配向性多結晶 MgO トンネル磁気抵抗素子	2021/6

14	Hibikino-Musashi@Home	九州工業大学	ワールド ロボット サミット (WRS) 2020	優勝：サービスカテゴリー・パートナーロボット（リアルスペース）	2021/9
15	野﨑隆行	産業技術総合研究所	日本磁気学会　優秀研究賞	電圧による高速スピン制御技術の開拓	2021/9
16	Akinobu Mizutani, Yuichiro Tanaka, Hakaru Tamukoh, Yuichi Katori, Katsumi Tateno, Takashi Morie	九州工業大学、公立はこだて未来大	International Symposium on Intelligent Signal Processing and Communication Systems 2022	Brain-inspired neural network navigation system with hippocampus, prefrontal cortex, and amygdala functions	2021/11
17	Hibikino-Musashi@Home	九州工業大学	ロボカップアジアパシフィック (RCAP) 2024	DSPL：Tidy up 賞	2021/11
18	Hibikino-Musashi@Home	九州工業大学	ロボカップアジアパシフィック (RCAP) 2023	DSPL：テクニカルチャレンジ・第 1 位	2021/11
19	Hibikino-Musashi@Home	九州工業大学	ロボカップアジアパシフィック (RCAP) 2022	DSPL：総合優勝	2021/11
20	Hibikino-Musashi@Home	九州工業大学	ロボカップアジアパシフィック (RCAP) 2021	OPL：総合優勝	2021/11
21	Hibikino-Musashi@Home	九州工業大学	ロボカップアジアパシフィック (RCAP) 2025	S-DSPL：優勝	2021/11
22	小野田浩成	産業技術総合研究所	強的秩序とその操作に関わる第 14 回研究会、ポスター最優秀賞	FeB/MgO/HfO2 構造における比誘電率と電圧磁気変調効果	2022/1
23	Yuichiro Tanaka	九州工業大学	2021 年 IEEE 福岡支部 学生研究奨励賞（第 21 回）	An Amygdala-Inspired Classical Conditioning Model Implemented on an FPGA for Home Service Robots	2022/2
24	Hibikino-Musashi@Home DSPL	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2021	DSPL：テクニカルチャレンジ優勝	2022/3
25	Hibikino-Musashi@Home DSPL	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2021	DSPL：優勝	2022/3
26	Akinobu Mizutani	九州工業大学	The 3rd International Symposium on Neuromorphic AI Hardware Student Presentation Award	Memory-based Action Planning Inspired by Hippocampal Replay	2022/3
27	Hibikino-Musashi@Home OPL	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2021	OPL：テクニカルチャレンジ優勝	2022/3
28	Hibikino-Musashi@Home OPL	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2021	OPL：準優勝	2022/3
29	湯浅新治	産業技術総合研究所	本多フロンティア賞	酸化マグネシウム磁気トンネル 接合の開発と応用	2022/5
30	Hibikino-Muashi@Home	九州工業大学，北九州市立大学	RoboCup 2022 Bangkok	@Home Best Open Challenge Award 1st Place	2022/7
31	Hibikino-Muashi@Home	九州工業大学，北九州市立大学	RoboCup 2022 Bangkok	@Home DSPL 3rd place	2022/7
32	Hibikino-Muashi@Home	九州工業大学，北九州市立大学	RoboCup 2022 Bangkok	@Home Robo-host 1st place	2022/7

33	九州工業大学	九州工業大学	HSR コミュニティ 2022 年度総会	HSR コミュニティベストポスター賞	2022/11
34	Hibikino-Muashi@Home	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2022	@Home DSPL (Technical Challenge) 2nd place	2023/3
35	Hibikino-Muashi@Home	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2022	@Home DSPL 1st place	2023/3
36	Hibikino-Muashi@Home	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2022	@Home OPL (Technical Challenge) 1st place	2023/3
37	Hibikino-Muashi@Home	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2022	@Home OPL 2nd place	2023/3
38	湯浅新治	産業技術総合研究所	応用物理学会 業績賞	酸化マグネシウム磁気トンネル接合の先駆的研究	2023/3
39	Hibikino-Musashi@Home	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2023	DSPL 3 位	2023/5
40	Hibikino-Musashi@Home	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2023	DSPL 優勝 (Open Challenge)	2023/5
41	Hibikino-Musashi@Home	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2023	OPL 優勝 (Open Challenge)	2023/5
42	Hibikino-Musashi@Home	九州工業大学，北九州市立大学	ロボカップジャパンオープン 2023	OPL 準優勝	2023/5
43	宍戸 優樺	九州工業大学	LSI とシステムのワークショップ 2023	海馬機能を模倣したディジタル・アナログ併用脳型メモリ回路コア	2023/5
44	Hibikino-Musashi@Home	九州工業大学，北九州市立大学	RoboCup 2023	DSPL 2nd Place	2023/7
45	Hiroyasu Nakayama	AIST	IOP Publishing	Outstanding Reviewer Awards 2023 (Applied Physics Express)	2024/3

◎研究開発テーマ「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発／未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」

【特許】

番号	出願者	出願番号	国内外国 PCT	出願日	状態	名 称	発明者
1	株式会社日立製作所	特願 2020-024630	JP:日本国	2020.2.17	出願継続中	リザーバー計算機	大島俊
2	株式会社日立製作所	2020-207523	JP:日本国	2020.12.15	出願継続中	リザーバー計算機	大島俊
3	国立大学法人九州工業大学	2021-007422	JP:日本国	2021.1.20	出願継続中	情報処理装置、及び情報処理方法	田中悠一朗

4	国立大学法人九州工業大学	2021-007423	JP:日本国	2021.1.20	出願継続中	情報処理装置、及び情報処理方法	田中悠一朗
5	国立大学法人京都大学,国立研究開発法人産業技術総合研究所	2022-020595	JP:日本国	2022.2.14	出願継続中	演算装置及び演算方法	谷口知大
6	株式会社日立製作所	17/499930(US)	US:アメリカ合衆国	2021.10.13	出願継続中	リザーバー計算機	大島俊
7	国立大学法人九州工業大学	2021-202492	JP:日本国	2021.12.14	出願継続中	情報処理装置、情報処理方法、及びプログラム	田中悠一朗
8	国立大学法人九州工業大学	2021-185971	JP:日本国	2021.11.15	出願継続中	画像認識装置および画像認識方法	田向権
9	国立大学法人大阪大学	2022-094624	JP:日本国	2022.6.10	出願継続中	学習装置、学習方法、信号生成装置、および信号生成方法	河合祐司
10	国立大学法人大阪大学	2020-049840	JP:日本国	2020.3.19	出願継続中	触覚センサ	石原尚

【論文】

番号	発表者	所　属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Kohei Nakajima, Taichi Haruna	The University of Tokyo	Spatiotemporal dynamics driven by the maximization of local information transfer	New Journal of Physics, 13034	有	2019.1
2	Tomohiro Taniguchi, Nozomi Akashi, Hirofumi Notsu et al.	National Institute of Advanced Industrial Science and Technology	Chaos in nanomagnet via feedback current	Physical Review B, 174425	有	2019.11
3	Taichi Haruna and Kohei Nakajima	The University of Tokyo	Optimal short-term memory before the edge of chaos in driven random recurrent networks	Physical Review E, 62312	有	2019.12

4	Terufumi Yamaguchi, Nozomi Akashi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in a spin-torque oscillator with a perpendicularly magnetized free layer	Physical Review B, 224422	有	2019.12
5	常木澄人・谷口知大・三輪真嗣等	産業技術総合研究所	スピントルク発振器を用いた物理リザバー計算	まぐね, 335-340	有	2019.12
6	中嶋浩平	東京大学	物理リザバー計算の射程-ソフトロボットを例に	システム/制御/情報, 505-511	有	2019.12
7	Jihoon Park, Koki Ichinose, Yuji Kawai et al.	Osaka University	Macroscopic cluster organizations change the complexity of neural activity	Entropy, 214	有	2019.2
8	Kohei Nakajima, Keisuke Fujii, Makoto Negoro et al.	The University of Tokyo	Boosting Computational Power through Spatial Multiplexing in Quantum Reservoir Computing	Physical Review Applied , 34021	有	2019.3
9	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical reservoir computing based on spin torque oscillator with forced synchronization	Applied Physics Letters, 164101	有	2019.4
10	石津光太郎・白松(磯口)知世・小河原康一等	The University of Tokyo	ラット聴覚皮質における聴覚タスク中のマイクロ皮質脳波計測	電気学会論文誌C(電子・情報・システム部門誌), 625-631	有	2019.5
11	鹿山敦至・矢田祐一郎・高橋宏知	The University of Tokyo	神経細胞の分散培養系における集団同期発火パターンとネットワーク構造の発達	電気学会論文誌C(電子・情報・システム部門誌), 570-578	有	2019.5
12	三田毅・Douglas Bakkum・Urs Frey等	The University of Tokyo	高密度CMOSアレイ上の分散培養系における活動電位波形に基づく興奮性及び抑制性神経細胞の分類	電気学会論文誌C(電子・情報・システム部門誌), 615-624	有	2019.5
13	Atsushi Kayama, Yuichiro Yada,	The University of Tokyo	Development of network structure and synchronized firing patterns in	Electronics and Communications in Japan, 44996	有	2019.7

	Hirokazu Takahashi		dissociated culture of neurons			
14	高橋宏知	東京大学	エンジニアのための脳科学のすすめ	電子情報通信学会誌, 881-888	有	2019.9
15	Hirokazu Takahashi	The University of Tokyo	Darwinian computation with functional map in auditory cortex	Acoustical Science and Technology, 39-47	有	2020.1
16	Tomohiro Taniguchi	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in spin torque oscillator with two free layers	AIP Advances, 15112	有	2020.1
17	Yuichiro Tanaka, Takashi Morie, and Hakaru Tamukoh	Kyushu Institute of Technology	An amygdala-inspired classical conditioning model on FPGA for home service robots	IEEE Access, 212066-212078	有	2020.11
18	Katsuma Inoue, Kohei Nakajima, and Yasuo Kuniyoshi	The University of Tokyo	Designing spontaneous behavioral switching via chaotic itinerancy	Science Advances, eabb3989	有	2020.11
19	Ichiro Kawashima, Takashi Morie, and Hakaru Tamukoh	Kyushu Institute of Technology	FPGA implementation of hardware-oriented chaotic Boltzmann machines	IEEE Access, 204360-204377	有	2020.11
20	Kazutoshi Tanaka, Shih-Hsin Yang, Yuji Tokudome et al.	OMRON SINIC X Corporation	Flapping-Wing Dynamics as a Natural Detector of Wind Direction	Advanced Intelligent Systems, 2000174	有	2020.11
21	Terufumi Yamaguchi, Nozomi Akashi, Kohei	National Institute of Advanced Industrial Science and Technology	Step-like dependence of memory function on pulse width in spintronics reservoir computing	Scientific Reports, 19536	有	2020.11

	Nakajima et al.					
22	Masatoshi Yamaguchi, Goki Iwamoto, Yuta Nishimura et al.	Kyushu Institute of Technology	An Energy-efficient Time-domain Analog CMOS BinaryConnect Neural Network Processor Based on a Pulse-width Modulation Approach	IEEE Access, 2644-2654	有	2020.12
23	Nozomi Akashi, Terufumi Yamaguchi, Sumito Tsunegi et al	The University of Tokyo	Input-driven bifurcations and information processing capacity in spintronics reservoirs	Physical Review Research, 43303	有	2020.12
24	Masataka Harada, Mitsue Takahashi, Shigeki Sakai et al.	Kyushu Institute of Technology	A Time-domain Analog Weighted-sum Calculation Circuit Using Ferroelectric-gate Field-effect Transistors for Artificial Intelligence Processors	Japanese Journal of Applied Physics, 40604	有	2020.4
25	Shota Hamaguchi, Takumi Kawasetsu, Takato Horii et al.	Mie University	Soft Inductive Tactile Sensor using Flow Channel Enclosing Liquid Metal	IEEE Robotics and Automation Letters, 4028-4034	有	2020.4
26	Kohei Nakajima	The University of Tokyo	Physical reservoir computing---an introductory perspective	Japanese Journal of Applied Physics, 60501	有	2020.5
27	Yutaro Ishida, Takashi Morie, and Hakaru Tamukoh	Kyushu Institute of Technology	A hardware intelligent processing accelerator for domestic service robots	Advanced Robotics, 947-957	有	2020.6
28	Shogo Yonekura and Yasuo Kuniyoshi	The University of Tokyo	Spike-induced ordering: Stochastic neural spikes provide immediate adaptability to the sensorimotor system	Proceedings of the National Academy of Science, 12486-12496	有	2020.6

29	Hirokazu Takahashi, Tomoyo Isoguchi Shiramatsu, Rie Hitsuyu et al.	The University of Tokyo	Vagus nerve stimulation (VNS)-induced layer-specific modulation of evoked responses in the sensory cortex of rats	Scientific Reports, 8932	有	2020.6
30	窪田智之・中嶋浩平・高橋宏知	東京大学	1次視覚野の過渡ダイナミクスの推定	電気学会論文誌C(電子・情報・システム部門誌), 723-729	有	2020.7
31	Shota Hamaguchi, Takumi Kawasetsu, Takato Horii et al.	Osaka University	Soft Inductive Tactile Sensor Using Flow-Channel Enclosing Liquid Metal	IEEE Robotics and Automation Letters, 4028-4034	有	2020.7
32	Yuichiro Yada, Shusaku Yasuda, Hirokazu Takahashi	The University of Tokyo	Physical reservoir computing with FORCE learning in a living neuronal culture	Applied Physics Letters, 173701	有	2021.1
33	Tomoyuki Kubota, Hirokazu Takahashi, Kohei Nakajima	The University of Tokyo	Unifying framework for information processing in stochastically driven dynamical systems	Physical Review Research, 43135	有	2021.11
34	Akira Kamimaki, Tomoyuki Kubota, Sumito Tsunegi et al.	The University of Tokyo	Chaos in spin-torque oscillator with feedback circuit	Physical Review Research, 43216	有	2021.12
35	Mizuka Komatsu, Takaharu Yaguchi and Kohei Nakajima	The University of Tokyo	Algebraic approach towards the exploitation of “softness”: the input-output equation for morphological computation	International Journal of Robotics Research, 99-118	有	2020.2
36	Shaohua Kan, Kohei Nakajima, Yuki Takeshima et al.	Hokkaido University	Simple reservoir computing capitalizing on the nonlinear response of materials: theory and physical implementations	Physical Review Applied , 24030	有	2021.2

37	Keita Tokuda, Naoya Fujiwara, Akihito Sudo et al.	Future University Hakodate	Chaos may enhance expressivity in cerebellar granular layer	Neural Networks, 72-86	有	2021.4
38	Yoshihiro Yonemura, Yuichi Katori	Future University Hakodate	Network model of predictive coding based on reservoir computing for multi-modal processing of visual and auditory signals	Nonlinear Theory and Its Applications, IEICE, 143-156	有	2021.4
39	池田成満・高橋宏知	東京大学	低頻度刺激による神経細胞の分散培養系の学習	電気学会論文誌 c(電子・情報・システム部門誌), 654-660	有	2021.5
40	窪田智之・櫻山和浩・白松(磯口)知世等	東京大学	神経細胞の分散培養系の逸脱検出特性	電気学会論文誌 c(電子・情報・システム部門誌), 661-667	有	2021.5
41	河合祐司	大阪大学	脳神経の複雑ネットワークの機能的意義	システム/制御/情報, 188-193	有	2021.5
42	白松(磯口) 知世・ 阿部泰己・石津光太郎等	東京大学	視床刺激が聴知覚に及ぼす影響を評価する実験系の構築	電気学会論文誌 c(電子・情報・システム部門誌), 627-633	有	2021.5
43	Ken Goto, Kohei Nakajima, Hirofumi Notsu	Kanazawa University	Twin vortex computer in fluid flow	New Journal of Physics, 63051	有	2021.6
44	Hiroshi Kubota, Tsuyoshi Hasegawa, Megumi Akai-Kasaya et al.	Hokkaido University	Reservoir Computing on Atomic Switch Arrays with High Precision and Excellent Memory Characteristics	Journal of Signal Processing, 123-126	有	2021.7
45	Tomoyo Isoguchi Shiramatsu, Kanato Mori, Kotaro Ishizu et al.	The University of Tokyo	Auditory, Visual, and Cross-Modal Mismatch Negativities in the Rat Auditory and Visual Cortices	Frontiers in Human Neuroscience,	有	2021.9

46	Kotaro Ishizu, Tomoyo Isoguchi Shiramatsu et al.	The University of Tokyo	Information flow in the rat thalamo-cortical system: spontaneous vs. stimulus-evoked activities	Scientific Reports, 19252	有	2021.9
47	Naoki Wake, Kotaro Ishizu, Taiki Abe et al.	The University of Tokyo	Prepulse inhibition predicts subjective hearing in rats	Scientific Reports, 18902	有	2021.9
48	Kanato Mori, Tomoyo Isoguchi Shiramatsu, Kotaro Ishizu et al.	The University of Tokyo	Simultaneous mapping of neural activities in auditory and visual cortex of rat	Electronics and Communications in Japan, e12322	有	2021.9
49	浅田稔	大阪国際工科専門職大学	ロボティクスと強化学習	日本ロボット学会誌, 575-580	有	2021.9
50	Nozomi Akashi, Kohei Nakajima, Mitsuru Shibayama et al.	The University of Tokyo	A Mechanical True Random Number Generator	New Journal of Physics, 13019	有	2022.1
51	Hiroshi Kubota, Tsuyoshi Hasegawa, Megumi Akai-Kasaya et al.	Hokkaido University	Behavioral Model of Molecular Gap-Type Atomic Switches and Its SPICE Integration	Circuits and Systems, 44938	有	2022.1
52	Kazutoshi Tanaka, Yuna Minami, Yuji Tokudome et al.	OMRON SINIC X Corporation	Continuum-Body-Pose Estimation From Partial Sensor Information Using Recurrent Neural Networks	IEEE Robotics and Automation Letters, 11244-11251	有	2022.1
53	Yoshiki Ito, Tomoyo Isoguchi Shiramatsu,	The University of Tokyo	Spontaneous beat synchronization in rats: Neural dynamics and motor entrainment	Science Advances, eabo7019	有	2022.11

	Naoki Ishida et al.					
54	Yusuke Imai, Kohei Nakajima, Sumito Tsunegi et al.	Advanced Telecommunications Research Institute International	Input-driven chaotic dynamics in vortex spin-torque oscillator	Scientific Reports, 21651	有	2022.12
55	Mitsumasa Nakajima, Katsuma Inoue, Kenji Tanaka et al.	The University of Tokyo	Physical deep learning with biologically inspired training method: gradient-free approach for physical hardware	Nature Communications, 7847	有	2022.12
56	Mitsumasa Nakajima, Katsuma Inoue, Kenji Tanaka et al.	The University of Tokyo	Physical deep learning with biologically inspired training method: gradient-free approach for physical hardware	Nature Communications, 7847	有	2022.12
57	Kazutoshi Tanaka, Yuji Tokudome, Yuna Minami et al.	OMRON SINIC X Corporation	Self-Organization of Remote Reservoirs: Transferring Computation to Spatially Distant Locations	Advanced Intelligent Systems, 2100166	有	2022.3
58	Katsuma Inoue, Soh Ohara, Yasuo Kuniyoshi et al.	The University of Tokyo	Transient chaos in bidirectional encoder representations from transformers	Physical Review Research, 13204	有	2022.3
59	Ryo Terajima, Katsuma Inoue, Shogo Yonekura et al.	The University of Tokyo	Behavioral Diversity Generated From Body-Environment Interactions in a Simulated Tensegrity Robot	IEEE Robotics and Automation Letters, 1579-1604	有	2022.4
60	Ryo Sakurai, Mitsuhiro Nishida,	Bridgestone Corporation	Durable Pneumatic Artificial Muscles with Electric Conductivity for Reliable Physical Reservoir Computing	Journal of Robotics and Mechatronics, 240-248	有	2022.4

	Taketomo Jo et al.					
61	Yoshihiro Yonemura, Yuichi Katori	Future University Hakodate	Functional connectivity analysis on hierarchical reservoir computing model	Nonlinear Theory and Its Applications, IEICE, 446-451	有	2022.4
62	Hiroshi Kubota, Tsuyoshi Hasegawa, Megumi Akai-Kasaya et al.	Hokkaido University	Noise sensitivity of physical reservoir computing in a ring array of atomic switches	Nonlinear Theory and Its Applications, IEICE, 373-378	有	2022.4
63	Yuichiro Tanaka, Hakaru Tamukoh	Kyushu Institute of Technology	Reservoir-based convolution	Nonlinear Theory and Its Applications, IEICE, 397-402	有	2022.4
64	Yu Yoshino, Yuichi Katori	Future University Hakodate	Short-term memory ability of reservoir-based temporal difference learning model	Nonlinear Theory and Its Applications, IEICE, 203-208	有	2022.4
65	Tomoyo Isoguchia Shiramatsu, Kanatoa Mori, Kotaro Ishizu et al.	The University of Tokyo	Oddball-irrelevant visual stimuli cross-modally attenuate auditory mismatch negativity in rats	NeroReport, 363-368	有	2022.5
66	諏訪瑛介・窪田智之・石田直輝等	東京大学	神経細胞の分散培養系の情報処理容量	電気学会論文誌C(電子・情報・システム部門誌), 578-585	有	2022.5
67	Osamu Nomura, Yusuke Sakemi, Takeo Hosomi et al.	Kyushu Institute of Technology	Robustness of Spiking Neural Networks Based on Time-to-First-Spike Encoding Against Adversarial Attacks	IEEE Transactions on Circuits and Systems II: Express Briefs, 3640-3644	有	2022.6
68	Wentao Sun, Nozomi Akashi, Yasuo Kuniyoshi et al.	The University of Tokyo	Physics-Informed Recurrent Neural Networks for Soft Pneumatic Actuators	IEEE Robotics and Automation Letters, 6862-6869	有	2022.7

69	Nozomi Akashi, Yasuo Kuniyoshi, Sumito Tsunegi et al.	Kyoto University	A Coupled Spintronics Neuromorphic Approach for High-Performance Reservoir Computing	Advanced Intelligent Systems, 2200123	有	2022.9
70	Ninnart Fuengfusin, Hakaru Tamukoh	Kyushu Institute of Technology	INT8 Activation Ternary or Binary Weights Networks: Unifying Between INT8 and Lower-bit Width Quantization	Journal of Robotics, Networking and Artificial Life, 171-176	有	2022.9
71	浅田稔	大阪国際工科専門職大学	ロボット學の創成と社会工学としてのロボット工学	科学, 18-25	有	2023.1
72	許鶴馨・Yaron Amit・白松(磯口)知世等	東京大学	Common Mechanism Underlying Multimodal Integration	電気学会研究会資料医用・生体工学研究会, 77-82	有	2023.3
73	石田直輝・白松(磯口)知世・高橋宏知	東京大学	ラット聴覚野の情報処理容量に対する音楽曝露の効果	電気学会研究会資料医用・生体工学研究会, 47-52	有	2023.3
74	金井智美・可部泰生・森本隆司等	東京大学	日常使用に適した他覚的聴力検査手法の提案	電気学会研究会資料医用・生体工学研究会, 123-128	有	2023.3
75	諏訪瑛介・秋田大・池田成満等	東京大学	神経細胞の分散培養系による臨界的物理リザバー計算	電気学会研究会資料医用・生体工学研究会, 97-102	有	2023.3
76	高野雄基・秋田大・諏訪瑛介等	東京大学	自由エネルギー原理に基づく培養神経細胞による無意識的推論	電気学会研究会資料医用・生体工学研究会, 23-27	有	2023.3
77	高木永遠・大島果林・白松(磯口)知世等	東京大学	音環境に依存したげっ歯類の超音波コミュニケーション	電気学会研究会資料医用・生体工学研究会, 17-22	有	2023.3
78	Katsuma Inoue, Yasuo Kuniyoshi, Katsushi Kagaya et al.	The University of Tokyo	Skeletonizing the Dynamics of Soft-Continuum Body from Video	Soft Robotics	有	2021.2

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Yutaro Ishida, Hakaru Tamukoh	Kyushu Institute of Technology	High-level synthesis system to integrate SoC and ROS	Asia Pacific Conference on Robot IoT System Development and Platform	2019.11
2	Terufumi Yamaguchi, Nozomi Akashi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Injection locking of spin-torque oscillator with perpendicularly magnetized free layer	the 64th Annual Conference on Magnetism and Magnetic Materials	2019.11
3	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical reservoir computing based on spin torque oscillator with synchronization	the 64th Annual Conference on Magnetism and Magnetic Materials	2019.11
4	Tomohiro Taniguchi	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in spin torque oscillator with two free layers	the 64th Annual Conference on Magnetism and Magnetic Materials	2019.11
5	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical reservoir computing based on spin torque oscillator	第 43 回日本磁気学会学術講演会	2019.12
6	Katsuma Inoue, Kohei Nakajima, and Yasuo Kuniyoshi	The University of Tokyo	Soft bodies as input reservoir: role of softness from the viewpoint of reservoir computing	the 30th International Symposium on Micro-NanoMechatronics and Human Science	2019.12
7	Nozomi Akashi, Kohei Nakajima and Yasuo Kuniyoshi	The University of Tokyo	Unpredictable as dice: analyzing riddled basin structures in a passive dynamic walker	the 30th International Symposium on Micro-NanoMechatronics and Human Science	2019.12
8	原田將敬・森江隆・高橋光恵等	九州工業大学	FeFET を用いた時間領域アナログ積和演算回路の特性評価	第 66 回応用物理学会春季学術講演会	2019.3
9	Sumito Tsunegi,	National Institute of	The effect of voltage on reservoir computing	第 66 回応用物理学会春季学術講演会	2019.3

	Tomohiro Taniguchi, Shinji Miwa et al.	Advanced Industrial Science and Technology	performance of a spin torque oscillator		
10	常木澄人・谷口知大・三輪真嗣等	National Institute of Advanced Industrial Science and Technology	スピントルク発振素子の短時間記憶容量	第 66 回応用物理学会春季学術講演会	2019.3
11	朴志勲・小椋基弘・河合祐司等	大阪大学	スパイキングニューロンモデルの興奮性/抑制性バランスがネットワーク形成に及ぼす影響	電子情報通信学会ニューロコンピューティング研究会	2019.6
12	鈴木健太郎・朴志勲・河合祐司等	大阪大学	スモールワールド性がもたらす二つの脳神経モデルの同期	電子情報通信学会ニューロコンピューティング研究会	2019.6
13	久米弘祐・川節拓実・堀井隆斗等	大阪大学	三角格子状に配置したコイルと磁性マーカを用いた柔軟触覚センサの基礎特性評価	ロボティクス・メカトロニクス講演会 2019	2019.6
14	水野海渡・川節拓実・石原尚等	大阪大学	子供アンドロイドの接触反応実験に向けた骨格と触覚を備える小型手部の開発	ロボティクス・メカトロニクス講演会 2019	2019.6
15	Masatoshi Yamaguchi, Yuichi Katori, Daichi Kamimura et al.	Kyushu Institute of Technology	A Chaotic Boltzmann Machine Working as a Reservoir and Its Analog VLSI Implementation	2019 International Joint Conference on Neural Networks (IJCNN)	2019.7
16	Yuichi Katori, Hakaru Tamukoh, Takashi Morie	Future University Hakodate	Reservoir Computing Based on Dynamics of Pseudo-Billiard System in Hypercube	2019 International Joint Conference on Neural Networks (IJCNN)	2019.7
17	Kentaro Suzuki, Jihoon Park, Yuji Kawai, and Minoru Asada	Osaka University	Small-world networks enhance the inter-brain synchronization	the 28th Annual Computational Neuroscience Meeting	2019.7
18	Kaoruko Higuchi, Hoshinori Kanazawa, Yuma Suzuki et al.	The University of Tokyo	Musculoskeletal bias on infant sensorimotor development driven by predictive learning	the 9th Joint IEEE International Conference on Development and Learning and on Epigenetic Robotics	2019.8

19	森江隆	九州工業大学	次世代人工知能のための脳型集積回路技術とデバイス技術	第 83 回半導体・集積回路技術シンポジウム(電気化学会 電子材料委員会)	2019.8
20	森江隆・原田將敬・高橋光恵等	九州工業大学	3 端子アナログメモリ素子としての FeFET の適用を目指した人工知能ハードウェアモデルと回路アーキテクチャ	第 80 回応用物理学会秋季学術講演会	2019.9
21	Tomoyuki Kubota, Kohei Nakajima, and Hirokazu Takahashi	The University of Tokyo	Echo state property of neuronal cell culture	Lecture Notes in Computer Science 11731 (Artificial Neural Networks and Machine Learning - ICANN 2019: Workshop and Special Sessions)	2019.9
22	山口皓史・明石望洋・中嶋浩平等	東京大学	スピントルク発振器における強制同期の理論	日本物理学会 2019 年秋季大会	2019.9
23	田中悠一朗・田向権・立野勝巳等	九州工業大学	海馬・扁桃体・前頭前野の機能を統合した脳型人工知能モデル	第 29 回日本神経回路学会全国大会(JNNS2019)	2019.9
24	Kaname Favier, Shogo Yonekura, Yasuo Kuniyoshi	The University of Tokyo	Spiking Neurons Ensemble for Movement Generation in Dynamically Changing Environments	2020 IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS)	2020.1
25	Shota Hamaguchi, Takumi Kawasetsu, Takato Horii et al.	Osaka University	Soft Inductive Tactile Sensor using Flow Channel Enclosing Liquid Metal	the 3rd IEEE International Conference on Soft Robotics	2020.4
26	Akinobu Mizutani, Yuichiro Tanaka, Hakaru Tamukoh et al.	Kyushu Institute of Technology	Brain-inspired neural network navigation system with hippocampus, prefrontal cortex, and amygdala functions	2021 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)	2021.11
27	Daiju Kanaoka, Yuichiro Tanaka, Hakaru Tamukoh	Kyushu Institute of Technology	Open Set Recognition Using the Feature Space of Deep Neural Networks	2021 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)	2021.11
28	Ichiro Kawashima, Yuichi Katori, Takashi	Kyushu Institute of Technology	An area-efficient multiply-accumulation architecture and implementations for time-domain neural processing	2021 International Conference on Field-Programmable Technology (ICFPT)	2021.12

	Morie et al.				
29	Yoshihiro Yonemura, Yuichi Katori	Future University Hakodate	Analysis of Functional Connectivity on Reservoir Computing Model	The 2021 NonLinear Science Workshop	2021.12
30	Yamato Sakino, Hakaru Tamukoh, Takashi Morie et al.	Future University Hakodate	Benchmarks for Reservoir Computing Based on Pseudo-Billiard Dynamics in Hypercube	The 2021 NonLinear Science Workshop	2021.12
31	Kohei Kawazoe, Yuichi Katori, Hakaru Tamukoh et al.	Kyushu Institute of Technology	Design of a VLSI Circuit with Non-volatile Analog Memory for Reinforcement Learning Using Reservoir Computing	9th International Symposium on Applied Engineering and Sciences (SAES2021)	2021.12
32	Hiroshi Kubota, Tsuyoshi Hasegawa, Megumi Akai, Tetsuya Asai	Hokkaido University	On the noise sensitivity of physical reservoir computing in a ring array of atomic switches	The 2021 NonLinear Science Workshop	2021.12
33	Daiju Kanaoka, Yuichiro Tanaka, Hakaru Tamukoh	Kyushu Institute of Technology	Open Set Recognition Using Hotelling's T2 Focusing on Multidimensional Feature Space in Deep Neural Networks	9th International Symposium on Applied Engineering and Sciences (SAES2021)	2021.12
34	Ruihong Wu, Kohei Nakajima, Yongping Pan	Sun Yat-sen University	Performance Improvement of FORCE Learning for Chaotic Echo State Networks	The 28th International Conference on Neural Information Processing (ICONIP2021)	2021.12
35	Wentao Sun, Nozomi Akashi, Yasuo Kuniyoshi et al.	The University of Tokyo	Physics-informed reservoir computing with autonomously switching readouts: a case study in pneumatic artificial muscles	The 32nd 2021 International Symposium on Micro-NanoMechatronics and Human Science	2021.12
36	Yuichiro Tanaka, Hakaru Tamukoh	Kyushu Institute of Technology	Reservoir-based Convolutional Neural Network	The 2021 NonLinear Science Workshop	2021.12
37	Koutaro Minato, Yuichi Katori	Future University Hakodate	Robot Arm Control Using Reward-modulated Hebbian Learning	The 28th International Conference on Neural Information Processing (ICONIP2021)	2021.12

38	Yu Yoshino, Yuichi Katori	Future University Hakodate	Short-term Memory Ability of Reservoir-based Temporal Difference Learning Model	The 2021 NonLinear Science Workshop	2021.12
39	川添皓平・玉井克典・宍戸優樺等	九州工業大学	不揮発性アナログメモリの適用を目指したリザバー計算に基づく強化学習回路の設計	電気学会・電子回路研究会	2021.12
40	金岡大樹・田中悠一朗・田向権	九州工業大学	多次元特徴空間に着目したオープンセット認識手法の開発	電子情報通信学会 スマートインフォメディアシステム研究会(SIS)	2021.12
41	Akira Kamimaki, Sumito Tsunegi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Enhanced Computational Ability of Spin Torque Oscillator with Delayed-Feedback Circuit in Physical Reservoir Computing	Intermag 2021	2021.4
42	Dinda Pramanta, Hakaru Tamukoh	Kyushu Institute of Technology	FPGA Implementation of Pulse-Coupled Phase Oscillators working as a Reservoir at the Edge of Chaos	2021 IEEE International Symposium on Circuits and Systems (ISCAS)	2021.5
43	小菅佑太・川節拓実・田向権等	大阪大学	光学式触覚センサとエコーステートネットワークによる物体認識	ロボティクス・メカトロニクス講演会 2021	2021.6
44	Yuta Horii, Katsuma Inoue, Satoshi Nishikawa et al.	The University of Tokyo	Physical reservoir computing in a soft swimming robot	ALIFE 2021: The 2021 Conference on Artificial Life	2021.7
45	香取勇一	公立はこだて未来大学	超立方体上の疑似ビリアードダイナミクスに基づく計算機構とそのニューロモルフィック応用	第 44 回日本神経科学大会	2021.7
46	Hidenobu Sumioka, Kohei Nakajima, Kurima Sakai et al.	Advanced Telecommunications Research Institute International	Wearable Tactile Sensor Suit for Natural Body Dynamics Extraction: Case Study on Posture Prediction Based on Physical Reservoir Computing	2021 IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS)	2021.9
47	和泉友人・香取勇一	公立はこだて未来大学	レザバー計算と予測符号化に基づく二経路視覚情報処理モデル	第 31 回 日本神経回路学会 全国大会	2021.9
48	中村仁・香取勇一	公立はこだて未来大学	動的シナプスを用いた報酬修飾型レザバー計算に基づく行動計画の数理モデル	第 31 回 日本神経回路学会 全国大会	2021.9

49	久保田宙・長谷川剛・赤井恵・浅井哲也	北海道大学	原子スイッチを用いたリザバーコンピューティングのノイズ評価	第 82 回応用物理学会秋季学術講演会	2021.9
50	徳野将士・田中悠一朗・川節拓実等	九州工業大学	柔軟接触センサを搭載したロボットハンドを用いたアクティブセンシングによる物体認識	第 39 回日本ロボット学会学術講演会	2021.9
51	田中悠一朗・田向権・立野勝巳等	九州工業大学	海馬・扁桃体・前頭前野の機能を統合した脳型 AI ハードウェア	第 82 回応用物理学会秋季学術講演会	2021.9
52	文清一・赤井恵・浅井哲也	北海道大学	神経刺激電極アレイの CMOS 集積化に向けた能動的チャージバランス回路	第 31 回 日本神経回路学会 全国大会	2021.9
53	Sumito Tsunegi, Tomohiro Taniguchi, Akira Kamimaki et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing using spin torque oscillator with loop circuit	2022 Joint MMM-Intermag Conference (INTERMAG)	2022.1
54	Seiichi Bun, Kota Ando, Megumi Akai-Kasaya et al.	Hokkaido University	An Active Charge Balancer Towards CMOS Integration of an Array of Neural Stimulators	2022 International Symposium on Nonlinear Theory and Its Applications	2022.12
55	Osamu Nomura, Takashi Morie, Hakaru Tamukoh et al.	Kyushu Institute of Technology	Analog Neuromorphic Hardware for a Chaotic Boltzmann Machine Working as a Reservoir	Workshop on Future Computing 2022	2022.12
56	Kazuo Nakahara, Yuichi Katori, Osamu Nomura et al.	Future University Hakodate	Evaluation of Modular Reservoirs Using Chaotic Boltzmann Machines	The 4th International Symposium on Neuromorphic AI Hardware	2022.12
57	Yoshihiro Yonemura and Yuichi Katori	Future University Hakodate	Mental Simulation on Reservoir Computing as an Efficient Planning Method for Mobile Robot Navigation	2022 International Symposium on Nonlinear Theory and Its Applications	2022.12
58	Tatsuro Nagai and Yuichi Katori	Future University Hakodate	Online Reinforcement Learning on Reservoir Based Actor-Critic Model with Gibbs' s Policy	2022 International Symposium on Nonlinear Theory and Its Applications	2022.12

59	Katsunori Tamai, Yuichi Katori, Hakaru Tamukoh et al.	Kyushu Institute of Technology	Performance Evaluation of a Reservoir Reinforcement Learning Model Considering Nonlinear Write Characteristics of Analog Memory	The 4th International Symposium on Neuromorphic AI Hardware	2022.12
60	Yuichiro Tanaka, Hakaru Tamukoh	Kyushu Institute of Technology	Reservoir-based 1D convolution	The 4th International Symposium on Neuromorphic AI Hardware	2022.12
61	Tomohito Izumi and Yuichi Katori	Future University Hakodate	Visual Predictive Coding Model with Reservoir Computing for Reinforcement Learning Tasks in 3D Environment	2022 International Symposium on Nonlinear Theory and Its Applications	2022.12
62	Yuka Shishido, Kohei Kawazoe, Katsunori Tamai et al.	Kyushu Institute of Technology	A co-design environment for computational models and circuits using PyLTSpice and its application to circuit design for reinforcement learning using reservoir computing	The 10th RIEC International Symposium on Brain Functions and Brain Computer	2022.2
63	Akinobu Mizutani, Yuichiro Tanaka, Hakaru Tamukoh et al.	Kyushu Institute of Technology	A situation-dependent navigation system by brain-inspired neural networks with hippocampus, prefrontal cortex, and amygdala functions	The 10th RIEC International Symposium on Brain Functions and Brain Computer	2022.2
64	Daiju Kanaoka, Yuichiro Tanaka, Hakaru Tamukoh	Kyushu Institute of Technology	Applying Center Loss to Multidimensional Feature Space in Deep Neural Networks for Open-Set Recognition	17th International Joint Conference on Computer Vision, Imaging and Computer Graphics Theory and Applications	2022.2
65	Katsunori Tamai, Kohei Kawazoe, Yuka Shishido et al.	Kyushu Institute of Technology	Numerical simulation for VLSI implementation of reinforcement learning using reservoir computing	The 10th RIEC International Symposium on Brain Functions and Brain Computer	2022.2
66	Yuka Shishido, Kohei Kawazoe, Katsunori Tamai et al.	Kyushu Institute of Technology	A Co-Design Environment for AI Hardware Simulation Using PyLTSpice	The 3rd International Symposium on Neuromorphic AI Hardware	2022.3
67	Kazuo Nakahara, Yuichi Katori, Hakaru	Kyushu Institute of Technology	Memory Capacity of Reservoir Computing Using Chaotic Boltzmann Machines	The 3rd International Symposium on Neuromorphic AI Hardware	2022.3

	Tamukoh et al.				
68	Katsunori Tamai, Kohei Kawazoe, Yuka Shishido et al.	Kyushu Institute of Technology	Numerical Simulation for Analog VLSI Implementation of Reinforcement Learning Using Reservoir Computing	The 3rd International Symposium on Neuromorphic AI Hardware	2022.3
69	Katsushi Kagaya, Bowei Yu, Yuna Minami et al.	The University of Tokyo	Echo state property and memory in octopus-inspired soft robotic arm	2022 IEEE 5th International Conference on Soft Robotics (RoboSoft)	2022.4
70	Wentao Sun, Nozomi Akashi, Yasuo Kuniyoshi et al.	The University of Tokyo	Self-Organization of Physics-Informed Mechanisms in Recurrent Neural Networks: A Case Study in Pneumatic Artificial Muscles	2022 IEEE 5th International Conference on Soft Robotics (RoboSoft)	2022.4
71	Osamu Nomura	Kyushu Institute of Technology	Analog Neuromorphic Hardware for Energy-efficient AI Computing	The 18th Embedded Vision Workshop In Conjunction With CVPR 2022	2022.6
72	Jin Nakamura and Yuichi Katori	Future University Hakodate	Construction and Analysis of a Computational Model of Motion Planning Based on Reward-Modulated Reservoir Computing with Short-term Synaptic Plasticity	NEURO2022	2022.6
73	Yamato Sakino, Hakaru Tamukoh, Takashi Morie et al.	Future University Hakodate	Reservoir Based Reinforcement Learning Model with Pseudo-Billiard Dynamics in Hypercube	NEURO2022	2022.6
74	右田浩基・川節拓実・細田耕	大阪大学	イオン液体センサを内蔵したソフトグリッパを用いた時系列触覚情報に基づく物体識別	ロボティクス・メカトロニクス講演会 2022 in Sapporo	2022.6
75	河合祐司・朴志勲・津田一郎等	大阪大学	モジュール型レザバーコンピューティングにおける大記憶容量を有する動的直交基底の創発	電子情報通信学会 ニューロコンピューティング研究会	2022.6
76	吉野遊・香取勇一	公立はこだて未来大学	部分観測マルコフ決定過程におけるリザバーコンピューティングを基にしたTD学習モデルの短期記憶性能	NEURO2022	2022.6

77	Yuji Kawai, Jihoon Park, Ichiro Tsuda et al.	Osaka University	Learning long-term motor timing and patterns using modular reservoir computing	International Symposium on Artificial Intelligence and Brain Science 2022	2022.7
78	Osamu Nomura, Yusuke Sakemi, Takeo Hosomi et al.	Kyushu Institute of Technology	Robustness of Spiking Neural Networks Based on Time-to-First-Spike Encoding Against Adversarial Attacks	The 65th IEEE International Midwest Symposium on Circuits and Systems	2022.8
79	山川綜一郎・安藤洸太・赤井恵等	北海道大学	非線形動的システムの発散特性を利用した微小信号検出回路の設計と評価	第 35 回 回路とシステムワークショップ	2022.8
80	Yuji Kawai, Jihoon Park, Ichiro Tsuda et al.	Osaka University	Self-organization of a Dynamical Orthogonal Basis Acquiring Large Memory Capacity in Modular Reservoir Computing	The 31st International Conference on Artificial Neural Networks	2022.9
81	玉井克典・田向権・香取勇一等	九州工業大学	アナログメモリの非線形書き込み特性を考慮したリザバー強化学習モデルの性能評価	第 83 回応用物理学会秋季学術講演会	2022.9
82	野村修・森江隆・田向権等	九州工業大学	カオスボルツマンマシンとそのレザバー応用,および超低消費電力型 LSI の開発	2022 年 電気学会 電子・情報・システム部門大会	2022.9
83	徳野将士・田中悠一朗・川節拓実等	九州工業大学	ロボットの触覚の記憶獲得と記憶に基づいた違和感の検知	第 40 回日本ロボット学会学術講演会	2022.9
84	Soichiro Yamakawa, Kota Ando, Megumi Akai-Kasaya et al.	Hokkaido University	Design and Evaluation of Brain-Computer Communication Devices using Divergence Properties of Non-Linear Dynamical Systems	The 9th Japan-Korea Joint Workshop on Complex Communication Sciences	2023.1
85	Yuji Kawai, Jihoon Park, Ichiro Tsuda et al.	Osaka University	Small random neural networks orthogonally oscillate to learn long-term motor timing/patterns	Winter Workshop on Mechanism of Brain and Mind 2023	2023.1
86	Hiroshi Atsuta, Yuji Kawai,	Osaka University	Small sample learning of reaching movements of a redundant robotic arm	Winter Workshop on Mechanism of Brain and Mind 2023	2023.1

	Minoru Asada		with an echo state network		
87	河合祐司・熱田洋史・浅田稔	大阪大学	モジュール型レザバーコンピュータを用いたロボットアームの適応的な軌道制御	電子情報通信学会 ニューロコンピューティング研究会	2023.1
88	湊宏太郎・香取勇一	公立はこだて未来大学	レザバーアクタークリティックモデルによるロボットの連続値制御	電子情報通信学会 ニューロコンピューティング研究会	2023.1
89	Gabor Soter, Andrew Conn, Helmut Hauser et al.	University of Bristol	Shape reconstruction of CCD camera-based soft tactile sensors	IEEE/RSJ International Conference on Intelligent Robots and Systems	2020.1
90	徳野将士・田中悠一朗・川節拓実等	九州工業大学	柔軟触覚センサを搭載したロボットハンドによる触覚情報からの物体認識	日本ロボット学会 学術講演会	2020.1
91	Yuichiro Tanaka, Hakaru Tamukoh, Katsumi Tateno et al.	Kyushu Institute of Technology	A Brain-inspired Artificial Intelligence Model of Hippocampus, Amygdala, and Prefrontal Cortex on Home Service Robots	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020.11
92	Masafumi Inada, Yuichiro Tanaka, Hakaru Tamukoh et al.	Future University Hakodate	A Reservoir Based Q-learning Model for Autonomous Mobile Robots	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020.11
93	Yuta Nishimura, Masatoshi Yamaguchi, Daichi Kamimura et al.	Kyushu Institute of Technology	A Reservoir Computing System Using a CMOS Chaotic Boltzmann Machine Chip Controlled by SoC FPGA	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020.11
94	Pramanta Dinda and Hakaru Tamukoh	Kyushu Institute of Technology	Design and Implementation of Pulse-Coupled Phase Oscillators on a Field-Programmable Gate	International Conference on Neural Information Processing	2020.11
95			Array for Reservoir Computing		
96	Daichi Yamamoto, Ichiro Kawashima, Hakaru	Future University Hakodate	FPGA Implementation and Verification of Reservoir Computing Based on Pseudo-Billiard Dynamics in Hypercube	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020.11

	Tamukoh et al.				
97	Yoshihiro Yonemura and Yuichi Katori	Future University Hakodate	Multi-Modal Processing of Visual and Auditory Signals on Network Model Based on Predictive CodingAnd Reservoir Computing	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020.11
98	Shoshi Tokuno, Yuichiro Tanaka, Takumi Kawasetsu et al.	Kyushu Institute of Technology	Object Recognition Using Flexible Tactile Sensor	Asia Pacific Conference on Robot IoT System Development and Platform	2020.11
99	Daichi Kamimura, Yuichi Katori, Hakaru Tamukoh et al.	Kyushu Institute of Technology	Performance Evaluation of Reservoir Computing Using Pseudo-billiard Dynamics in Hypercube	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020.11
100	Akira Kamimaki, Sumito Tsunegi, Tomothiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing by Spin-Torque Oscillator at the Edge of Chaos	The 2020 Magnetism and Magnetic Materials Conference	2020.11
101	大河原昂也・香取勇一	公立はこだて未来大学	レザバー計算と深層強化学習を組み合せた推論機構の研究	第 30 回日本神経回路学会 全国大会	2020.12
102	森江隆	九州工業大学	不揮発性メモリを用いた AI プロセッサ/ニューロモルフィック回路技術の進展と今後の展望	薄膜・表面物理セミナー	2020.12
103	森江隆・立野勝巳・中川拓紀・高田健介	九州工業大学	海馬の機能にヒントを得た脳型ハードウェアアーキテクチャ	第 30 回日本神経回路学会 全国大会	2020.12
104	Hiroshi Kubota, Tsuyoshi Hasegawa, Megumi Akai-Kasaya et al.	Hokkaido University	Reservoir Computing on Atomic Switch Arrays with High Precision and Excellent Memory Characteristics	RISP international Workshop on Nonlinear Circuits, Communications and Signal Processing 2021	2021.3
105	石田直輝・窪田智之・伊藤圭基等	東京大学	ラット聴覚野における情報処理容量の計測	電気学会研究会資料医用・生体工学研究会	2021.3

106	岡田 青空・寺前順之介	京都大学	ランダム時系列を利用する運動の教師あり学習	日本物理学会第 76 回年次大会	2021.3
107	木村武龍・窪田智之・高橋宏知	東京大学	リザバー計算の状態空間別情報処理能力	電気学会研究会資料医用・生体工学研究会	2021.3
108	久保田宙・長谷川 剛・赤井恵等	北海道大学	原子スイッチアレイを用いた物理リザバーコンピューティング	第 68 回応用物理学会春季学術講演会	2021.3
109	森叶人・白松(磯口)知世・高橋宏知	東京大学	多感覚情報処理が脳の逸脱検出に及ぼす影響	電気学会研究会資料医用・生体工学研究会	2021.3
110	諏訪瑛介・窪田智之・高橋宏知	東京大学	神経細胞の分散培養系の情報処理容量	電気学会研究会資料医用・生体工学研究会	2021.3
111	伊藤圭基・白松(磯口)知世・石田直樹等	東京大学	齧歯類におけるビート知覚の神経基盤	電気学会研究会資料医用・生体工学研究会	2021.3
112	Ryo Sakurai, Mitsuhiro Nishida, Hideyuki Sakurai et al.	Bridgestone Corp.	Emulating a sensor using soft material dynamics: A reservoir computing approach to pneumatic artificial muscle	IEEE International Conference on Soft Robotics	2020.5
113	Kota Wakamatsu, Katsuma Inoue, Daiki Hagiwara et al.	Chuo University	Mixing State Estimation of Peristaltic Continuous Mixing Conveyor with Distributed Sensing System Based on Soft Intestine Motion	IEEE International Conference on Soft Robotics	2020.5
114	Shota Hamaguchi, Takumi Kawasetsu, Takato Horii et al.	Mie University	Soft Inductive Tactile Sensor using Flow Channel Enclosing Liquid Metal	IEEE International Conference on Soft Robotics	2020.5
115	水野海渡・川節拓実・堀井隆斗等	奈良高専	触覚を備える子供アンドロイド用小型ハンドの骨格の改良と表面張力層の実装	ロボティクス・メカトロニクス講演会	2020.5
116	Jihoon Park, Yuji Kawai, and	Osaka University	Self-organization of connectivity in spiking neural networks with balanced excitation and inhibition	Annual Computational Neuroscience Meeting	2020.7

	Minoru Asada				
117	Akira Kamimaki, Sumito Tsunegi, Tomohiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Chaotic Behavior of Spin-Torque Oscillator with Feedback Circuit	応用物理学会秋季学術講演会	2020.9
118	Akira Kamimaki, Sumito Tsunegi, Tomohiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing by Spin-Torque Oscillator at the Edge of Chaos	応用物理学会秋季学術講演会	2020.9
119	山口皓史・明石望洋・常木澄人等	産業技術総合研究所	遅延回路を含むスピントロニクス・リザバーの短時間記憶容量	応用物理学会秋季学術講演会	2020.9
120	谷口知大・明石望洋・野津裕史等	産業技術総合研究所	遅延回路を含むスピントロニクス素子におけるカオス	応用物理学会秋季学術講演会	2020.9

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載先	発表年月
1	産業技術総合研究所	ナノ磁石を用いたリザバー計算の性能を向上	産業技術総合研究所（プレス発表）	2019.4
2	東京大学	ラットも音楽のビートに合わせて身体を動かすことを発見 ～音楽やダンスの起源は､動物種共通の脳のダイナミクスか?～	東京大学（プレス発表）	2022.11
3	東京大学	物理深層学習のための新たな脳型学習アルゴリズムを開発 ～新アルゴリズムで光ニューラルネットワークによる高速な深層学習を実証～	東京大学（プレス発表）	2023.1
4	東京大学	神経の確率的スパイク発火による秩序生成機能の発見	UTokyo FOCUS Articles	2020.6

(c)展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	大阪大学	未来共生社会を広げるニューロモーフィックダイナミクス	NEDO フェスタ in 関西「社会で活躍できる人工知能	2018.12

			とロボット実装ーこれからの技術開発と課題ー」	
2	大阪大学	日本の次世代人工知能技術はロボットを中心に加速する	NEDO AI&ROBOT NEXT シンポジウム～人を見守る人工知能、人と協働するロボットの実現に向けて～	2020.1
3	大阪大学	Neuromorphic Dynamics towards Symbiotic Society with AI/Robots	JST-MOST Workshop on “Nanoelectronics and System Integration for AI”	2019.6
4	九州工業大学	家庭用サービスロボットの実現に向けた競技会への参加・教育への応用	九州工業大学 110 周年記念フォーラム	2019.8

◎研究開発テーマ「光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証」

【外部発表】

(c) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	才田 隆志	技術研究組合光電子融合基盤技術研究所	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	2018 年度光産業技術シンポジウム	2019.2
2	鈴木 賢哉、他	技術研究組合光電子融合基盤技術研究所	Proposal of a Large-Scale Optical Switch for Bursty Applications	OFC 2021	2021.6
3	森脇 摂、他	技術研究組合光電子融合基盤技術研究所	with コロナ時代のネットワーク課題と光スイッチによる貢献	第 159 回微小光学研究会	2021.6
4	森脇 摂、他	技術研究組合光電子融合基盤技術研究所	1000-port Scale and 100-μs Switching with Carrier-grade Devices	OECC/PSC 2022	2022.7
5	森脇 摂、他	技術研究組合光電子融合基盤技術研究所	光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	電子情報通信学会フォトニックネットワーク研究会	2022.8
6	鈴木 賢哉、他	技術研究組合光電子融合基盤技術研究所	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	2022 年電子情報通信学会ソサイエティ大会	2022.9
7	鈴木 賢哉	技術研究組合光電子融合基盤技術研究所	Opto-electric hybrid switch system for high-speed and low-power consuming data transmission system	ISPEC 2022	2022.12

8	鈴木 賢哉	技術研究組合光電子融合基盤技術研究所	高速低消費電力データ伝送のための光電ハイブリッドスイッチシステム	2022 年度光産業技術シンポジウム	2023.2
9	森脇 摂、他	技術研究組合光電子融合基盤技術研究所	Sub-ms Data Recovery at 1,000-port Scale Optical Switch Developed with Customized Practical Devices	OFC 2023	2023.3

(c)展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	技術研究組合光電子融合基盤技術研究所	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	InterOpto 2018	2018.10
2	技術研究組合光電子融合基盤技術研究所	次世代データセンタ向け低消費電力スイッチシステムの開発～光電ハイブリッドスイッチシステム～	InterOpto 2020	2020.1
3	技術研究組合光電子融合基盤技術研究所	次世代データセンタ向け低消費電力スイッチシステムの開発～光電ハイブリッドスイッチシステム～	InterOpto 2021	2020.12
4	技術研究組合光電子融合基盤技術研究所	次世代データセンタ向け低消費電力スイッチシステムの開発～光電ハイブリッドスイッチシステム～	InerOpto	2021.10
5	技術研究組合光電子融合基盤技術研究所	次世代データセンタ向け低消費電力スイッチシステムの開発～光電ハイブリッドスイッチシステム～	InterOpto 2022	2022.6
6	技術研究組合光電子融合基盤技術研究所	次世代データセンタ向け低消費電力スイッチシステムの開発～光電ハイブリッドスイッチシステム～	CEATEC 2022	2022.10

◎研究開発テーマ「光電ハイブリッドスイッチ 制御アルゴリズム」

【論文】

番号	発表者	所　属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Truong Thao Nguyen、他	産業技術総合研究所	Hybrid Electrical/Optical Switch Architectures for Training Distributed Deep Learning in Large-Scale	IEICE Transactions on Information and Systems Vol. E104-D, pp. 1332-1339	有	2021.8

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Truong Thao Nguyen、他	産業技術総合研究所	On the feasibility of Optical Circuit Switching for Distributed Deep Learning	PHOTONICS: Photonics-Optics Technology Oriented Networking,	2019.11

				Information, and Computing Systems	
2	高野 了成、他	産業技術総合研究所	Fast Control Plane Mechanism for an Optical and Electrical Hybrid Switch Network	Open Compute Project Future Technology Symposium	2020.3
3	高野 了成、他	産業技術総合研究所	Experiment of Fast Control Plane Leveraging by an FPGA-based Multimaster EtherCAT Technology	2021 Open Compute Project Future Technology Symposium	2021.11
4	高野 了成、他	産業技術総合研究所	多ポート高速光スイッチの高速制御のための高速コントロールプレーン構築	電子情報通信学会 フォトニックネットワーク研究会	2022.6

(d) その他、成果普及活動：ソフトウェア公開

番号	発表者	所属	ソフトウェア名	公開サイト	公開年月
1	高野 了成、他	産業技術総合研究所	MEOW Network Controller	GitHub https://github.com/ryousei/meow-rest	2022.10

◎研究開発テーマ「光スイッチネットワークアーキテクチャの最適化」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名 称	発明者
1	国立研究開発法人 産業技術総合研究所	2020-024329	国内	2020.2.17	出 願中	電気光ハイブリッドスイッチネットワーク	松本怜典、他
2	国立研究開発法人 産業技術総合研究所	JP2021/004139	PCT	2021.2.4	出 願中	通信制御方法及び通信制御装置	松本怜典、他
3	国立研究開発法人 産業技術総合研究所	2022-501781	国内	2021.2.4	登 録中	通信制御方法及び通信制御装置	松本怜典、他
4	国立研究開発法人 産業技術総合研究所	17/797635(US)	米国	2021.2.4	出 願中	Communication control method and communication control apparatus	松本怜典、他
5	国立研究開発法人 産業技術総合研究所	202180013249.4 (CN)	中国	2021.2.4	出 願中	通信制御方法及び通信制御装置	松本怜典、他
6	国立研究開発法人 産業技術総合研究所	2021-151662	国内	2021.9.17	出 願中	通信制御方法、通信制御装置及びプログラム	松本怜典、他

7	国立研究開発法人 産業技術総合研究所	JP2022/031174	PCT	2022.8.18	出願中	通信制御方法、通信制御装置及びプログラム	松本怜典、他
8	国立研究開発法人 産業技術総合研究所	2023-011456	国内	2023.1.30	出願中	光フィルタの制御装置	鴻池遼太郎、他

【論文】

番号	発表者	所　属	タイトル	発表誌名、ページ番号	査読	発表年月
1	森洋二郎、他	名古屋大学	Design and Evaluation of Optical Circuit Switches for Intra-Datacenter Networking	Journal of Lightwave Technology Vol. 37, pp. 330-337	有	2019.1
2	松本怜典、他	産業技術総合研究所	Scalable and Fast Optical Circuit Switch Based on Colorless Coherent Detection: Design Principle and Experimental Demonstration	Journal of Lightwave Technology vol. 39, pp. 2263-2274	有	2021.4
3	森洋二郎、他	名古屋大学	High-port-count optical circuit switches for intra-datacenter networks	Journal of Optical Communications and Networking Vol. 13, pp. D43-D52	有	2021.6
4	松本怜典、他	産業技術総合研究所	Design and verification of a LO bank enabled by fixed-wavelength lasers and fast tunable silicon ring filters for creating large scale optical switches	Optics Express Vol. 29, pp. 39930-39945	有	2021.11
5	松本怜典、他	産業技術総合研究所	Polarization-insensitive local-oscillator-carrier loopback modulation for a cost-effective and high-port-count wavelength-routing optical switch	Optics Letters Vol. 47, pp. 3680-3683	有	2022.7
6	佐藤 健一、他	産業技術総合研究所	Prospects and challenges of optical switching technologies for intra data center networks	Journal of Optical Communications and Networking, Vol. 14, pp. 903-915	有	2022.11
7	松本怜典、他	産業技術総合研究所	Performance Analysis of Scalable Optical Circuit Switch Employing Fast-Tunable AMZI Filters for Coherent Detection	Journal of Lightwave Technology Vol. 41, pp. 934-948	有	2023.2
8	鴻池遼太郎、他	産業技術総合研究所	Path-Independent Insertion Loss 8 × 8 Silicon Photonics Switch With Nanosecond-Order Switching Time	Journal of Lightwave Technology Vol. 41, pp. 865-870	有	2023.2

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	佐藤 健一	名古屋大学	Role of Optical Circuit Switching and Realization Technologies for Datacenter Applications	PSC 2018	2018.9
2	森 洋二郎、他	名古屋大学	Fast Optical Circuit Switch Using Monolithically Integrated Silicon-Photonic Space Switch and Wavelength-Tuneable Filter	ECOC 2018	2018.9
3	本田 瑛士、他	名古屋大学	コヒーレント検波を用いた波長可変レーザーの動的特性解析	レーザー学会学術講演会第 39 回年次大会	2019.1
4	Mungun-Erdene Ganbold 、他	名古屋大学	Performance evaluation of large-scale optical circuit switch for data centers	電子情報通信学会 光通信方式研究会	2019.2
5	本田 瑛士、他	名古屋大学	Feasibility Test of Large-Scale (1,424×1,424) Optical Circuit Switches Utilizing Commercially Available Tunable Lasers	OECC/PSC 2019	2019.7
6	本田 瑛士、他	名古屋大学	INTRA- AND INTER-DATACENTRE CONVERGED NETWORKS UTILIZING KRAMERS-KRONIG RECEIVERS	ECOC 2019	2019.9
7	佐藤 健一	産業技術総合研究所	通信技術の進展 －アーキテクチャの視点とネットワークの研究開発－	第 33 回 光通信システムシンポジウム	2019.12
8	佐藤 健一	産業技術総合研究所	Role of Optical Technologies to Compensate the End of Moore's Law	IEEE 2019 The 2nd World Symposium on Communication Engineering (WSCE 2019)	2019.12
9	森 洋二郎、他	名古屋大学	波長分割多重および空間分割多重を用いた大容量光スイッチ	電子情報通信学会 光通信システム研究会 (OCS)	2020.1
10	佐藤 健一	産業技術総合研究所	Design and Performance of Optical Switching Technologies for Data Center Networks	OFC 2020	2020.3
11	本田 瑛士、他	名古屋大学	High-Throughput Optical Circuit Switch for Intra-Datacenter Networks Based on Spatial Super-channels	OFC 2020	2020.3

12	松本 怜典、他	産業技術総合研究所	Scalable and Fast Optical Circuit Switch Created with Silicon-Photonic Tunable-Filter-based Local Oscillator Bank and Colorless Coherent Detection	OFC 2020	2020.3
13	佐藤 健一	産業技術総合研究所	Design and Performance of Large Port Count Optical Switches for Intra Data Centre Application	International Conference on Transparent Optical Network 2020 (ICTON 2020)	2020.7
14	本田 瑛士、他	名古屋大学	空間スーパーチャネルを用いたデータセンタ内光スイッチの評価	2020 年電子情報通信学会ソサイエティ大会	2020.9
15	本田 瑛士、他	名古屋大学	Evaluation on High-Throughput Optical Circuit Switch for Intra-Datacenter Networks Based on Spatial Super-Channels	OECC 2020	2020.10
16	松本 怜典、他	産業技術総合研究所	カラーレスコヒーレント受信およびシリコンフォトニクス局発光バンクを用いた大規模・高速光スイッチ	電子情報通信学会 光通信システム研究会	2020.11
17	本田 瑛士、他	名古屋大学	Demonstration of 4.3 Pbps Optical Circuit Switching for Intra-Datacentre Networks Based on Spatial Super-Channels	ECOC 2020	2020.12
18	松本 怜典、他	産業技術総合研究所	Large-Scale and Fast Optical Circuit Switch for Coherent Detection Using Tunable Local Oscillators Formed with Wavelength Bank and Widely-Tunable Silicon Ring Filters	ECOC 2020	2020.12
19	森 洋二郎、他	名古屋大学	Large-scale optical switch architectures for intra-datacenter networks	ECOC 2020	2020.12
20	佐藤 健一	産業技術総合研究所	データセンター向け光ネットワーク技術の最新動向	2021 年度　光ネットワーク産業・技術研究会 第 1 回公開討論会	2021.5
21	松本 怜典、他	産業技術総合研究所	Fast Optical Switch Utilizing Coherent Detection Enabled by Cooperative Filtering of Transmission Signal and Local Oscillator (LO) Wavelength Served from an LO Bank	OFC 2021	2021.6
22	佐藤 健一	産業技術総合研究所	Innovating intra data center networks with large-scale optical	OFC 2021	2021.6

			switches - technologies and performance achieved		
23	佐藤 健一	産業技術総合研究所	How Optical Technologies Can Innovate Intra Data Center Networks	The 30th International Conference on Computer Communications and Networks (ICCCN 2021)	2021.7
24	松本 怜典、他	技術研究組合光電子融合基盤技術研究所	データセンター向け大規模・高速光回線交換スイッチ	電子情報通信学会 フォトニックネットワーク研究会	2021.8
25	佐藤 健一	産業技術総合研究所	How to Create Simple Control Mechanism with Low Latency for Intra Data Center Optical Switching Networks	PSC 2021	2021.9
26	森 洋二郎、他	名古屋大学	空間多重技術を利用した大規模光スイッチ	電子情報通信学会 EXAT 研究会	2021.11
27	佐藤 健一	産業技術総合研究所	How Optical Switching Technologies can Innovate Intra Data Centre Networks	The 10th International Conference on Networks, Communication and Computing (ICNCC 2021)	2021.12
28	久野 拓真、他	名古屋大学	ナイキスト波長分割多重技術による 1 ペタビット超級光スイッチ	電子情報通信学会 フォトニックネットワーク研究会	2022.1
29	松本 怜典、他	産業技術総合研究所	Cost-effective and High-Port-Count Optical Switch Employing Coherent Detection and Loopback Modulation of Local Oscillator Carrier	OFC 2022	2022.3
30	久野 拓真、他	名古屋大学	Demonstration of High-Throughput Intra-Datacenter Switches Using Interleaved AWGs for Nyquist WDM	OFC 2022	2022.3
31	鴻池 遼太郎、他	産業技術総合研究所	Path-Independent Insertion-Loss (PILOSS) 8 × 8 Silicon Photonics Switch with <8 nsec Switching Time	OFC 2022	2022.3
32	松本 怜典、他	産業技術総合研究所	Scalable and Fast Optical Circuit Switch Exploiting Colorless Coherent Detection	OFC 2022	2022.3
33	久野 拓真、他	名古屋大学	ナイキスト波長分割多重を活用した大容量光スイッチ	電子情報通信学会 フォトニックネットワーク研究会	2022.3
34	三ツ矢 拓誠、他	名古屋大学	波長・空間スーパーチャネルを用いたデータセンタ内光スイッチ	2022 年電子情報通信学会総合大会	2022.3

35	鴻池 遼太郎、他	産業技術総合研究所	面内 p-i-n 型位相シフタを有する PILOSS 型シリコン光スイッチ	2022 年電子情報通信学会総合大会	2022.3
36	佐藤 健一	産業技術総合研究所	How optical technologies can innovate future data center networks	電子情報通信学会国際委員会主催　英語 Webinar	2022.4
37	佐藤 健一	産業技術総合研究所	Harnessing Optical Switches for Innovating Intra Data Center Networks	Distinguished Lecture (DL) at Institute for Broadband Research and Innovation (IBRI), Soochow University,	2022.8
38	三ツ矢 拓誠、他	産業技術総合研究所	データセンタ向け高信頼波長ルーティングスイッチ	電子情報通信学会 フォトニックネットワーク研究会	2022.8
39	松本 怜典、他	産業技術総合研究所	Large-Scale and Fast Optical Circuit Switch Employing Coherent Detection Enabled with Hitless Cascaded-Silicon-Ring-Filter for Local Oscillator (LO) Wavelength Extraction from Laser Bank	ECOC 2022	2022.9
40	三ツ矢 拓誠、他	産業技術総合研究所	Highly Reliable and Large-Scale Optical Circuit Switch for Intra-Datacentre Networks	ECOC 2022	2022.9
41	鴻池 遼太郎、他	産業技術総合研究所	Progress of Large-scale Silicon Photonic Switches and Their Application to Quantum Optics	MOC 2022	2022.9
42	三ツ矢 拓誠、他	産業技術総合研究所	高信頼かつ大規模なデータセンタ光スイッチ	電子情報通信学会ソサイエティ大会	2022.9
43	松本 怜典、他	産業技術総合研究所	シリコンフォトニクスデバイスを用いたデータセンターシステムの研究	レーザー学会学術講演会第 43 回年次大会	2023.1
44	鴻池 遼太郎、他	産業技術総合研究所	Fast (<9.4 μsec) Full-C-Band Tuning of Silicon Photonics Double-Ring Filters using Feed-Forward Control	OFC 2023	2023.3
45	佐藤 健一	産業技術総合研究所	Harnessing Optical Switches for Innovating Intra Data Center Networks	OFC 2023	2023.3
46	佐藤 健一	産業技術総合研究所	Optical Switching will Innovate Intra Data Center Networks	OFC 2023	2023.3
47	松本 怜典、他	産業技術総合研究所	Performance Verification of 7,424 × 7,424 Optical Switch Offering 1.4 μs Switching Time	OFC 2023	2023.3

48	久野 拓真、他	名古屋大学	ナイキスト波長分割多重技術を活用した超大容量光スイッチ	電子情報通信学会 フォトニックネットワーク研究会	2023.3
49	三ツ矢 拓誠、他	名古屋大学	短距離通信用ディジタルコヒーレント受信器を用いたデータセンタ光スイッチネットワーク	電子情報通信学会 フォトニックネットワーク研究会	2023.3

◎研究開発テーマ「光波長送受信器」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名 称	発明者
1	富士通オプティカルコンポーネンツ株式会社	2020-168252	国内	2020.10.5	出 願中	受信装置及び受信方法	坂井 良夫、他
2	富士通オプティカルコンポーネンツ株式会社	17/411687(US)	米国	2021.8.25	登 録中	Receiving device and receiving method	坂井 良夫、他

◎研究開発テーマ「バースト多値プロセッサの研究開発」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名 称	発明者
1	NTT エレクトロニクス株式会社	2023-19881	国内	2023.2.13	出 願中	信号受信回路及び信号送受信システム	米永 一茂、他

◎研究開発テーマ「光コアスイッチ」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名 称	発明者
1	日本電信電話株式会社	JP2020/002515	PCT	2020.1.24	出 願中	導波路型光スイッチ回路およびその駆動方法	森脇 摂、他
2	日本電信電話株式会社	2021-572234	国内	2020.1.24	登 録中	導波路型光スイッチ回路の駆動方法	森脇 摂、他

3	日本電信電話株式会社	17/794078(US)	米国	2020.1.24	出願中	Waveguide Type Optical Switching Circuit and Driving Method Thereof	森脇 摂、他
4	日本電信電話株式会社	JP2022/022128	PCT	2022.5.31	出願中	光送受信器	森脇 摂、他
5	日本電信電話株式会社	JP2022/022398	PCT	2022.6.1	出願中	光スイッチ	森脇 摂、他
6	日本電信電話株式会社	JP2022/030790	PCT	2022.8.12	出願中	光導波路回路および光導波路回路の製造方法	森本 祥江、他
7	日本電信電話株式会社	JP2022/038277	PCT	2022.10.13	出願中	導波路型光スイッチ回路	森脇 摂、他

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	森脇 摂、他	技術研究組合光電子融合基盤技術研究所	Fastest Switching of 84 μs at Silica-based PLC Switch	OFC 2020	2020.3
2	森脇 摂、他	技術研究組合光電子融合基盤技術研究所	石英系 PLC スイッチにおけるスイッチング時間短縮	電子情報通信学会 フォトニックネットワーク研究会	2020.8

◎研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」

【特許】

番号	出願者	出願番号	国内外国PCT	出願日	状態	名 称	発明者
1	合同会社リトルウイング	特願 2021-059456	国内	2021 年 3 月 31 日	審査請求済	時系列データ処理装置	菅 真樹

【論文】

番号	発表者	所 属	タイトル	発表誌名、ページ番号	査読	発表年月

1	竹内健	中央大学	機械学習向け Approximate 不揮発性メモリ	応用物理、88 巻 6 号 pp. 376-381	無	2019 年 6 月
2	Mamoru Fukuchi, Chihiro Matsui, and Ken Takeuchi	中央大学	System Performance Comparison of 3D Charge-trap TLC NAND Flash and 2D Floating-gate MLC NAND Flash based SSDs	IEICE Transactions on Electronics、Vol. E103-C, No. 4, pp. 161-170	有	2020 年 4 月
3	Yoshiki Takai, Mamoru Fukuchi, Chihiro Matsui, Reika Kinoshita, and Ken Takeuchi	中央大学	Analysis on Hybrid SSD Configuration with Emerging Non-volatile Memories Including Quadruple-Level Cell (QLC) NAND Flash Memory and Various Types of Storage Class Memories (SCMs)	IEICE Transactions on Electronics、Vol. E103-C, No.4, pp. 171-180	有	2020 年 4 月
4	Naoko Misawa, Kenta Taoka, Chihiro Matsui, and Ken Takeuchi	東京大学	97.6% array area reduction, ReRAM computation-in-memory with hyperparameter optimization based on memory bit-error rate and bit precision of log-encoding simulated annealing	Japanese Journal of Applied Physics (JJAP)、Vol. 61, pp. SC1001	有	2022 年 2 月
5	Kazuhide Higuchi, Chihiro Matsui, Naoko Misawa, and Ken Takeuchi	東京大学	Computation-in-memory simulation platform to investigate inference accuracy degradation by device non-ideality interactions in deep neural network applications	Japanese Journal of Applied Physics (JJAP)、Vol. 61, pp. SC1054	有	2022 年 2 月
6	Shinsei Yoshikiyo, Naoko Misawa, Kasidit Toprasertpong, Shinichi Takagi, Chihiro Matsui, and Ken Takeuchi	東京大学	Write Variation & Reliability Error Compensation by Layer-wise Tunable Retraining of Edge FeFET LM-GA CiM	IEICE Transactions on Electronics、Vol. E106-C, No. 7, pp. 352-364	有	2022 年 12 月
7	Kasidit Toprasertpong, Mitsuru Takenaka, and	東京大学	Breakdown-Limited Endurance in HZO FeFETs: Mechanism and Improvement Under Bipolar Stress	Frontiers in Electronics、Vol. 3, pp. 1091343	有	2022 年 12 月

	Shinichi Takagi					
8	Shoichi Hirasawa and Michihiro Koibuchi	情報・システム研究機構	An Auto-Tuning Method for High-Bandwidth Low-Latency Approximate Interconnection Networks	2023 31st Euromicro International Conference on Parallel, Distributed and Network-Based Processing (PDP)、pp. 9-16	有	2023 年 3 月
9	Kasidit Toprasertpong, Chihiro Matsui, Mitsuru Takenaka, Ken Takeuchi and Shinichi Takagi	東京大学	Ferroelectric source follower for voltage-sensing nonvolatile memory and computing-in-memory	J. Phys. D: Applied Physics, vol. 56, p. 465103, Aug. 2023.	有	2023 年 8 月

【外部発表】

(d) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	鯉渕 道紘	情報・システム研究機構	Approximate Computing と関連する通信技術	ネットワーク産業・技術研究会, 第３回討論会公開ワークショップ	2018 年 11 月
2	Michihiro Koibuchi	情報・システム研究機構	Approximate HPC Networks for Imperfect Computing	CREST International Symposium on Big Data Application	2019 年 1 月
3	丹羽直也、平澤将一、鯉渕道紘、天野英晴	慶應義塾大学、情報・システム研究機構	Approximate 相互結合網を用いた巡回セールスマン問題の並列蟻コロニー最適化による解法の高速化	情報処理学会 組込み技術とネットワークに関するワークショップ ETNET2019	2019 年 3 月
4	覺田恭生、鈴木敦也、木下怜佳、安達優、松井千尋、竹内健	中央大学	ストレージ・クラス・メモリにおける TLM シミュレーションを用いた信頼性の評価	電子情報通信学会総合大会	2019 年 3 月
5	竹内健	中央大学	Approximate 不揮発性メモリ	集積回路研究会【招待講演】	2019 年 4 月
6	鶴見洸太、鈴木	中央大学	パルス幅変調低電力ニューロモルフィック LSI	集積回路研究会	2019 年 4 月

	健太、竹内健				
7	竹内健	中央大学	Approximate 不揮発性メモリ	第 1 回 miniCANDAR シンポジウム【招待講演】	2019 年 6 月
8	菅 真樹	合同会社リトルウイング	深層学習処理の高速化と省電力化に向けた Approximate 分散処理技術の開発	第 1 回 miniCANDAR シンポジウム【招待講演】	2019 年 6 月
9	平澤将一	情報・システム研究機構	Approximate ネットワークと活用手法	第 1 回 miniCANDAR シンポジウム【招待講演】	2019 年 6 月
10	Chihiro Matsui, Shouhei Fukuyama, Atsuna Hayakawa, and Ken Takeuchi	中央大学	Application-Induced Cell Reliability Variability-Aware Approximate Computing in TaO_X-based ReRAM Data Center Storage for Machine Learning	IEEE Symp. On VLSI Technology	2019 年 6 月
11	Ken Takeuchi	中央大学	Non-volatile Memory Storage for Machine Learning	IEEE SSCS VLSIedu	2019 年 6 月
12	Chihiro Matsui and Ken Takeuchi	中央大学	TaO_X-based ReRAM for Variability-Aware Approximate Computing	Flash Memory Summit	2019 年 8 月
13	Reika Kinoshita, Chihiro Matsui, and Ken Takeuchi	中央大学	Maximizing Performance/cost of SSD Composed of Memory-type and Storage-type SCMs	Flash Memory Summit	2019 年 8 月
14	Koki Kamimura, Susumu Nohmi, Kenta Suzuki, and Ken Takeuchi	中央大学	Parallel Product-Sum Operation Neuromorphic Systems with 4-bit Ferroelectric FET Synapses	IEEE European Solid-State Device Research Conference (ESSDERC)	2019 年 9 月
15	Yao Hu and Michihiro Koibuchi	情報・システム研究機構	Exploring Time space Trade off for Application Mapping onto 3 D Torus NoCs	The 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019)	2019 年 10 月
16	上村公紀、能美奨、竹内健	中央大学	強誘電体トランジスタを用いた並列積和演算可能なニューロモルフィック集積回路	集積回路研究会, 信学技報	2019 年 11 月
17	Reika Kinoshita, Atsuya Suzuki, Shouhei	中央大学	Workload-aware Data-eviction Self-adjusting System of Multi-SCM Storage to Resolve Trade-off between SCM Data-	25th Asia and South Pacific Design Automation Conference (ASP-DAC 2020)	2020 年 1 月

	Fukuyama, Chihiro Matsui, and Ken Takeuchi		retention Error and Storage System Performance		
18	Reika Kinoshita, Chihiro Matsui, Atsuya Suzuki, Shouhei Fukuyama, and Ken Takeuchi	中央大学	Workload-aware Data-eviction Self-adjusting System of Multi-SCM Storage to Resolve Trade-off between SCM Data-retention Error and Storage System Performance	VLSI 設計技術研究会, 信学技報	2020 年 3 月
19	松井千尋、竹内健	中央大学	アプリケーションに起因する ReRAM の信頼性ばらつきを考慮した近似計算ストレージ	応用物理学関係連合講演会	2020 年 3 月
20	橋本峻吾、高井良貴、松井千尋、竹内健	中央大学	様々な遅延を考慮したストレージの性能評価	応用物理学関係連合講演会	2020 年 3 月
21	金田凌賀、木下怜佳、松井千尋、竹内健	中央大学	2 種類のストレージ・クラス・メモリで構成したストレージシステムのデータ追い出し間隔自動調整アルゴリズム	応用物理学関係連合講演会	2020 年 3 月
22	武石滉大、上村公紀、能美奨、竹内健	中央大学	エッジコンピューティングに向けたニューロモルフィック回路	応用物理学関係連合講演会	2020 年 3 月
23	相田息吹、上村公紀、水品圭汰、竹内健	中央大学	AI アクセラレータに向けたニューラルネットワーク	応用物理学関係連合講演会	2020 年 3 月
24	日根優作、覺田恭生、木下怜佳、竹内健	中央大学	Double Asymmetric-latency SCMs SSD 向け書き込みと読み出しの頻度を考慮したデータ管理アルゴリズム	応用物理学関係連合講演会	2020 年 3 月
25	竹内健	中央大学	FeFET を用いたニューロモルフィック・コンピューティング	応用物理学関係連合講演会 シンポジウム 不揮発性メモリ技術の最前線【招待講演】	2020 年 3 月
26	Chihiro Matsui and Ken Takeuchi	中央大学	ReRAM Cell Reliability Variation Tolerated High-Speed Approximate Storage for Machine Learning	IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 23) Poster	2020 年 4 月
27	Yusaku Hine, Reika	中央大学	Data Allocation Algorithm based on Write and Read Frequency for Double	IEEE International Memory Workshop Poster	2020 年 5 月

	Kinoshita, Yoshiki Kakuta, and Ken Takeuchi		Asymmetric-latency SCM SSD		
28	竹内健	東京大学	AI 応用 Approximate メモリ	応用物理学会 シリコンテクノロジー分科会【招待講演】	2020 年 5 月
29	竹内健	東京大学	AI 時代：ソフトベンダが半導体を手掛ける時代の戦略	日本学術振興会シリコン超集積システム第 165 委員会 シリコン超集積システムの進化発展を支えるイノベーション論【招待講演】	2020 年 6 月
30	Chihiro Matsui, Shun Suzuki, and Ken Takeuchi	中央大学	Spatial Color-Perceived Data Control of NAND Flash for Image Detection	IEEE Silicon Nanoelectronics Workshop (SNW)	2020 年 6 月
31	菅 真樹	合同会社リトルウイング	Approximate 分散処理による深層学習処理の高速化に向けて	825 回マルチメディア推進フォーラム「ポスト・ムーアの切り札：Approximate Computing」【招待講演】	2020 年 7 月
32	鯉渕道紘	情報・システム研究機構	ネットワーク視点からの取り組み「不完璧なスーパーコンピュータ」	825 回マルチメディア推進フォーラム「ポスト・ムーアの切り札：Approximate Computing」【招待講演】	2020 年 7 月
33	鯉渕道紘	情報・システム研究機構	ポストムーア時代のスーパーコンピュータの結合網	電子情報通信学会研究会（情報ネットワーク研究会/複雑コミュニケーションサイエンス研究会）【招待講演】	2020 年 8 月
34	Yoshiki Kakuta, Reika Kinoshita, Hiroshi Kinoshita, Chihiro Matsui, and Ken Takeuchi	中央大学	Real-time Error Monitoring System Considering Endurance and Data-retention Characteristics of TaO_X-based ReRAM Storage with Workloads at Data Centers	IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT)	2020 年 8 月
35	Ken Takeuchi	東京大学	Heterogeneously Integrated Adaptive Storage System for 5G Network	International Conference on Solid State Devices and Materials (SSDM) Short Course【招待講演】	2020 年 9 月
36	Chihiro Matsui and Ken Takeuchi	東京大学	SLC Flash & ReRAM Heterogeneous Memory System with Multi-Tier 5G Network & Device Co-	International Conference on Solid State Devices and Materials (SSDM)	2020 年 9 月

			Design for Smart Manufacturing		
37	松井千尋、竹内健	東京大学	画像の空間的局所性と色のパターンに基づく 3D-TLC NAND 型フラッシュメモリ向けデータ制御技術	応用物理学会秋季学術講演会, 11a-Z09-8	2020 年 9 月
38	竹内健	東京大学	強誘電体 FET を用いた機械学習向け積和演算回路	応用物理学会秋季学術講演会, 9p-Z08-4【招待講演】	2020 年 9 月
39	松井千尋、竹内健	東京大学	ReRAM セルの信頼性ばらつきを許容する機械学習向け高速 Approximate ストレージ	第 32 回コンピュータシステム・シンポジウム (ComSys2020)	2020 年 12 月
40	Ken Takeuchi	東京大学	Can memory provide performance breakthrough for traditional architectures?	IEEE International Solid-State Circuits Conference (ISSCC) Panel What Technologies Will Shape the Future of Computing? 【招待講演】	2021 年 2 月
41	Kenta Taoka, Naoko Misawa, Shunsuke Koshino, Chihiro Matsui, and Ken Takeuchi	東京大学	Simulated Annealing Algorithm & ReRAM Device Co-optimization for Computation-in-Memory	IEEE International Memory Workshop	2021 年 5 月
42	Ken Takeuchi	東京大学	Memory Circuit & Technology Co-Design for AI Applications	Silicon Nanoelectronics Workshop (SNW) 【基調講演】	2021 年 6 月
43	Chihiro Matsui, Kasidit Toprasertpong, Shinichi Takagi, and Ken Takeuchi	東京大学	Energy-Efficient Reliable HZO FeFET Computation-in-Memory with Local Multiply & Global Accumulate Array for Source-Follower & Charge-Sharing Voltage Sensing	IEEE Symp. on VLSI Technology	2021 年 6 月
44	松井千尋、竹内健	東京大学	アプリケーション特性に起因する TaO_X ReRAM セルの信頼性ばらつきを許容する高速ストレージ	シリコン材料・デバイス研究会	2021 年 6 月
45	三澤奈央子、田岡健太、越能俊介、松井千尋、竹内健	東京大学	組合せ最適化問題に向けた ReRAM を用いたコンピューテーション・イン・メモリにおける量子化ビット数とエラー率の解への影響	シリコン材料・デバイス研究会	2021 年 6 月

46	Chihiro Matsui, Kasidit Toprasertpong, Shinichi Takagi, and Ken Takeuchi	東京大学	Energy-Efficient Reliable HZO FeFET Computation-in-Memory with Local Multiply & Global Accumulate Array for Source-Follower & Charge-Sharing Voltage Sensing	2021 Symposia on VLSI Technology and Circuit 報告会【招待講演】	2021 年 7 月
47	竹内健	東京大学	AI 応用に向けた不揮発性メモリを用いた Computation-in-Memory	第 85 回半導体・集積回路技術シンポジウム【招待講演】	2021 年 8 月
48	Naoko Misawa, Kenta Taoka, Chihiro Matsui, and Ken Takeuchi	東京大学	Small Array Area, Memory Error Tolerant ReRAM Computation-in-Memory with Log-encoding Simulated Annealing for Combinational Optimization Problems	International Conference on Solid State Devices and Materials (SSDM)	2021 年 9 月
49	Kazuhide Higuchi, Chihiro Matsui, Naoko Misawa, and Ken Takeuchi	東京大学	Comprehensive Computation-in-Memory Simulation Platform with Non-volatile Memory Non-Ideality Consideration for Deep Learning Applications	International Conference on Solid State Devices and Materials (SSDM)	2021 年 9 月
50	Ken Takeuchi	東京大学	How to heterogeneously integrate PIM for Edge AI?	IEEE Asian Solid-State Circuits Conference (A-SSCC) Panel PIM (Processing in Memory) will go with Analog or Digital? 【招待講演】	2021 年 9 月
51	松井千尋、トープラサートポンカシディット、高木信一、竹内健	東京大学	ソースフォロワ読み出し・チャージシェアリングにより 32 ML & 1024 AL 並列で積和演算を行う 66 TOPS/W 強誘電体 FET CiM	DA シンポジウム 2021 ポスターセッション	2021 年 9 月
52	三澤奈央子、松井千尋、竹内健	東京大学	シミュレーティッド・アニーリングに向けた ReRAM Computation-in-Memory のマッピング手法	DA シンポジウム 2021 ポスターセッション	2021 年 9 月
53	松井千尋、竹内健	東京大学	階層型 5G ネットワークとヘテロジニアス不揮発性メモリシステムの協調設計	応用物理学関係連合講演会	2021 年 9 月
54	三澤奈央子、松井千尋、竹内健	東京大学	シミュレーティッド・アニーリングに向けたコンピューテーション・イン・メモリの ReRAM デバイスのエラー評価	応用物理学関係連合講演会	2021 年 9 月

55	松井千尋、トープラサートポンカシディット、高木信一、竹内健	東京大学	ソースフォロワ読み出し・チャージシェアリングにより積和演算を行う FeFET Computation-in-Memory (CiM)	応用物理学関係連合講演会	2021 年 9 月
56	竹内健	東京大学	不揮発性メモリを用いた Computation-in-Memory による AI アクセラレータ	強的秩序とその操作に関わる研究会 夏の学校【招待講演】	2021 年 9 月
57	Ken Takeuchi	東京大学	Co-design of non-volatile memory devices, circuits and systems in AI era	2021 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES (IWDTF) 【基調講演】	2021 年 11 月
58	Kasidit Toprasertpong, Eishin Nako, Zeyu Wang, Chihiro Matsui, Ryosho Nakane, Ken Takeuchi, Mitsuru Takenaka, and Shinichi Takagi	東京大学	$HfZrO_2$-based ferroelectric FETs for emerging computing technologies	2021 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES (IWDTF) 【招待講演】	2021 年 11 月
59	三澤奈央子、松井千尋、竹内健	東京大学	シミュレーティッド・アニーリングに向けたログ・エンコーディングによる ReRAM Computation-in-Memory	第 33 回コンピュータシステム・シンポジウム (ComSys2021) ポスターセッション	2021 年 12 月
60	樋口和英、松井千尋、三澤奈央子、竹内健	東京大学	メモリエラーを考慮した Computation-in-Memory 向けニューラルネットワーク精度評価シミュレータ	第 33 回コンピュータシステム・シンポジウム (ComSys2021) ポスターセッション	2021 年 12 月
61	竹内健	東京大学	AI 時代のコンピューティング：ハード・ソフトの Co-design	日本学術振興会シリコン超集積化システム第 165 委員会 第 104 回研究会	2022 年 3 月
62	菅 真樹、中村太	合同会社リトルウイング	モデル分散深層学習への Approximate Computing 適用に向けた初期評価	電子情報通信学会 2022 年総合大会	2022 年 3 月
63	樋口和英、松井千尋、三澤奈央	東京大学	メモリデバイスの非理想性を考慮した Computation-in-Memory 向けニューラルネットワーク精度評価シミュレータ	第 69 回応用物理学会春季学術講演会	2022 年 3 月

	子、竹内健				
64	三澤奈央子、松井千尋、竹内健	東京大学	組合せ最適化問題に向けたログ・エンコーディングによるReRAMを用いたコンピュテーション・イン・メモリ	第69回応用物理学会春季学術講演会	2022年3月
65	Shinichi Takagi	東京大学	Impact of MFIS interface properties on HZO FeFET characteristics and AI applications of FeFETs	International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA) 2022, Short Course A : Ferroelectric Devices and Memory【招待講演】	2022年4月
66	Naoko Misawa, Chihiro Matsui, and Ken Takeuchi	東京大学	Compact and Tunable ReRAM Computation-in-Memory for Log-encoding Simulated Annealing	IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 25) Poster	2022年4月
67	Kazuhide Higuchi, Chihiro Matsui, Naoko Misawa, and Ken Takeuchi	東京大学	Simulation Platform of Computation-in-Memory with Memory Device Non-idealities for DNN	IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 25) Poster	2022年4月
68	Shinsei Yoshikiyo, Naoko Misawa, Kasidit Toprasertpong, Shinichi Takagi, Chihiro Matsui, and Ken Takeuchi	東京大学	Edge Retraining of FeFET LM-GA CiM for Write Variation & Reliability Error Compensation	IEEE International Memory Workshop	2022年5月
69	Shinsei Yoshikiyo, Naoko Misawa, Chihiro Matsui, and Ken Takeuchi	東京大学	Edge Computation-in-Memory for In-Situ Class-Incremental Learning with Knowledge Distillation	IEEE International Symposium on Circuits and Systems (ISCAS)	2022年5月
70	Naoko Misawa, Kenta Taoka, Chihiro Matsui,	東京大学	Domain Specific ReRAM Computation-in-Memory Design Considering Bit Precision and Memory Errors for Simulated Annealing	IEEE International Symposium on Circuits and Systems (ISCAS)	2022年6月

	and Ken Takeuchi				
71	Kazuhide Higuchi, Chihiro Matsui, and Ken Takeuchi	東京大学	Investigation of Memory Non-Ideality Impacts on Non-Volatile Memory Based Computation-in-Memory AI Inference by Comprehensive Simulation Platform	IEEE Silicon Nanoelectronics Workshop (SNW) Poster	2022 年 6 月
72	Shinichi Takagi, Kasidit Toprasertpong, Eishin Nako, Mitsuru Takenaka, and Ryosho Nakane	東京大学	$HfZrO_2$-based Si FeFETs for low power AI applications	International Workshop on Future Intelligent Circuits and Systems 【招待講演】	2022 年 8 月
73	菅 真樹、中村太	合同会社リトルウイング	モデル分散深層学習への Approximate Computing 適用時のモデル精度・処理性能の評価	第２１回情報科学技術フォーラム（FIT2022）	2022 年 9 月
74	松井千尋、小林英太郎、トープラサートポン カシディット、高木信一、竹内健	東京大学	Hyperdimensional Computing を高速演算する FeFET を用いた電圧センス CiM	第 83 回応用物理学会秋季学術講演会	2022 年 9 月
75	吉清秦生、三澤奈央子、トープラサートポン カシディット、高木信一、松井千尋、竹内健	東京大学	デバイスエラーを補償するエッジ FeFET CiM の再学習	第 83 回応用物理学会秋季学術講演会	2022 年 9 月
76	吉清秦生、三澤奈央子、松井千尋、竹内健	東京大学	エッジデバイス Computation-in-Memory(CiM)での 知識の蒸留を用いたクラス増分学習	第 83 回応用物理学会秋季学術講演会	2022 年 9 月
77	樋口和英、松井千尋、竹内健	東京大学	Computation-in-Memory を用いたニューラルネットワークの推論における不揮発性	第 83 回応用物理学会秋季学術講演会	2022 年 9 月

			メモリアレイ構成要素の非理想性に関する検討		
78	三澤奈央子、松井千尋、竹内健	東京大学	組合せ最適化問題のドメインに応じたReRAMを用いたコンピューテーション・イン・メモリのデザイン	第83回応用物理学会秋季学術講演会	2022年9月
79	Zhongzhong Fan, Naoko Misawa, Chihiro Matsui, and Ken Takeuchi	東京大学	2-opt Local Search Optimized ReRAM CiM based Simulated Annealing for Solving Travelling Salesman Problem	第34回コンピュータシステム・シンポジウム (ComSys2022)	2022年12月
80	Shinsei Yoshikiyo, Naoko Misawa, Chihiro Matsui, and Ken Takeuchi	東京大学	NN Algorithm Aware Alternate Layer Retraining on Computation-in-Memory for Write Variation Compensation of Non-volatile Memories at Edge AI	7th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2023	2023年3月
81	吉清秦生、三澤奈央子、松井千尋、竹内健	東京大学	Computation-in-Memoryのデバイスエラー補償1 ニューラルネットワークのアルゴリズムを考慮した層単位の再学習による不揮発性メモリの書き込みばらつき補償	第70回応用物理学会春季学術講演会	2023年3月
82	吉清秦生、山田歩、三澤奈央子、松井千尋、竹内健	東京大学	Computation-in-Memoryのデバイスエラー補償2 Shortcut connectionによる層単位のエラー耐性の違いと入出力分布の検証	第70回応用物理学会春季学術講演会	2023年3月
83	Zhongzhong Fan, Naoko Misawa, Chihiro Matsui, and Ken Takeuchi	東京大学	2-opt ReRAM CiM: Travelling Salesman Problem Targeted ReRAM CiM based Simulated Annealing Using 2-opt Local Search	第70回応用物理学会春季学術講演会	2023年3月
84	三澤奈央子, 松井千尋, 竹内健	東京大学	組合せ最適化問題の最大カット問題とナップサック問題が許容する量子化ビット数とデバイスエラー耐性を考慮したReRAMを用いたコンピューテーション・イン・メモリ	LSIとシステムのワークショップ2023, ポスターセッション	2023年5月

(b)新聞・雑誌等への掲載

- 2018 年 10 月 合同会社リトルウイング Approximate Computing プロジェクト採択のプレスリリース 読売新聞オンライン、朝日新聞デジタル、東洋経済オンライン、CNET JAPAN など 36 社の Web メディアに掲載
- 2019 年 6 月 中央大学 機械学習向け、Approximate コンピューティングを採用した、高速低電力 ReRAM ストレージ実現に見通し~エラーを許容して 7 倍高速化と 90%消費エネルギーを低減~ プレスリリース

(c)展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	情報・システム研究機構		第 1 回 miniCANDAR シンポジウムを主催	2019 年 6 月
2	三栄ハイテックス	FPGA での学習デモ（白線検知 CNN）を実施	IoT/M2M 展【秋】	2019 年 10 月

◎研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」

【特許】

番号	出願者	出願番号	国内外国 PCT	出願日	状態	名 称	発明者
1	日本 IBM	IPCOM000271339D	IP.COM	2022年 11 月 25 日	公開	Parallel readout of reservoir computing for multi-tenant edge machine learning	Toshiyuki Yamane, et. al.
2	日本 IBM	IPCOM000271357D	IP.COM	2022年 12月1日	公開	Polymer Waveguide Attached Optical Reservoir Module	Hidetoshi Numata, et. al.
3	東京大学	PCT/JP2022/ 46506	PCT	2022年 12月16日		情報処理システム、情報処理方法及びプログラム	Hirose, et al.
4	東京大学	PCT/JP2022/ 47916	PCT	2022年 12月26日		情報処理デバイスおよび信号変換方法	Hirose, et al.

【論文】

番号	発表者	所 属	タイトル	発表誌名、ページ番号	査読	発表年月

1	J.Chen	東京大学	Film-penetrating transducers applicable to on-chip reservoir computing with spin waves	Journal of Applied Physics	Vol. 132 p. 123902	2022 年 9 月
	D. V. Christensen et al. (42th author: G. Tanaka)	東京大学	2022 Roadmap on Neuromorphic Computing and Engineering	Neuromorphic Computing and Engineering	vol. 2 p. 22501	2022 年 5 月
	G.Tanaka	東京大学	Simulation platform for pattern recognition based on reservoir computing with memristor networks	Scientific Reports	vol. 12 p. 9868	2022 年 6 月
	Z. Tong	東京大学	A Simple Memristive Circuit for Pattern Classification Based on Reservoir Computing	International Journal of Bifurcation and Chaos	vol. 32 p. 2260141	2022 年 9 月
	Z. Li	東京大学	Multi-Reservoir Echo State Networks with Hodrick-Prescott Filter for nonlinear time-series prediction	Applied Soft Computing	vol. 135 p. 110021	2023 年 1 月
	R. Nakane	東京大学	Performance Enhancement of a Spin-Wave-Based Reservoir Computing System Utilizing Different Physical Conditions	Physical Review Applied	Vol. 19 p.034047	2023 年 3 月

【外部発表】

(e) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	H. Numata	日本 IBM	FPGA-driven High Density Photonic Reservoir Computing	International Conference on Electronics and Packaging	2022 年 5 月
2	山根敏志	日本 IBM	リザバー・コンピューティングとその産業応用	情報機構セミナー	2022 年 11 月
3	山根敏志	日本 IBM	物理リザバー・コンピューティングによる省電力情報処理	nano tech 2023 特別シンポジウム	2023 年 2 月
4	A.Hirose	東京大学	Reservoir computing: A framework to bring new interaction paradigm	IEEE Int'l Conf. On Emerging Techniques in Computational	2022 年 8 月

			between neural dynamics and hardware (Keynote)	Intelligence (ICETCI) 2022 Hyderabad	
5	A.Hirose	東京大学	Physical Reservoir Computing: Its Advantages and Significance (IEICE Distinguished Lecturer Program)	IEICE English Webinar	2022年4月
6	J.Kato	東京大学	Reconstructive reservoir computing for edge-computing use to detect anomaly in time-series signals	RIEC International Symposium on Brain Functions and Brain Computer (BFBC) 2023	2023年2月
7	J.Chen	東京大学	Film-penetrating transducers for spin-wave reservoir computing: Basic characteristics	RIEC International Symposium on Brain Functions and Brain Computer (BFBC) 2023	2023年2月
8	J.Kato	東京大学	Proposal of Reconstructive Reservoir Computing to Detect Anomaly in Time-series Signals	World Congress on Computational Intelligence (WCCI) - International Joint Conference on Neural Networks (IJCNN) 2022 Padua	2022年7月
9	J.Chen	東京大学	Proposal of Film-penetrating Transducers for a Spin-wave Reservoir Computing Chip	World Congress on Computational Intelligence (WCCI) - International Joint Conference on Neural Networks (IJCNN) 2022 Padua	2022年7月
10	田中剛平	東京大学	リザバーコンピューティングに基づく省エネ情報処理	生理研研究会「第2回人工知能技術と科学の強調と展開」	2022年7月
11	田中剛平	東京大学	リザバーコンピューティングとマルチスケールモデリング	電子情報通信学会総合大会，チュートリアルセッション「NBT-1. 次世代ネットワークを支える数理モデルの展開」	2023年3月
12	田中剛平	東京大学	AIによる複雑ダイナミクスのパターン認識	日本生理学会第100回記念大会，100周年記念事業委員会企画シンポジウム「AIが切り開く医学・生理学・生命科学の新展開」	2023年3月
13	田中剛平	東京大学	リザバーコンピューティングの高性能化・高効率化に関して	第15回 AI Optics研究グループ研究会	2023年3月
14	中根了昌	東京大学	スピン波リザバーコンピューティング:実用的な計算性能向上の手法	第70回　応用物理学会春季学術講演会	2023年3月
15	H. Numata	日本IBM	High Density Photonic Reservoir Computing using Optical Fiber and Polymer Waveguide	The 73rd IEEE Electronic Components and Technology Conference (ECTC)	2023年5月

(b)新聞・雑誌等への掲載

プレスリリース

発表者	所属	タイトル	雑誌名・学会名・イベント名等	発表年月
中根了昌	東京大学	スピン波リザバーコンピューティング: 実用的な計算性能向上の手法	応用物理学会春季学術講演会 注目講演プレスリリース 日本語 https://www.jsap.or.jp/pressrelease/pr20230313 英語 https://www.jsap.or.jp/english/pressreleases/pr20230418	2023 年 3 月

受賞対外報告

発表者	所属	タイトル	雑誌名・学会名・イベント名等	発表年月
Jiaxuan Chen	東京大学	Young Scientist Award	IEEE Computational Intelligence Society (CIS) Japan Chapter	2023 年 3月
廣瀬明	東京大学	業績賞（本研究を一部に含む、一連の研究に対して）	電子情報通信学会	2022 年 6 月

● 国際会議におけるスペシャルセッションの共同オーガナイズ

T.Yamane, R.Nakane and A.Hirose, “Prospects of Edge AI: Algorithms, Devices, and Applications”,IEEE World Congress on Computational Intelligence (WCCI), Italy, July, 2022.

● 国際ジャーナルにおける特集号の編集

G.Tanaka, C.Gallicchio, A.Micheli, J.-P.Ortega, and A.Hirose, “Guest Editorial: Special Issue on New Frontiers in Extremely Efficient Reservoir Computing,” IEEE Transactions on Neural Networks and Learning Systems, vol. 33, issue 6, pp. 2571-2574 (2022).

◎研究開発テーマ「深層確率コンピューティングに適したハードウェアシステムの開発」

【特許】

なし

【論文】

番号	発表者	所　属	タイトル	発表誌名、ページ番号	査読	発表年月

1	Paulino Cristovao, Hidemoto Nakada, Yusuke Tanimura, Hideki Asoh	産業技術総合研究所	Generating in-between images through learned latent space representation using variational autoencoders	IEEE Access 149456-149467	有	2020.8
2	Masahiro Suzuki, Yutaka Matsuo	東京大学	A survey of multimodal deep generative models	Advanced Robotics 261-278	有	2021.11
3	Tadahiro Taniguchi, Hiroshi Yamakawa, Takayuki Nagai, Kenji Doya, Masamichi Sakagami, Masahiro Suzuki, Tomoaki Nakamura, Akira Taniguchi	Ritsumeikan University, The University of Tokyo, Osaka University, Okinawa Institute of Science and Technology Graduate University, Tamagawa University	A Whole Brain Probabilistic Generative Model: Toward Realizing Cognitive Architectures for Developmental Robots	Neural Networks 293-312	有	2022.3
4	村瀬博典, 福水健次	統計数理研究所	ALGAN: Anomaly Detection by Generating Pseudo Anomalous Data via Latent Variables	IEEE Access 44259-44270	有	2022.4
5	西田圭吾	理化学研究所	AdamB: Decoupled Bayes by Backprop with Gaussian Scale Mixture Prior	IEEE Access 92959 - 92970	有	2022.9

【外部発表】

(f) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	中田　秀基、麻生英樹	産業技術総合研究所	ニューラルネットワークを用いた任意人物・姿勢画像の生成	電子情報通信学会パターン認識・メディア理解研究会	2019.3

2	麻生　英樹	産業技術総合研究所	自然知能と人工知能の共進化ー「知の創生」に向けてー	東京大学先端人工知能学教育寄付講座公開シンポジウム「深層学習の先にあるもの　-　記号推論との融合を目指して（２）」	2019.3
3	P. Cristovao、H. Nakada、Y. Tanimura、H. Asoh	産業技術総合研究所	A Study on the Latent Space of VAE by Inducing Sparsity in the Encoder Network	第２２回情報論的学習理論ワークショップ IBIS 2019	2019.11
4	Y. Fu、Y. Tanimura、H. Nakada	産業技術総合研究所	An improvement on CycleGAN based symbolic music genre transfer	第２２回情報論的学習理論ワークショップ IBIS 2019	2019.11
5	L. Liu、Y. Tanimura、H. Nakada	産業技術総合研究所	Few-Shot Style Transfer for Handwriting Chinese Synthesis Using Conditional GAN	第２２回情報論的学習理論ワークショップ IBIS 2019	2019.11
6	M. Zhou、Y. Tanimura、H. Nakada	産業技術総合研究所	Image synthesis for One-shot Classification with Triplet Network	第２２回情報論的学習理論ワークショップ IBIS 2019	2019.11
7	中田秀基、麻生英樹	産業技術総合研究所	少数のサンプル画像からの任意人物姿勢画像の生成	第２２回情報論的学習理論ワークショップ IBIS 2019	2019.11
8	今泉允聡	情報・システム研究機構　統計数理研究所	Statistical inference on M-estimators by high-dimensional Gaussian approximation	Workshop on Functional Inference and Machine Intelligence 2020	2020.2
9	Paulino Cristovao, Hidemoto Nakada, Yusuke Tanimura, Hideki Asoh	産業技術総合研究所	Sparsity enforcement on latent variables for better disentanglement in VAE	２０２０年度人工知能学会全国大会	2020.6
10	西田圭吾	理化学研究所	Adopted Chipyard Framework for Bayesian Neural Network Training Accelerator Development	RISC-V Day Vietnam 2020	2020.9
11	Hao Zhang	理化学研究所	Implementing a Comprehensive Networks-on-Chip Generator with Optimal Configurations	IEEE Cluster 2020	2020.9
12	鈴木雅大	東京大学	深層生成モデルと世界モデル，深層生成モデルライブラリ Pixyz について	第１回 TensorFlow User Group(TFUG)ベイズ分科会	2020.9
13	Masahiro Suzuki	東京大学	Pixyz: a framework for developing deep generative models, Tutorial on Deep Probabilistic Generative Models for Robotics	IROS2020	2020.10

14	西田圭吾	理化学研究所	ベイジアンニューラルネットワークトレーニングアクセラレータ開発にチップヤードフレームワークを採用	RISC-V Day Tokyo 2020	2020.11
15	麻生　英樹	産業技術総合研究所	深層学習と深層確率生成モデルに関するチュートリアル	日本行動計量学会　２０２０秋の行動計量セミナー	2020.11
16	鈴木雅大	東京大学	深層生成モデルと世界モデル	第１３回汎用人工知能研究会	2020.11
17	鈴木雅大,松尾豊	東京大学	潜在表現空間での深層距離学習に基づく強化学習における行動表現の再考	汎用人工知能研究会	2021.8
18	Hidemoto Nakada, Hideki Asoh	産業技術総合研究所	One-shot style transfer using Wasserstein Autoencoder	2021 Asian Conference on Innovation in Technology (ASIANCON)	2021.8
19	Paulino Cristovao, Hidemoto Nakada, Yusuke Tanimura, Hideki Asoh	産業技術総合研究所	Variational Information Bottleneck on Few Shot Model based on Weight Imprinting for Image Classification	2021 Asian Conference on Innovation in Technology (ASIANCON)	2021.8
20	西田圭吾	理化学研究所	Bayes by Backprop 法における適応的最適化の提案と低精度サンプリングによる確率キャリブレーション性能評価	パターン認識・メディア理解研究会　(PRMU)	2021.8
21	Hidemoto Nakada, Hideki Asoh	産業技術総合研究所	A Method to Generate Posed Person Image with few Context Images	2022 16th International Conference on Ubiquitous Information Management and Communication (IMCOM)	2022.1
22	Paulino Cristovao, Hidemoto Nakada, Yusuke Tanimura, Hideki Asoh	産業技術総合研究所	Few Shot Model based on Weight Imprinting with Multiple Projection Head	2022 16th International Conference on Ubiquitous Information Management and Communication (IMCOM)	2022.1

(b)新聞・雑誌等への掲載

なし

(c)展示会への出展

なし

◎研究開発テーマ「2028 年に性能 100 倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」

【特許】

なし

【論文】

番号	発表者	所　属	タイトル	発表誌名、ページ番号	査読	発表年月
1	J. Domke, K. Matsumura, M. Wahib, H. Zhang, K. Yashima, T. Tsuchikawa, Y. Tsuji, A. Podobas, S. Matsuoka	理化学研究所	Double-precision FPUs in High-Performance Computing: an Embarrassment of Riches?	the 33th IEEE International Parallel & Distributed Processing Symposium (IPDPS) the IEEE Press pp.1-10	有	2019年5月
2	土川 稔生, 遠藤敏夫, 野村 哲弘, 近藤 正章, 大山洋介, 松岡 聡	東京工業大学	メモリアクセスデータを用いた機械学習によるアプリケーションの類型化	情報処理学会研究報告 2019-HPC-170 No.12	有	2019年7月
3	Artur Martin Podobas	理化学研究所（当時）	A Survey on Coarse-Grained Reconfigurable Architectures from a Performance Perspective	IEEE Access 146719 - 146743 DOI: 10.1109/ACCESS.2020.3012084	有	2020年7月
4	Jens Domke	理化学研究所	Matrix Engines for High Performance Computing: A Paragon of Performance or Grasping at Straws?	35th IEEE International Parallel & Distributed Processing Symposium https://arxiv.org/abs/2010.14373 doi: 10.48550/arXiv.2010.14373	有	2021年5月
5	小島拓也	理化学研究所	Mapping-Aware Kernel Partitioning Method for CGRAs Assisted by Deep Learning	IEEE Transactions on Parallel and Distributed Systems 2022 年 ,Vol.33,No.5, PP1213-1230 10.1109/TPDS.2021.3107746	有	2021年8月
6	Jens Domke	理化学研究所	Preparing for the Future-Rethinking Proxy Applications	Computing in Science & Engineering (CiSE) 2022 年 Vol.24, No.2, PP85-90 10.1109/MCSE.2022.3153105	有	2022年6月

7	Shumpei Shiina, Kenjiro Taura	東京大学	Improving Cache Utilization of Nested Parallel Programs by Almost Deterministic Work Stealing	IEEE Transactions on Parallel and Distributed Systems (TPDS) 2022 年 Vol.33, No.12, PP4530-4546 10.1109/TPDS.2022.3196192	有	2022 年 8 月

【外部発表】

(g) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Shumpei Shiina, Kenjiro Taura	東京大学	Almost Deterministic Work Stealing	The 3rd cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming	2019 年 5 月
2	J. Domke	理化学研究所	Post-moore evaluation framework	PAStudy	2019 年 5 月
3	J. Domke, K. Matsumura, M. Wahib, H. Zhang, K. Yashima, T. Tsuchikawa, Y. Tsuji, A. Podobas, S. Matsuoka	理化学研究所	Double-precision FPUs in High-Performance Computing: an Embarrassment of Riches?	Proceedings of the 33th IEEE International Parallel & Distributed Processing Symposium (IPDPS)	2019 年 5 月
4	土川 稔生, 遠藤 敏夫, 野村 哲弘, 近藤 正章, 大山 洋介, 松岡 聡	東京工業大学	メモリアクセスデータを用いた機械学習によるアプリケーションの類型化	並列/分散/協調処理に関するサマーワークショップ(SWoPP2019)	2019 年 7 月
5	Shumpei Shiina, Kenjiro Taura	東京大学	Almost Deterministic Work Stealing	The International Conference for High Performance Computing, Networking, Storage, and Analysis	2019 年 11 月
6	田邊 昇, 田浦健次朗	東京大学	ムーア則終焉直後に向けた高性能汎用計算機アーキテクチャの初期検討	第 172 回ハイパフォーマンスコンピューティング研究発表会	2019 年 12 月
7	Toshio Endo	東京工業大学	Integrating Cache Oblivious Approach with Modern Processor Architecture: The Case of Floyd-Warshall Algorithm	HPC Asia 2020	2020 年 1 月
8	Tomoya Yuki, Toshio Endo	東京工業大学	Toward Latency-Aware Data Arrangement on Many-Core Processors	HPC Asia 2020	2020 年 1 月
9	J. Domke	理化学研究所	Double-precision FPUs in	Workshop on Large-scale	2020 年 1 月

			High-Performance Computing: an Embarrassment of Riches?	Parallel Numerical Computing Technology (LSPANC)	
10	J. Domke, K. Sato, M. Kondo	理化学研究所	Counter-based Performance Extrapolation Toolchain - How far can we look into the Future?	2nd R-CCS International Symposium	2020年2月
11	A. Podobas, K. Sano, S. Matsuoka	理化学研究所	A Template-based Framework for Exploring Coarse-Grained Reconfigurable Architectures	ASAP 2020	2020年7月
12	Christian Helm, Kenjiro Taura	東京大学	Automatic Identification and Precise Attribution of DRAM Bandwidth Contention	ICPP2020	2020年8月
13	Christian Helm, Kenjiro Taura	東京大学	Reliable Reverse Engineering of Intel DRAM Addressing Using Performance Counters	IEEE MASCOTS 2020	2020年11月
14	Jens Domke	理化学研究所	Scaling Distributed Deep Learning Workloads Beyond the Memory Capacity with KARMA	SC20	2020年11月
15	Jens Domke	理化学研究所	MocCUDA: Running CUDA codes on Fugaku	12th JLESC Workshop	2021年2月
16	Jens Domke	理化学研究所	Matrix Engines for HPC: A Paragon of Performance or Grasping at Straws?	ASTAR IHPC ACRC-RIKEN-CREST Deep workshop	2021年2月
17	Jens Domke	理化学研究所	Matrix Engines for High Performance Computing: A Paragon of Performance or Grasping at Straws?	the 35th IEEE International Parallel & Distributed Processing Symposium (IPDPS)	2021年5月
18	佐野健太郎	理化学研究所	CGRA for HPC, Panel Discussion: Coarse-Grained Reconfigurable Arrays and their Opportunities as Application Accelerators	ASAP2021	2021年7月
19	Jens Domke	理化学研究所	A64FX - Your Compiler You Must Decide!	2021 IEEE International Conference on Cluster Computing (CLUSTER)	2021年9月
20	佐野健太郎	理化学研究所	Coarse-Grain Reconfigurable Array (CGRA) Architectures,	富士通　講演会	2021年10月
21	Jens Domke	理化学研究所	“MLPerf HPC: A Holistic Benchmark Suite for Scientific Machine Learning on HPC Systems”	MLHPC2021 Workshop (SC21)	2021年11月
22	Boma Adhi	理化学研究所	RIKEN CGRA: Data-Driven Architecture as an Extension of Multicore CPU for Future HPC	SC21	2021年11月
23	Boma Adhi	理化学研究所	RIKEN CGRA: Reconfigurable Data-Driven Architecture for Future HPC	HPC Asia 2022	2022年1月
24	Boma Adhi	理化学研究所	Initial Design and Evaluation of Riken CGRA:Data-Driven Architecture for Future HPC	RECONF 研究会	2022年1月

25	小島拓也	東京大学	HPC 向け RIKEN CGRA のためのコンパイル環境整備と予備評価	RECONF 研究会	2022 年 1 月
26	幸 朋矢，遠藤 敏夫	東京工業大学	次世代高性能計算ノードにむけたメモリアーキテクチャ探索のためのツールチェーン	組込み技術とネットワークに関するワークショップ ＥＴＮＥＴ２０２２	2022 年 3 月
27	Jens Domke	理化学研究所	Working with Proxy-Applications: Interesting Findings, Lessons Learned, and Future Directions	Benchmarking in the Data Center: Expanding to the Cloud workshop held in conjunction with PPoPP 2022	2022 年 4 月
28	Jens Domke	理化学研究所	Working with Proxy-Applications: Interesting Findings, Lessons Learned, and Future Directions	Measuring the Effective Performance of High-Performance Computer Systems workshop at ISC High Performance (ISC'22)	2022 年 5 月
29	Jens Domke	理化学研究所	Working with Proxy-Applications: Interesting Findings, Lessons Learned, and Future Directions	HPC Solutions Forum at ISC High Performance: International Conference on High Performance Computing (ISC'22)	2022 年 5 月
30	Boma Adhi	理化学研究所	Exploration Framework for Synthesizable CGRAs	The First International Workshop on Coarse-Grained Reconfigurable Architectures for High-Performance Computing	2022 年 5 月
31	Jens Domke	理化学研究所	Co-design with Proxy-Apps: A match made in heaven?	Workshop on Software Co-Design Actions in European Flagship HPC Codes at ISC High Performance	2022 年 5 月
32	小島拓也	東京大学	An Architecture-Independent CGRA Compiler enabling OpenMP Applications	The First International Workshop on Coarse-Grained Reconfigurable Architectures for High-Performance Computing	2022 年 5 月
33	Boma Adhi	理化学研究所	The Cost of Flexibility: Embedded versus Discrete Routers in CGRAs for HPC	IEEE Cluster 2022	2022 年 7 月
34	萩原 汐，幸 朋矢，吉川 隆英，遠藤 敏夫	富士通株式会社	3D Stacked SRAM を活用した HPC 向けメモリアーキテクチャの検討	第 200 回 SLDM 研究発表会（デザインガイア 2022）	2022 年 11 月
35	Boma Adhi	理化学研究所	Exploring Inter-tile Connectivity for HPC-oriented CGRA with Lower Resource Usage	FPT'22	2022 年 12 月
36	Carlos Cortes Torres	理化学研究所	Evaluation of reduced routing resources for HPC-Oriented CGRAs	RECONF 研究会	2023 年 1 月
37	幸 朋矢，遠藤 敏夫	東京工業大学	次世代高性能メモリシステムにおけるステンシル計算の局所性向上技術の評価	情報処理学会研究報告，2023-HPC-188，No. 31，第 188 回 HPC 研究発表会	2023 年 3 月

(b)新聞・雑誌等への掲載

J. Domke, PAStudy, “Post-moore evaluation framework”, https://gitlab.com/domke/PAstudy

(c) 展示会への出展

なし

２．分科会公開資料

次ページより、推進部署・実施者が、分科会において事業を説明する際に使用した資料を示す。

資料：5－1

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」（中間評価）

2016年度～2027年度　12年間
評価対象期間：2021～2024年度

プロジェクトの概要説明

国立研究開発法人 新エネルギー・産業技術総合開発機構

AI・ロボット部　チーム長　遠藤勇徳

報告内容

※資料5-1、事業全体についてご説明

1．意義・アウトカム（社会実装）達成までの道筋

(1)本事業の位置づけ・意義
(2)アウトカム達成までの道筋
(3)知的財産・標準化戦略

※資料5-2、5-3で項目ごとにご説明

2．目標及び達成状況

(1)アウトカム目標及び達成見込み
(2)アウトプット目標及び達成状況

3．マネジメント

(1)実施体制
(2)受益者負担の考え方
(3)研究開発計画

高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発（AIC事業）

AI・ロボット部
PMgr：岩佐匡浩
遠藤勇徳

プロジェクトリーダー：
研究開発項目① 東京科学大学　教授　本村真人
研究開発項目② 産業技術総合研究所　特別顧問
金山敏彦

プロジェクトの概要

IoT社会の到来で大量のデータを効率的かつ高度に利活用するためには、エッジでの情報処理が不可欠である。さらに、ムーアの法則の終焉が叫ばれ、既存技術の延長では限界を迎えつつある中、エッジやクラウド等においても、著しく増加するデータの処理電力を劇的に低減するため、これまで存在しない新原理による技術の実現が求められている。

本事業では、開発項目①「エッジにて超低消費電力を実現するAIコンピューティング技術」の開発と、開発項目②「クラウド等で新原理により高速化かつ低消費電力化を実現する次世代コンピューティング技術」を開発する。さらに、来るべきポストムーア時代のIoT情報基盤を築くため、開発項目③として大量データの効率的かつ高度な利活用を可能とする収集、蓄積、解析、セキュリティ等に関する横断的技術開発を行う。加えて、「AIエッジコンピューティングの産業応用加速のための技術開発」を開発項目④として実施した。

想定する出口イメージ等

アウトプット目標	●開発成果を組み込んだシステムレベルでの検証を行い、**エネルギー消費効率あるいは電力効率（単位電力あたり性能）が10倍（研究開発項目①及び③）、100倍（研究開発項目②）以上となることを示す。** ●事業終了時において、想定する社会実装先に求められる諸性能を満たす。
アウトカム目標	●エッジやクラウド等の省電力化を実現し、2037年において2,729万t／年のCO_2削減を目指す。 ●想定する社会実装先（自動運転、産業機械、医療・福祉等）において、2032年に約9,300億円、2037年に約1.9兆円の市場獲得を目指す。
出口戦略（実用化見込）	●ハードウェア開発にとどまらず、社会課題への適用を見据えたソフトウェア基盤開発も一体的に推進する。 ●想定する社会実装先をターゲットに、事業期間中から試作品を用いたユーザ評価を行い、スムーズに実用化等に移行できるようスペックへのフィードバックを行う。 ●ステージゲート審査により研究開発の成果を見極め、実用化が近く企業主体で実施すべきテーマについては、助成事業化もしくは早期卒業をさせることで、実用化を進める。 ・国際標準化活動予定：有 ・委託者指定データ：無
グローバルポジション	●プロジェクト開始時：RA　→　プロジェクト終了時：DH AIコンピューティングに関しては、欧米が先行。関連論文、特許出願数とも欧米に対して圧倒的に少ない。一方で、関連要素技術に関しては、メモリを中心に論文数・特許出願数とも日本の優位性が見られ、要素技術を活かしたターゲティングが重要。

技術戦略：「コンピューティング／物性・電子デバイス分野の技術戦略」、「AIを支えるハードウェア分野の技術戦略」

プロジェクト類型：標準的研究開発

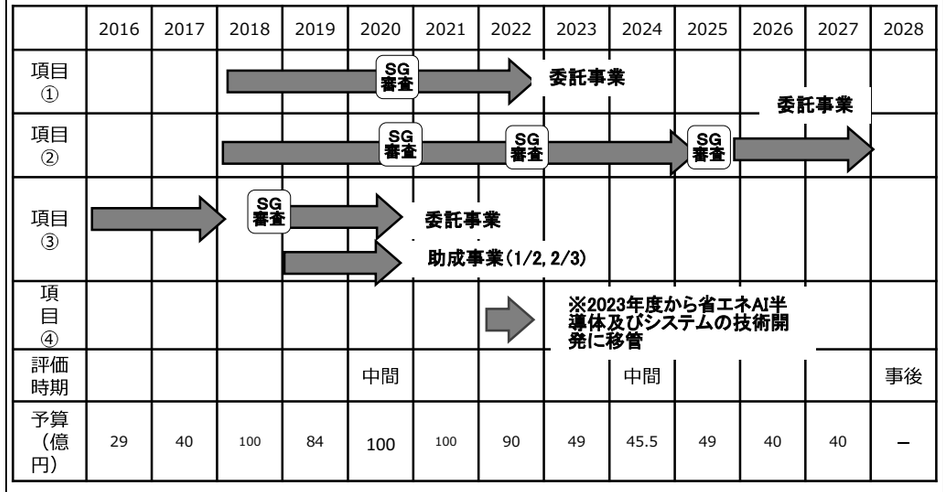
既存プロジェクトとの関係

●NEDO『AIチップ開発加速のためのイノベーション推進事業』（2018～2022年度）：AIチップ開発のための設計拠点の利用など、連携してプロジェクトを推進する。
●内閣府『SIP第2期フィジカル領域デジタルデータ処理基盤』（2018～2022年度）：IoTプラットフォームに組み込む前提のセンサ開発に対し、本事業は広くIoT社会の基盤となる省電力デバイス開発という点で異なる。
●内閣府『SIP第2期ＩｏＴ社会に対応したサイバー・フィジカル・セキュリティ』（2018～2022年度）：製造からシステム稼働までのサプライチェーン全体のセキュリティ確保に対し、本事業はAIエッジデバイスのセキュリティ確保という点で異なる。

事業計画

期間：2016～2027年度（12年間）
総事業費（NEDO負担分）：769億円（予定）（委託）
2024年度政府予算額：45.5億円（需給）
公募時期：2022年3月中旬以降予定

＜研究開発スケジュール・評価時期・想定する予算規模＞



本事業の概要と背景

【IoT社会の到来と課題】

・IoT端末(デバイス)から得られる**大量データ(情報)の利活用により、高度な制御や新たなサービスを実現する**「IoT社会」を支えるIoT情報処理基盤が必要（短期）

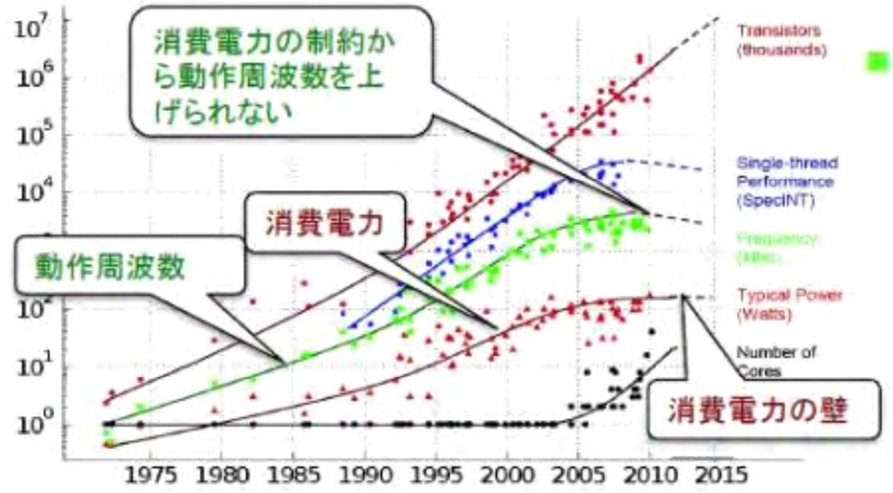
・IoT社会の到来により、**急増するデータを即時的・効率的に処理する**ため、コンピュータの情報処理は、サーバー(クラウド)集約型から、エッジ分散処理型へシフトが必要　(中期)

・ムーア則の終焉が叫ばれ、半導体微細化による情報処理性能の向上は限界を迎えつつある。一方で、社会全体が扱う情報量は更に増加する。エッジやクラウド等において、既存技術の延長にない新原理の技術により、**著しく増加するデータの処理に要する電力の劇的な低減**が必要　(長期)

それぞれの時間軸において、**IoT社会の高度化に資する、革新的な技術の実現**が求められる。



世界のインターネットトラフィックの推移予想



Qcon Tokyo 2016基調講演 国立情報学研究所アーキテクチャ化学研究系教授/所長補佐 佐藤一郎氏講演資料より

ムーア則の終焉

高効率・高速処理を可能とするＡＩチップ・次世代コンピューティング技術の開発　実施概要

（　）政府予算額

FY2016	2017	2018 CSTI評価	2019	2020 SG審査 中間評価	2021 CSTI評価	2022 SG審査 事業見直し	2023	2024 中間評価	2025 SG審査	2026	2027	-	-
(33.0)	(47.0)	(100)	(84.9)	(94.9)	(99.8)	(100)	(49)	(48)	54	―	―	総額：769億	

目的：各時代の情報社会に求められる基盤技術を開発する。

IoT社会の拡大 （クラウドコンピューティング） ※社会の末端までITネットワークが拡大する	分散処理の実現と普及 （クラウド・エッジコンピューティング） ※エッジ側でリアルタイムの情報処理が拡大	既存の技術の延長にない情報処理技術の実現 （クラウド・エッジコンピューティング）

③高度なIoT社会を実現する横断的技術開発
（旧：IoT推進のための横断技術開発）

例：スマートセンシングシステム、新技術によるストレージデバイス、セキュリティシステムなど。



自動走行

目指す社会像

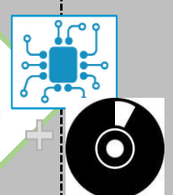
Society 5.0
快適、活力、質の高い生活を実現する社会

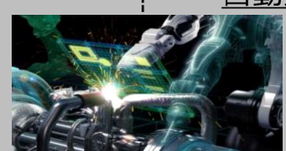
・AIの実社会への浸透・進化
・人間能力の拡張(ロボティクス、XR)

半導体微細化、
専用チップとソフトウェア
組込AI技術、等

①革新的AIエッジコンピューティング技術の開発

例：自動運転、ロボット技術、医療、音声認識等各種エッジ領域の高度化技術。





FA、IoT

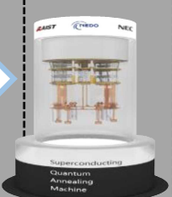
半導体微細化によらない
性能向上
を可能とする各種技術

②次世代コンピューティング技術の開発　（最長2027年度終了）
②-1　量子関連コンピューティング
②-2　新原理コンピューティング（例：脳型、次世代データセンタなど）
②-3　先進的コンピューティング（例：光分散コンピューティングなど）

※探索型研究枠で先導的な研究開発を最長2022年度まで実施







量子コンピュータ

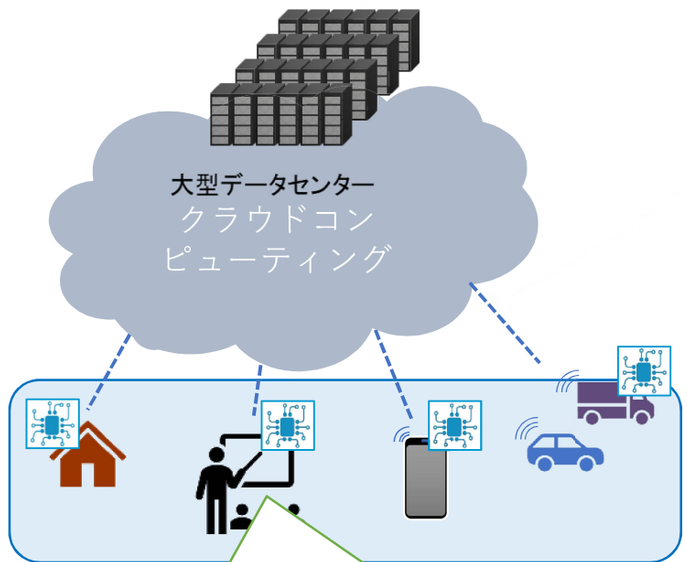
世界の情報量：2015年　8.5ZB　　2020年　40ZB　　2025年　175ZB

研究開発項目①　革新的AIエッジコンピューティング技術の開発（2018～2022年度終了）

エッジコンピューティングによる分散処理（エッジ領域におけるリアルタイム情報処理）

増え続る情報量から、クラウド領域におけるデータセンタの省エネ化が社会課題となる。
一方で、半導体の性能向上により、クラウド集約型のコンピューティングから、端末側（エッジ）でリアルタイムの処理を実施することも可能となり、社会課題の解決や新たなサービスも可能とする技術トレンド。エッジにおけるAI処理を実現するための、小型かつ省エネながら高度な処理の能力を持った専用チップ及びコンピューティング技術を実現する。

アウトプット目標：エネルギー消費効率あるいは電力効率について、事業開始時点における同等の技術と比較し10倍以上を達成。



ロジック半導体のみならず、AIを活用する各種専用設計のチップ開発、ソフトウェア開発など

【テーマ実施概要】

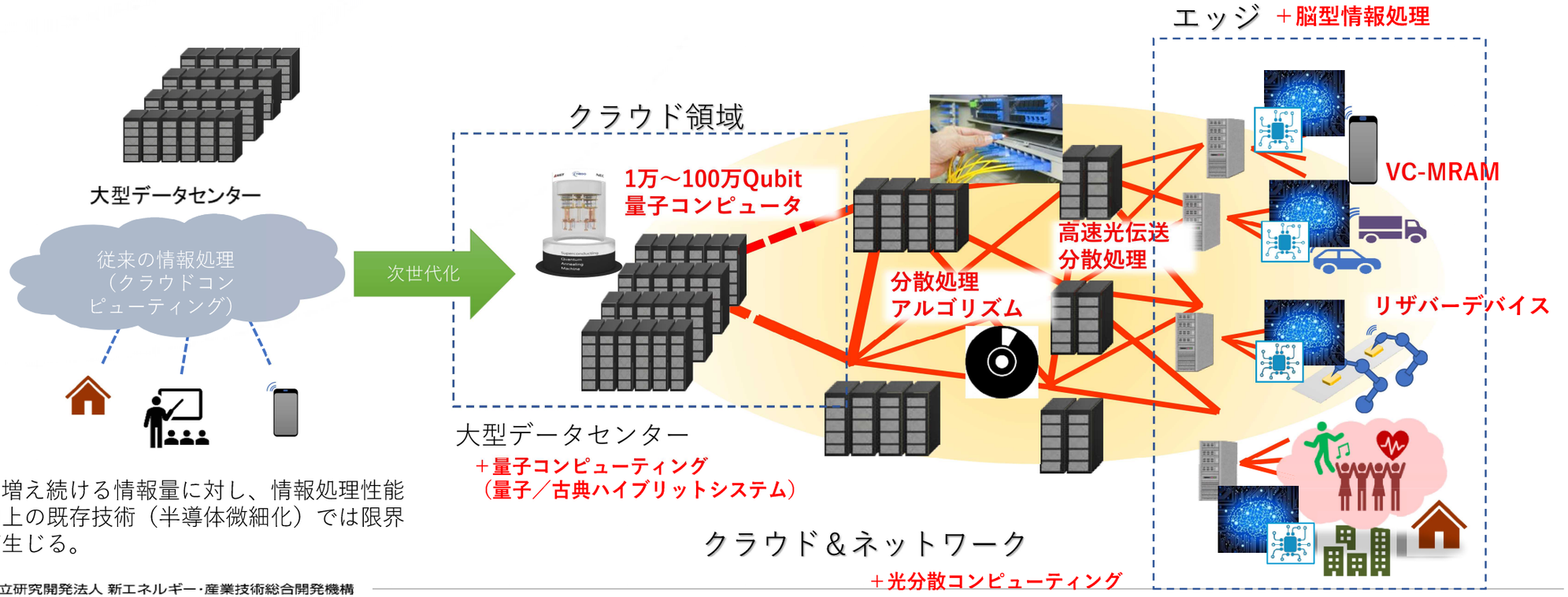
取組区分＼実現区分	既存ハード	新アーキテクチャ	新デバイス
1．専用チップ（AIアクセラレータ、SoCの開発）	CPU・FPGA等 ※開発対象外	(B) リコンフィギュラブルデバイスによるコンピューティング技術：ルネサス、PFN (E) 多数の分岐ノードを有するAIアルゴリズム処理を高性能化するコンピューティング技術：エヌエスアイテクス、東京大学	(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術：NEC
2．コンピューティング技術（OS、コンパイラ、ツール等、開発環境の開発）		(C) 演算処理量の軽量化を実現するAI組込みコンピューティング技術：ソシオネクスト、沖、KDDI、フィックスターズ (D) エッジコンピューティング向けリアルタイムソフトウェア制御技術：イーソル (F) エッジデバイスのセキュリティ技術及びその評価技術：イーソル	
3.セキュリティ基盤（エッジ向けセキュリティ）		TRASIO、産総研	

研究開発項目②次世代コンピューティング技術の開発　（2018年度～最長2027年度終了）

既存の技術の延長にない、次世代コンピューティングの実現

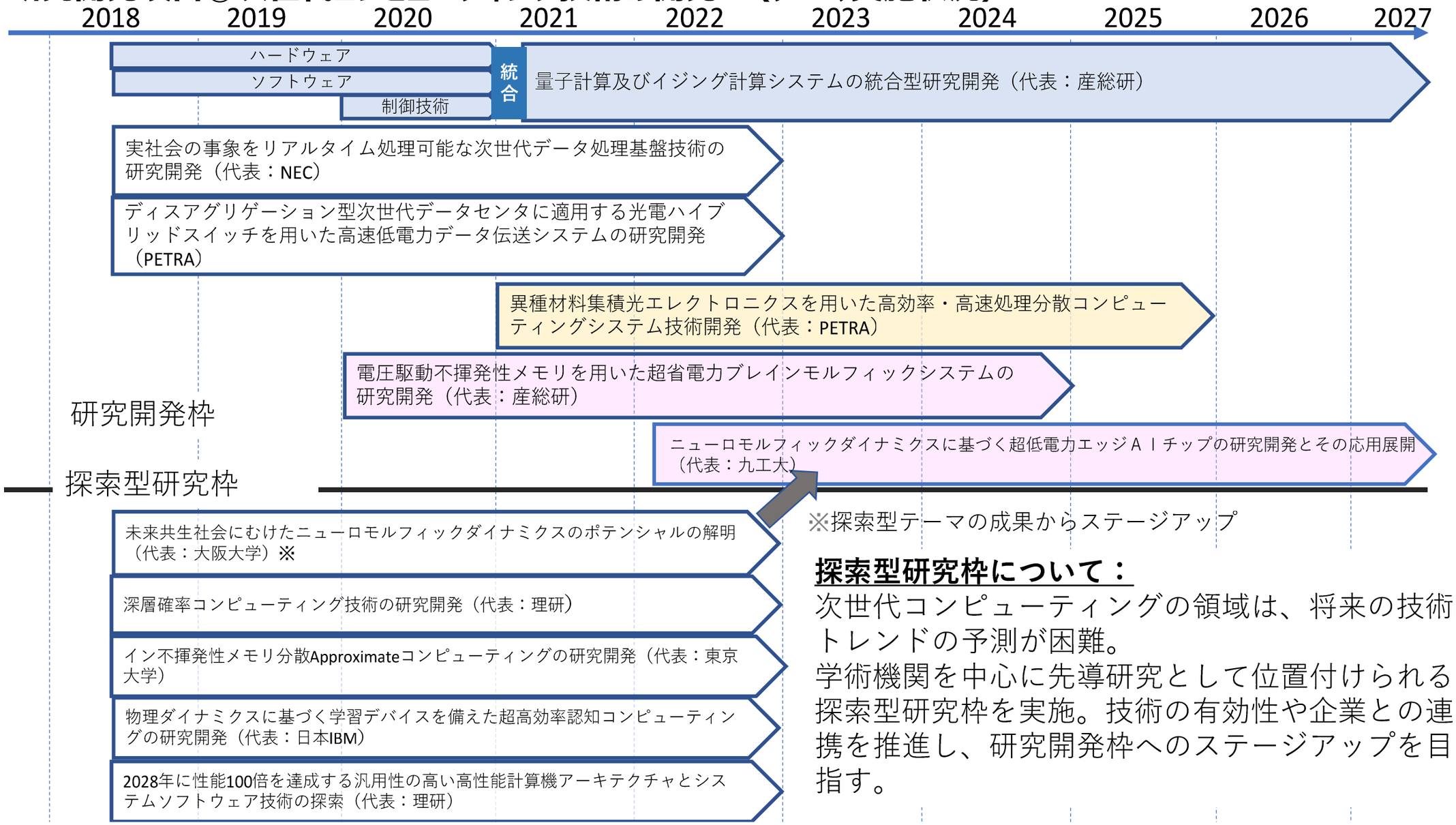
増え続ける情報量に対して、それを処理するハードウェアはムーア測の終焉に伴い、近い将来性能向上に限界を迎える。
そこで、量子コンピュータや脳型コンピューティング、光分散コンピューティング等、日本が強みを持ち、かつ既存の技術の延長ない革新的な情報処理技術の研究開発を、クラウドからエッジ、それぞれの領域において実施する。

アウトプット目標：エネルギー消費効率あるいは電力効率について、事業開始時点における同等の技術と比較し100倍以上を達成。



※増え続ける情報量に対し、情報処理性能向上の既存技術（半導体微細化）では限界が生じる。

研究開発項目②次世代コンピューティング技術の開発　（テーマ実施状況）



※探索型テーマの成果からステージアップ

探索型研究枠について：

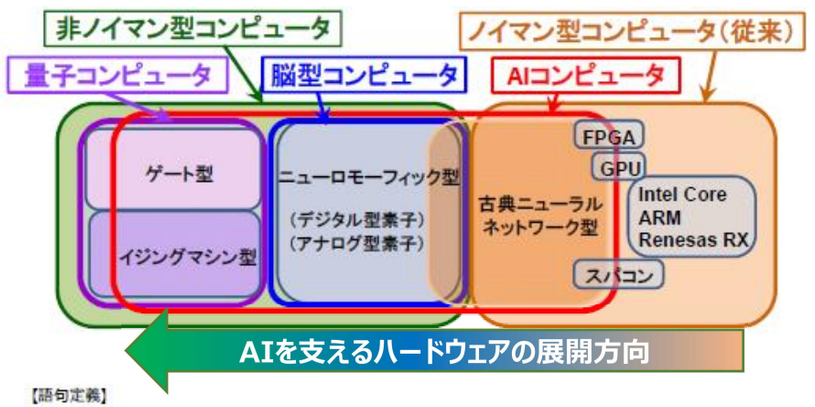
次世代コンピューティングの領域は、将来の技術トレンドの予測が困難。
学術機関を中心に先導研究として位置付けられる探索型研究枠を実施。技術の有効性や企業との連携を推進し、研究開発枠へのステージアップを目指す。

技術戦略上の位置づけ

関連する技術戦略：「コンピューティング／物性・電子デバイス分野の技術戦略」、「AIを支えるハードウェア分野の技術戦略」

多様化の時代に突入した人工知能を支えるハードウェア、関連ソフトウェアの開発

- 人工知能の社会への実装が進むに従い、自動運転車、製造や輸送の自律的な最適制御、人と協働等、人工知能の適用の多様化に対応したハードウェアの進展が不可欠になる。
- 現在のディープラーニングに加え、次世代コンピュータ研究開発が進行。
  - ・言語理解や意味理解等を行う脳型コンピュータ　⇒人工知能によるデータ処理のアクセラレータへ
  - ・スーパーコンピュータを凌駕する量子コンピュータ　⇒特定用途向けや汎用向け等、人工知能を支えるハードウェアが多様化の時代を迎える。
- 人工知能を支える多様なハードウェア開発は、次世代コンピュータを始め、各企業での取組みに**限界**があり、**国レベルの支援と戦略が必要**である。
- またハードのみならず、**ソフトウェアの視点による開発も重要**。コンピューティングとして高効率かつ高速処理を可能とする技術がゲームチェンジの鍵。



【語句定義】
ノイマン型コンピュータ：メモリにデータとプログラムを内蔵、メモリの命令を逐次取り出しプロセッサで実行
非ノイマン型コンピュータ：ノイマン型以外
AIコンピュータ：機械学習、組合せ最適化等の演算処理を行う（プロセッサ、メモリ等の集合体）
脳型コンピュータ（ニューロモーフィック）：ニューロン・シナプスのような脳機能を模倣するデジタル素子やアナログ素子で演算処理を行う
量子コンピュータ（ゲート型）：ロジック演算を行う
量子コンピュータ（イジングマシン型）：アニーリング等、組合せ最適化問題に特化した演算を行う

出典：NEDO 技術戦略研究センター作成　(2018)

技術戦略上の位置づけ（最新情報のフォロー）

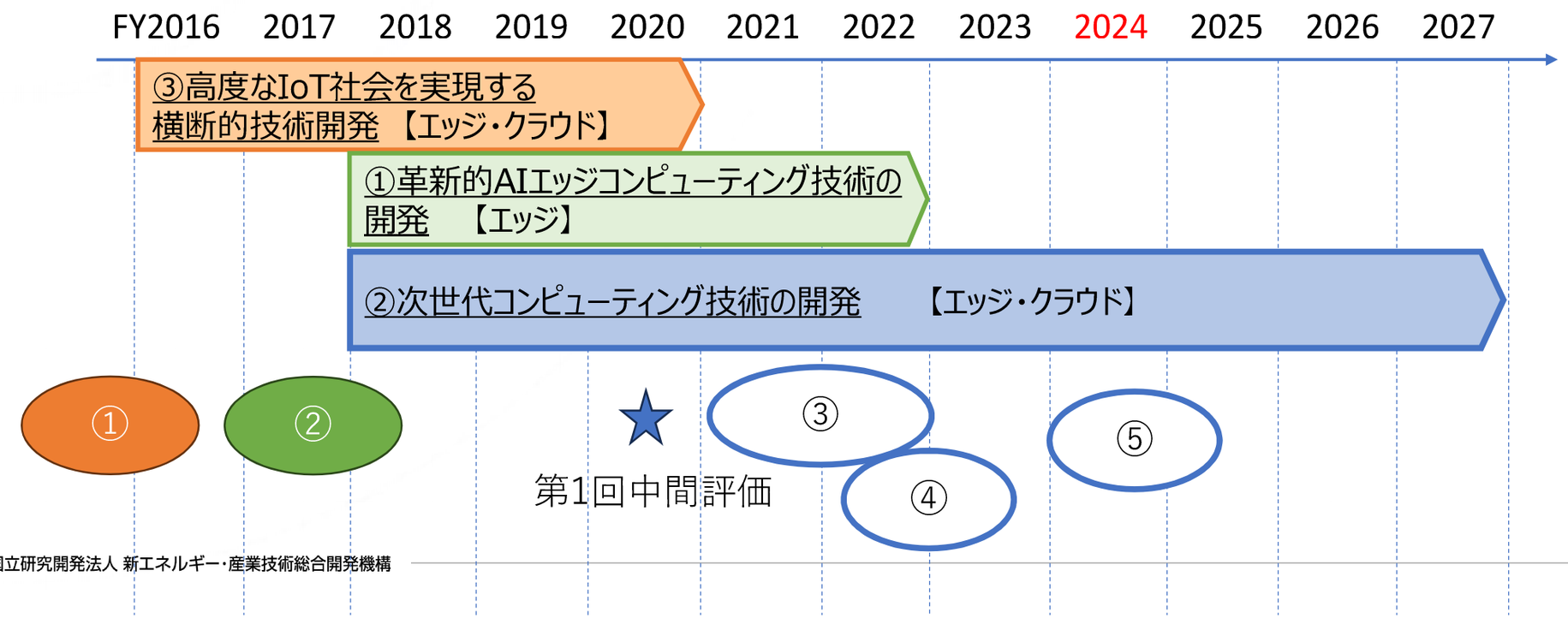
関連する技術戦略：①「コンピューティング／物性・電子デバイス分野の技術戦略（2015～）」

②「AIを支えるハードウェア分野の技術戦略（2017～）」

戦略をフォローする調査：

③「AIC事業に係る技術動向調査（2021～2022）」　④「AIC事業における知財戦略調査（2022～2023）」

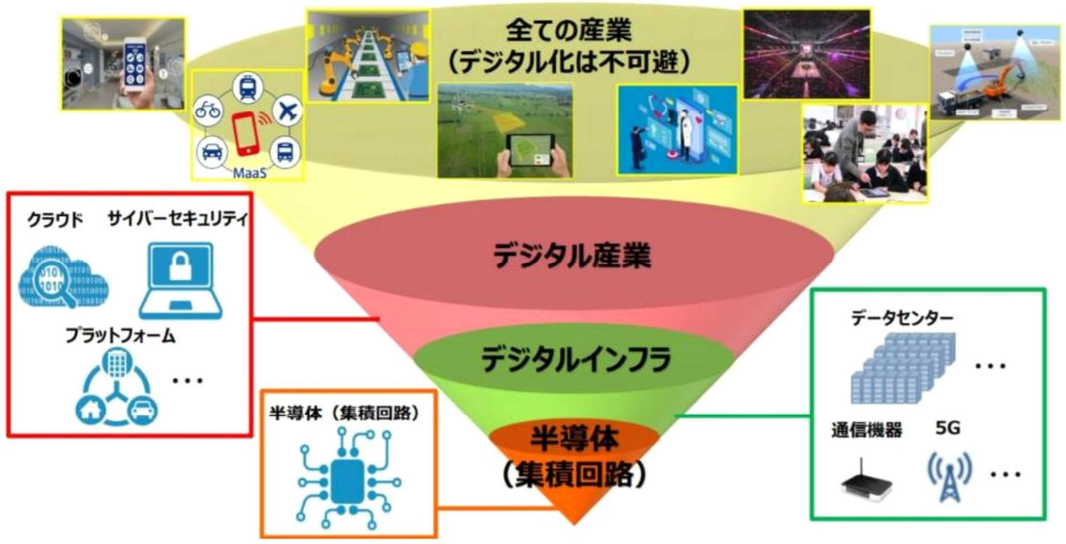
⑤「分散型データセンタ実現のための次世代低遅延光ネットワーク構築に係る技術動向調査（2024）」

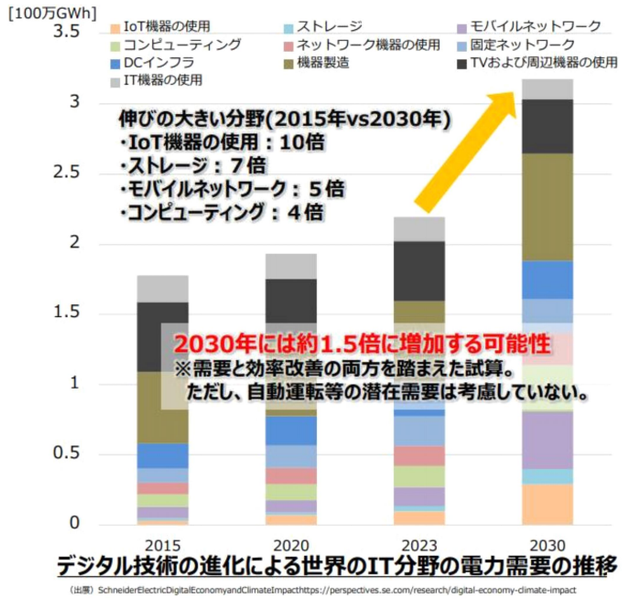


政策・施策における位置づけ（１）

半導体・デジタル産業戦略

既存の「アプリケーションシステム基盤半導体技術」を拡充・強化すると同時に、先端ロジック半導体の設計開発拠点に関する研究開発も実施し、先端ロジック半導体の設計・開発強化に取り組む。





半導体や情報処理技術、情報通信技術の進化は留まることを知らず、今後も情報処理量を拡大させながら、デジタル技術の活用が競争力の源泉となる時代は続いていく。ただし、**今後は、生成系AIの登場と量子コンピュータやAIコンピュータ等の情報処理の異次元の飛躍が相まってデータセンターにおける計算処理も更に圧倒的に拡大/用途別化が進み、また、エッジ領域における分散情報処理の拡大が見込まれ、さらに、消費電力の削減も求められる。**我が国産業全体として真のDXを実現する最後の機会であり、また、自動車・ロボティクスをはじめとするものづくり産業の競争力にとっても絶好機であるとともに、この流れに取り残されることは死活問題。
新たなデジタル社会におけるユーザー産業の競争力の強化に向けて、その付加価値の源泉となる半導体・デジタル産業基盤を日本に整備・確保することが不可欠。

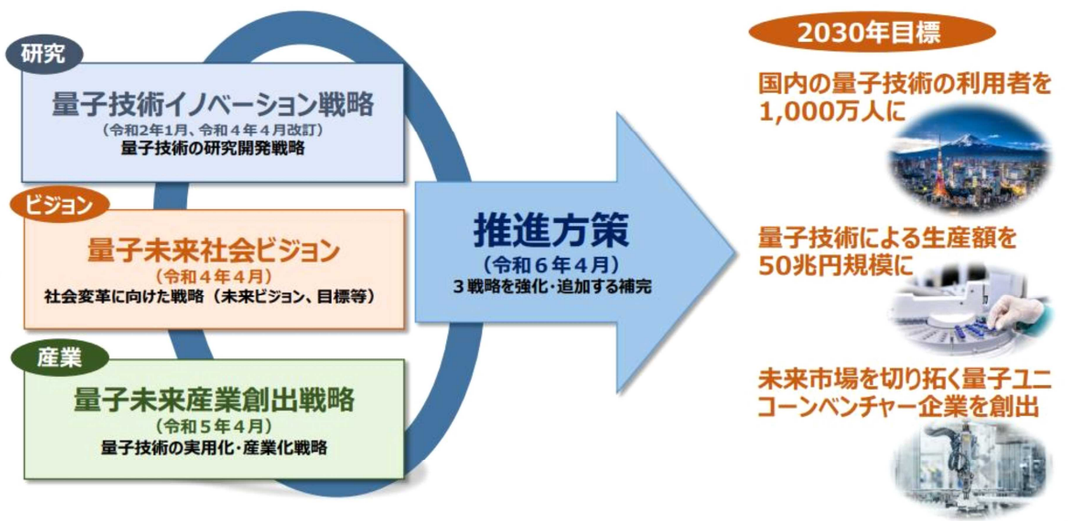
政策・施策における位置づけ（２）

量子技術イノベーション戦略
量子未来社会ビジョン
量子未来産業創出戦略
＋推進方策

量子技術によって実現すべきビジョンや目標、その実現に向けた量子技術の実用化・産業課の方針や実行計画を示した３戦略。これらに加え、量子技術の著しい進展を背景として、各国での国家戦略の策定、国際連携の活発化等の国際的な変化に対応するための推進方策。

量子産業の創出・発展に向けた推進方策

- ✓ この推進方策は、量子技術の進展や各国の戦略、国内外の実用化・産業化の状況変化にいち早く対応するため、**現在の政府戦略の下、早急に強化・追加すべき内容**をまとめたもの
- ✓ 2030年目標に向けて“**３戦略を強化し補完する方策**”の報告書である

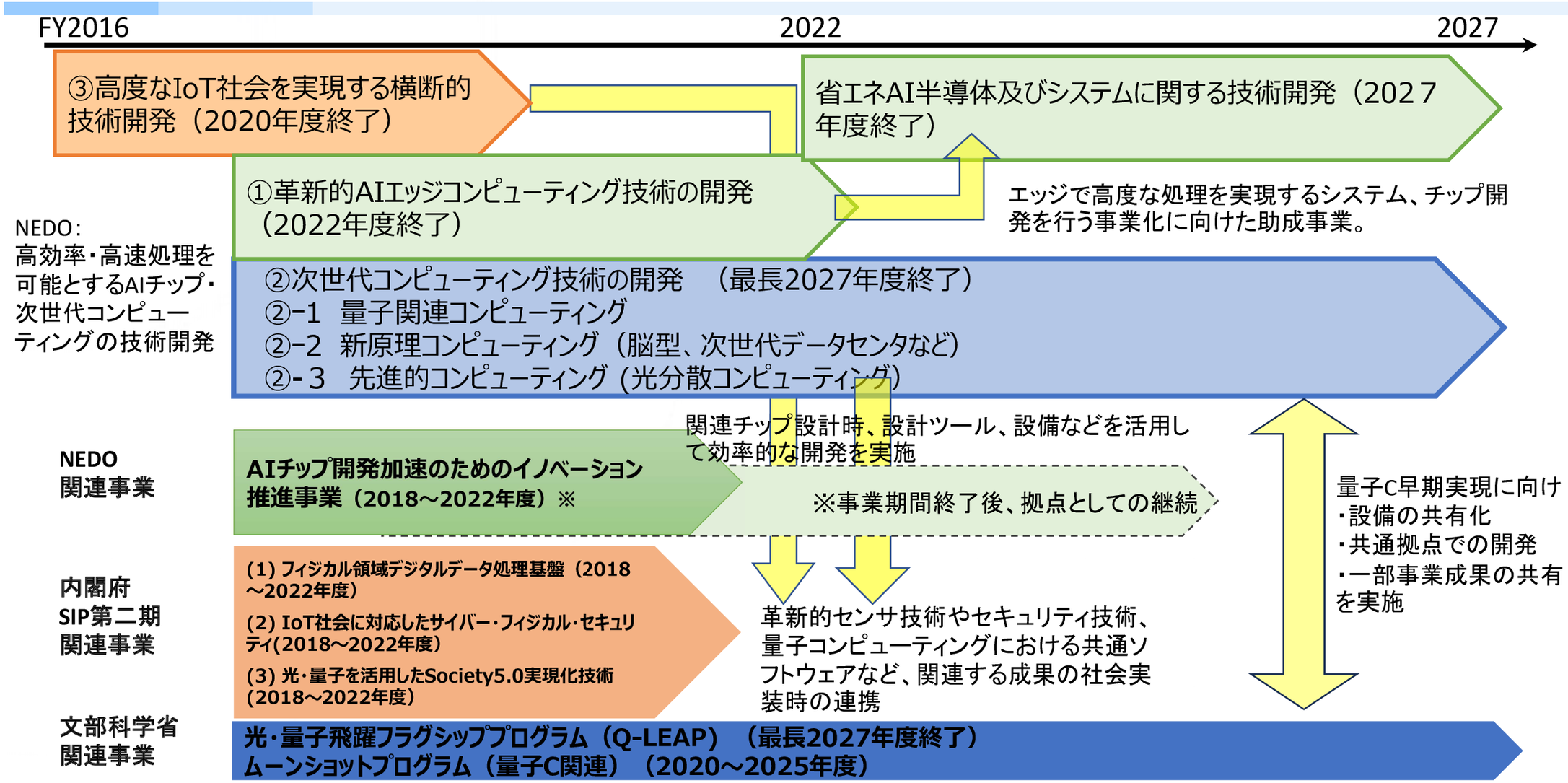


新たな視点を踏まえた諸課題と対応の方向性

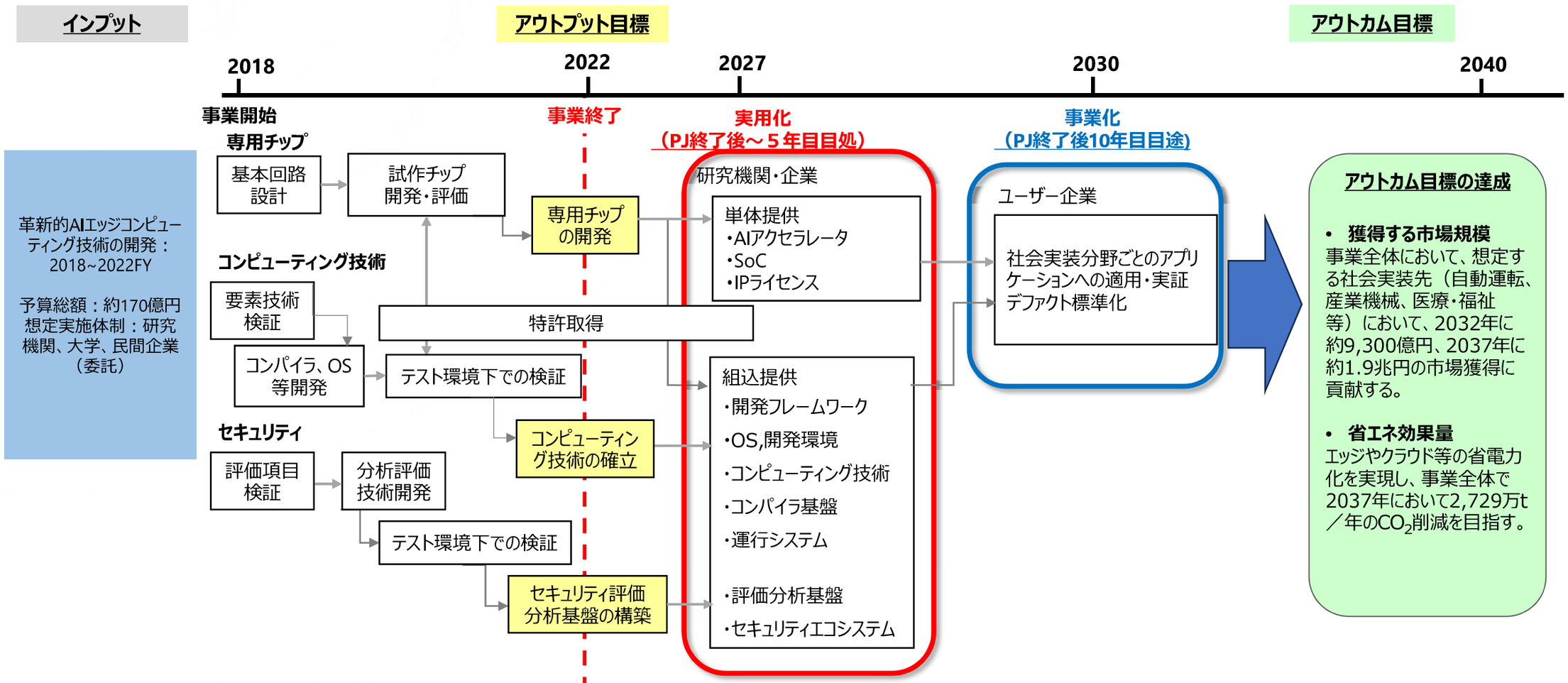
- ○量子技術の利活用の段階を迎え、**有志国との国際連携**が**更なる発展の鍵**
- ○量子分野の国際連携をさらに進める際の切り口として、現在直面する**諸課題**を整理
- ○諸課題に対する**強化すべきポイント**を明確化

	諸課題	強化すべきポイント
グローバル市場への展開	・海外展開に必要な**現地情報**や**ネットワークの不足** ・**エマージングな市場**であるため民間企業だけでの**海外展開のリスク大** ・**スタートアップ創業・成長支援**が不足	・政府間連携等による産学の**グローバル展開・連携機会の創出** ・有志国間において**我が国が不可欠なグローバルサプライチェーン**の構築支援 ・量子技術の**利用環境の整備強化** ・**スタートアップ等の創業・成長支援**を強化しエコシステム構築を加速 ・**国際標準化活動**等への参画 ・**基礎基盤研究**への継続的な支援 ・サプライチェーン上の**重要技術の国産化**の推進
世界から注目される研究の推進	・世界の**量子コミュニティでのビジビリティが低下するおそれ** ・**国際的に存在感のある最先端技術**の自国での継続的な確保 ・海外の先端技術・機器に**アクセスできなくなるおそれ**	
産学の量子人材の育成・確保	・産業化を担う**専門人材**や**グローバル人材**の不足 ・**世界トップレベル**の**研究人材**の不足	・**若年層**が量子技術に触れ、学ぶことのできる機会の充実 ・**博士学生・若手研究者**の海外派遣、海外の人材を惹きつける環境整備

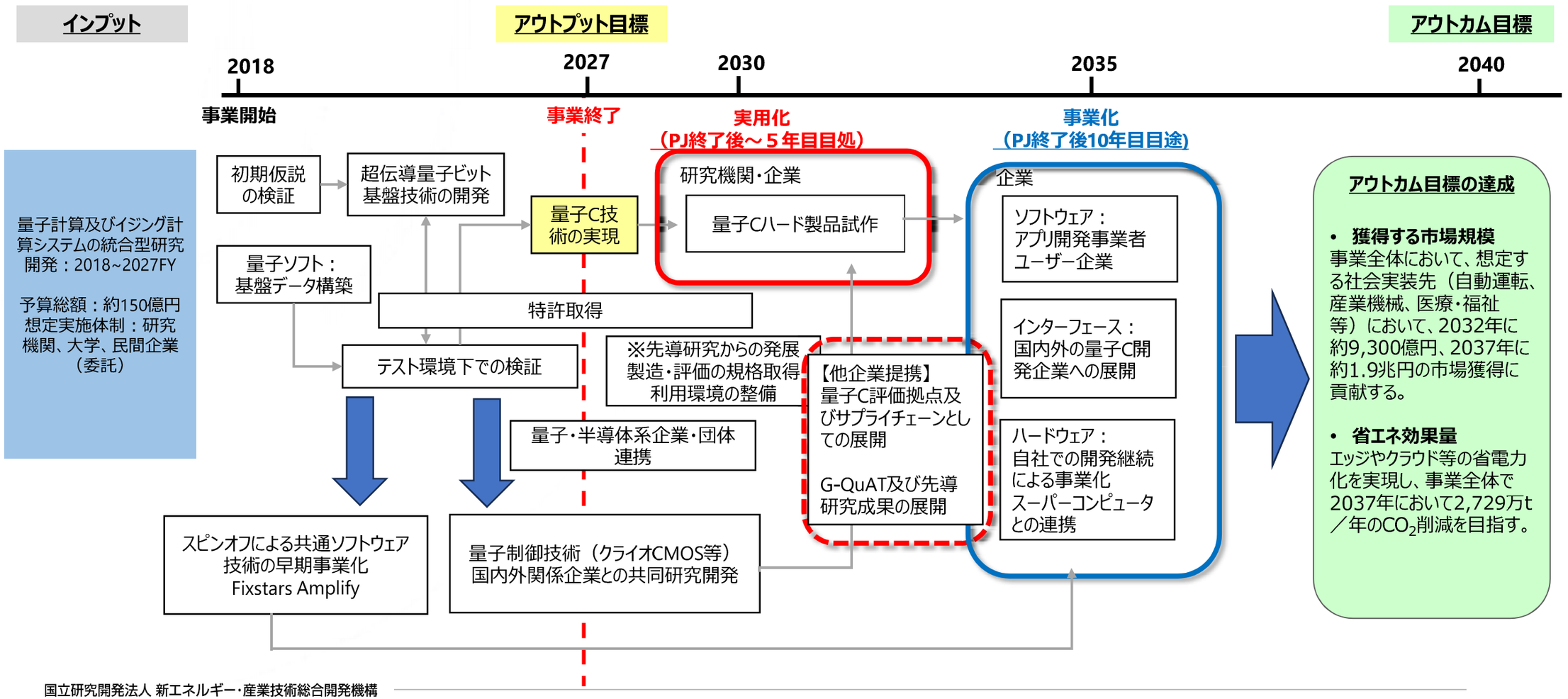
国内外の研究開発の動向と比較（他事業との関係）



アウトカム達成までの道筋（研究開発項目①：革新的AIエッジコンピューティングの開発）



アウトカム達成までの道筋（研究開発項目②：量子Cの例）



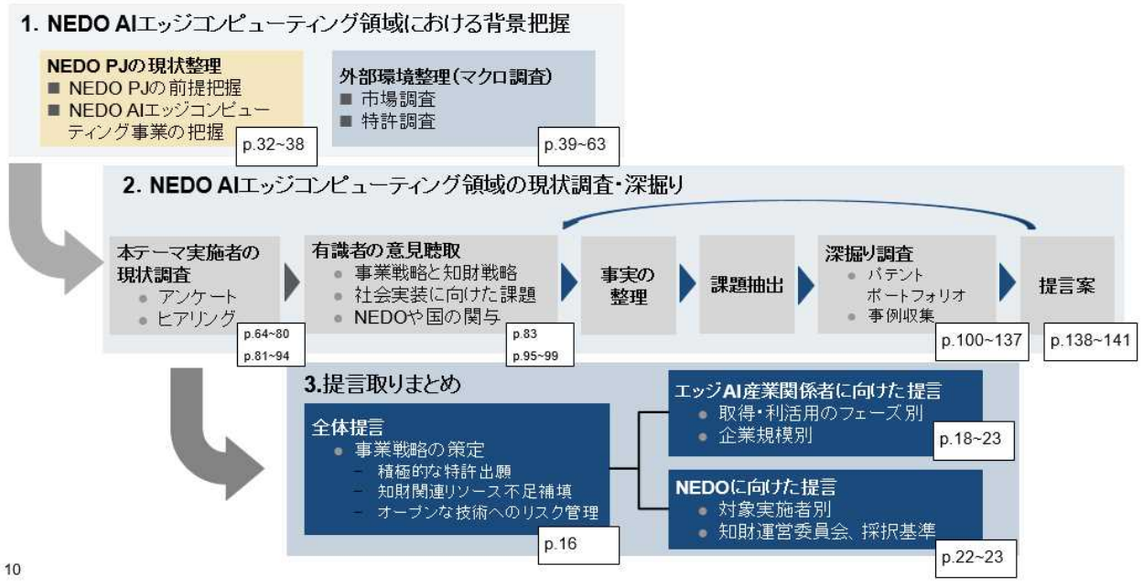
知的財産・標準化戦略

知財戦略に係る調査を2022年度から実施、調査結果に基づき事業者をフォロー。

本調査の進め方

Ⅰ-1. 調査結果概要

- NEDO AIエッジコンピューティングにおける背景を把握し、AIエッジコンピューティング領域のマクロ調査を実施
- 本テーマ実施者の現状をアンケート・ヒアリングによって収集の上、事実の整理・課題抽出を実施。深掘りテーマを選定の上、提言案を作成し、有識者意見を参考に提言を改訂
- 社会実装の中でも市場拡大に向けて、エッジAI産業関係者およびNEDOが今後参考にすべき知財戦略を策定



10

第１章　概要

1.4　脳型情報処理技術等　　サマリ（1/5）：技術の調査と特許化提案

■ 技術に独自性あり。特許権利化、ネットワーク化を促進する。

- 重点調査テーマ：「ニューロモルフィックダイナミクスに基づく超低電力エッジAIチップの研究開発とその応用展開」

. 技術の調査と提案

- 当技術の独自性を特許と論文から調査し、独自性ありとした。
- 当分野の研究では、従来から世界でも存在感があり、技術の厚み、CBMも類似技術なし。事業創生のポテンシャルがある。

＜リザバー論文執筆者国別順位＞

rank	所在国	執筆論文数
1	米国	284
2	中国	270
3	日本	224
4	英	95
5	ドイツ	80

＜リザバー論文執筆者機関別順位＞

rank	執筆者機関	執筆論文数
1	東京大	88
2	大阪大	31
3	Virginia Tech (米国)	24
8	産総研	15
9	九工大	15

＜本テーマの独自優位技術＞

- CBM（Chaotic Boltzmann Machine）
- 決定論的リザバー動作
- 時間領域積和演算方式
- ハード指向アルゴリズム
- マルチタスク学習
- マルチモーダル推論機構
- アルゴリズムの素子からの独立性

＜スタートアップの特許出願件数＞

スタートアップ	特許出願件数（ファミリ除去後）
BrainChip	52 (11)
Syntiant	69 (17)
Mythic	142 (37)
SynSense	46 (20)
九工大＋日立	7 (6)

- 弱点は、技術の認知度が低い、権利化が少ない、メリットを生かす応用が未開発である、システム系の技術階層が弱い、等
- 類似スタートアップ(RNN/SNNチップ）とベンチマークを実施。当技術の特許申請が業界に比べ少ないこと、及び、有識者助言を受け、２０件程度に増やすべきとした。
- 権利化促進、さらには、本テーマの技術深耕のために、特許化が望める項目を１０種の分析軸から検討し、５０個余の権利化着眼点を提案した。同時に、類似目的、あるいは、着想のヒントあるいは実現のアイディアを示唆する特許及び論文をそれぞれ紹介した。

＜特許創生が可能な項目の種類＞

種	特許創生項目（主なもの）
1	既存技術の特許の追加
2	出願済み特許の派生、拡張
3	応用実装、分野展開
4	CBM優位点の強化、差別化
5	CBM弱点の軽減、解消

44

知的財産管理

- **標準化施策等との連携**
  得られた研究開発成果については、標準化等との連携を図ることとし、評価手法の提案、データの提供、標準化活動等を積極的に行う。

- **知的財産権の帰属、管理等取扱い**
  研究開発成果に関わる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、全て委託先に帰属させることとする。なお、プロジェクト初期の段階から、事業化を見据えた知財戦略を構築し、適切な知財管理を実施する。

- **知財マネジメントに係る運用**
  本プロジェクトは、「NEDOプロジェクトにおける知財マネジメント基本方針」を適用する。

ご参考：前回の中間評価の振り返り（１）

評価結果：

事業の位置づけ・必要性：評価Ａ（非常に重要）

研究開発マネジメント：評価Ｂ（良い）

研究開発成果：評価Ｂ（良い）

成果実用化に向けた取り組み：評価Ｃ（概ね妥当）

評価コメント：

・研究開発項目①、②とも、ＮＥＤＯとして世界的な技術潮流に関する情報収集や、将来の市場獲得に向けた方策を検討、拡充する必要があることが求められた。

・事業化の観点からみた優位性検討と目標の見直し、テーマの取捨選択や整理統合を、適宜行うことにより、選択と集中を加速すること。

・研究開発項目②に関しては、人材育成やユーザーとなりうる事業主体とのコミュニケーションの場を形成する必用についても求められた。

前回の評価結果の振り返り（２）

世界的な技術潮流に関する情報収集：

技術動向調査、及び知財戦略調査を研究開発項目①、②ともに実施。（②において調査は領域ごとに継続して実施中。）
得られた情報を事業者にフィードバックするとともに、優位性検証や選択と集中と合わせてマネジメントを実施した。

将来の市場獲得に向けた方策：

研究開発項目①

成果のPRのみならず、開発した半導体及びシステムの試作と検証が重要と判断。
PRについては各種イベント出展やニュースリリースなどでの情報発信を実施。
さらなる試作と検証への支援としては、助成事業として新政策「省エネAI半導体及びシステムに関する技術開発」を立ち上げ、実用化・事業化に繋がる各企業の取り組みを2023年度から支援。

研究開発項目②

ユーザー企業との関係構築：
・量子コンピューティング:国内外の企業との共同研究を調整。
・脳型コンピューティング:脳型チップ、アルゴリズムのユーザーとなりうる事業者を集めたアドバイザリーボードを開催。
・光分散コンピューティング：2024年度から100km圏内のデータセンタによる分散情報処理の実証実験を実施、成果を公開する。

人材育成：開発した量子コンピュータ共通ソフトウェアをクラウド環境で無償公開するだけでなく、コンテストを開催するなどして先端技術に触れることでの人材の育成に貢献。また、若手研究者による成果発表や意見公開会も開催。

報告内容

1．意義・アウトカム（社会実装）達成までの道筋

(1)本事業の位置づけ・意義
(2)アウトカム達成までの道筋
(3)知的財産・標準化戦略

※資料5-2、5-3で項目ごとに報告

2．目標及び達成状況

(1)アウトカム目標及び達成見込み
(2)アウトプット目標及び達成状況

3．マネジメント

(1)実施体制
(2)受益者負担の考え方
(3)研究開発計画

資料5-2-1

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」
研究開発項目①革新的AIエッジコンピューティング技術の開発
（中間評価）

2018年度～2022年度　5年間

プロジェクトの詳細説明（公開版）

2024年12月20日

国立研究開発法人 新エネルギー・産業技術総合開発機構

AI・ロボット部　主任　岩佐匡浩

高効率・高速処理を可能とするＡＩチップ・次世代コンピューティング技術の開発　実施概要

（　）政府予算額

FY2016	2017	2018 CSTI評価	2019	2020 SG審査 中間評価	2021 CSTI評価	2022 SG審査 事業見直し	2023	2024 中間評価	2025 SG審査	2026	2027	-
(33.0)	(47.0)	(100)	(84.9)	(94.9)	(99.8)	(100)	(49)	(48)	54	―	―	総額：769億

目的：各時代の情報社会に求められる基盤技術を開発する。

IoT社会の拡大
（クラウドコンピューティング）
※社会の末端までITネットワークが拡大する

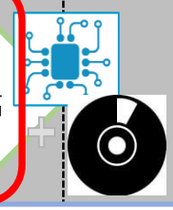
分散処理の実現と普及
（クラウド・エッジコンピューティング）
※エッジ側でリアルタイムの情報処理が拡大

既存の技術の延長にない
情報処理技術の実現
（クラウド・エッジコンピューティング）

③高度なIoT社会を実現する横断的技術開発
（旧：IoT推進のための横断技術開発）
例：スマートセンシングシステム、新技術によるストレージデバイス、セキュリティシステムなど。

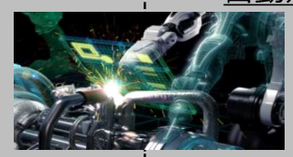
半導体微細化、
専用チップとソフトウェア
組込AI技術、等

①革新的AIエッジコンピューティング技術の開発
例：自動運転、ロボット技術、医療、音声認識等各種エッジ領域の高度化技術。





自動走行



FA、IoT

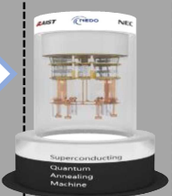
半導体微細化によらない
性能向上
を可能とする各種技術

②次世代コンピューティング技術の開発　（最長2027年度終了）
②-1　量子関連コンピューティング
②-2　新原理コンピューティング（例：脳型、次世代データセンタなど）
②-3　先進的コンピューティング（例：光分散コンピューティングなど）

※探索型研究枠で先導的な研究開発を最長2022年度まで実施







量子コンピュータ

目指す社会像

Society 5.0
快適、活力、質の高い生活を実現する社会

・AIの実社会への浸透・進化
・人間能力の拡張(ロボティクス、XR)

世界の情報量：2015年　8.5ZB　　2020年　40ZB　　2025年　175ZB

報告内容

1．意義・アウトカム（社会実装）達成までの道筋

(1)本事業の位置づけ・意義
(2)アウトカム達成までの道筋
(3)知的財産・標準化戦略

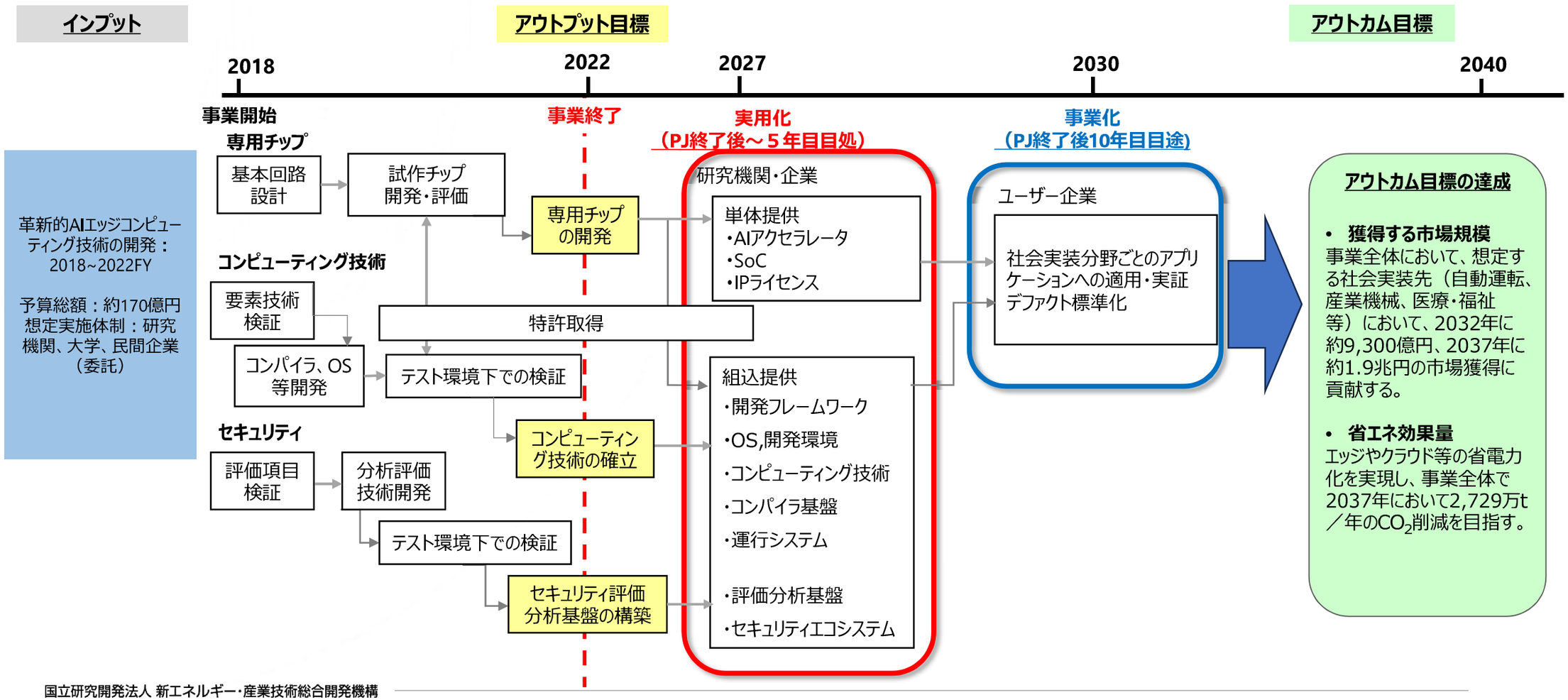
2．目標及び達成状況

(1)アウトカム目標及び達成見込み
(2)アウトプット目標及び達成状況

3．マネジメント

(1)実施体制
(2)受益者負担の考え方
(3)研究開発計画

アウトカム達成までの道筋
（研究開発項目①：革新的AIエッジコンピューティングの開発）



実用化・事業化の考え方とアウトカム目標の設定及び根拠

AIチップやSoC単体だけではなく、ソフトウェアを含む開発環境等もあわせてシステム／サービスとして提供することにより、高度なエッジコンピューティング環境構築の容易化を実現

1. 専用チップ(AIアクセラレータ、SoC)

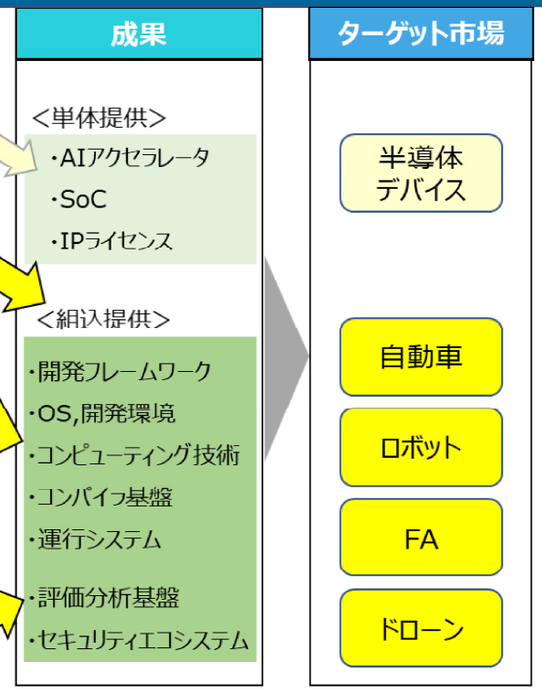
・**チップ**販売、**IPライセンス**。【(A),(E)】
・チップから開発フレームワークまでを**垂直連携で組込機器市場へ提供**。【(B)】
・プロセッサ技術の**インプリ**に加え、データセンターの運用も検討。【(B)】

2. コンピューティング技術(OS・コンパイラ・ツール等、開発環境)

・車載向け組込事業の強みを活かし、**SDK提供と開発支援**。【(D)】
・エッジでの**組込**容易性訴求。
⇒ドローンでの商用化⇒**運行管理システム**。【(C)】
・短期的にはハードウェアへの**実装サービス**、長期的にはクラウドから**サービス提供**することを狙う。【(C)】

3. セキュリティ基盤(エッジ向けセキュリティ)

・ユーザー認知度を高め、**コンソーシアム**化し、オープン化により、広範囲な産業に供給する。【(F)】
・セキュリティ評価分析基盤を構築、「**場**」を提供、アプリケーション毎に事業化・実用化を進める。【(F)】



「**実用化**」: 当該研究開発の成果が社会的利用が可能となる段階※まで技術的な水準を確立すること
「**事業化**」: 実用化段階を経た研究開発成果が、知的財産（IPコア等）、部品・モジュール・システム、サービス等の販売や提供により、企業活動(売り上げ等)に貢献すること

※社会的利用が可能となる段階の例：IoTセンサやAIチップ等の試作品提供など

アウトカム目標の達成見込み

アウトカム目標	進捗状況	達成度	今後の課題、解決方針
想定する社会実装先（自動運転、産業機械、医療・福祉等）でのAI関連ハードウェア世界市場において、研究開発成果の一部が市場に出る2032年に約7,500億円、さらに成果の普及が加速する2037年に約1.6兆円の市場獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2037年において約2,729万t／年のCO2削減を目指す。	終了時（2022年度）において、各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認し、**アウトプット目標である、開発成果を組み込んだシステムレベルでのエネルギー消費効率あるいは電力効率10倍以上の達成状況を確認した**。 各事業者において、事業化に向けた取り組みを実施中。	達成見込み	**事業化に向けた取り組みを推進するため、別事業へのアプローチ、自社開発の推進などに関する助言、フォローを実施。**

アウトカム目標の達成見込み（競合分析）

■ 競合となりうるアクセラレータとの性能比較の結果、NVIDIA A100やAMD MI250Xに対して、演算性能、電力性能、想定価格において優位性を確認

	本事業	NVIDIA	NVIDIA	AMD
Type	第1世代Chip搭載 アクセラレータ	A100 PCIe	H100 SXM5	MI250X
Process Die Size(㎟)	TSMC7nm 550	TSMC7nm 826	TSMC4nm 814	TSMC6nm 1489
Freq. Trs (Billion) Memory Type TFlops(fp16) TDP(Watts) 電力性能(Tflops/W)	750Mhz 17.65 GDDR6 393 240 1.64	1400Mhz 54.20 HBM2e 312 300 1.04	— 80.00 HBM3 1000 700 1.43	1700Mhz 58.20 HBM2e 383 560 0.68
eFPGA機能	○	×	×	×
想定価格(万円)	100	200	>500?	200
市場投入時期	2024	2020	2022	2022

参考：高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発に係る技術動向調査（AIエッジコンピューティング技術領域）　報告書サマリ

2030年に向けた市場動向とユーザニーズ

市場動向	• 2030年に向け、①世界のAI市場規模・成長率、②日本の政策重点対象、③自動車やロボット産業の日本企業の研究開発力の観点から、3分野「自動運転」「産業用ロボット」「ヘルスケア」を重点分野と捉え、これら製品・サービスにおけるエッジデバイスに搭載されるAIチップおよび周辺技術を注視すべきと判断。 • 2030年に向け、国内外で官民が注目する自動運転分野では、レベル4以上の完全自動運転は、2025年以降に本格導入。エリア限定のロボタクシーのサービスが始まり、2030年時点では普及率10％程度を見込む。 • 完全自動運転がテクノロジドライバとなって低速自動運転、産業用ロボット、ヘルスケア（日常生活支援・介護支援ロボット等）へ波及。
ユーザニーズ	• 要求される消費電力(表1)に対し、「消費電力効率の向上」によりエッジデバイスにおけるAIモデルの高機能化要求。 • 3分野のユースケースに対応しえるAIチップとして、「コストダウン」「チップ数削減要求」。

表1

自動運転	産業用ロボット	ヘルスケア
5～20W	1～20W	1～20W

2030年に向けた技術動向、業界動向

AIチップ	• 学習はサーバで実施し、推論を主とするエッジへデプロイする方式が主流。 • 推論向けAIチップは1W～数100Wに渡って消費電力効率は横並び。 • 消費電力はIO部、キャッシュ部、演算部で同規模であり、今後の低電力化方策は、IO部は3D実装、キャッシュ部はMRAM置き換え、演算部はドメイン特化型アーキテクチャが有力。 • チップ数削減要求に対し、①セントラルAIチップへの集積　②センサとAIチップを集積しセントラルAIチップの負荷をオフロード　という2方向で開発が進む。
周辺技術	• 開発効率向上のため、ユーザへのAIチップ提供では事実上の標準である開発PFのPyTorch、TensorFlowへの接続と、SDKの提供は必須。 • Transformerなど巨大パラメータを持つAIモデルが自然言語だけでなく自動運転・ロボットなどマルチモーダルな制御にも使用される動き。
業界動向	• NVIDIAがAIチップのトレンドセッタ。一方、Google、Tesla、Alibaba等ユーザが自前チップの設計・開発をする動き。 • チップレットを活用したヘテロジニアスインテグレーションの標準化は、今後の業界構造を変えるポテンシャルがある。

日本が優先的に取り組むべき研究開発テーマ　A～E

2030年の製品・サービス（例）

自動運転	• レベル4、5の完全自動運転（一般車両、バス・タクシー） • 自動運転トラックの隊列走行、単体車両による物流拠点間の自動運転 • 低速自動運転のAMR/UGV/LSV
産業用ロボット	• 工場における製造ロボット • 建設・土木現場や倉庫・店舗における対人協調の作業ロボット
ヘルスケア	• 要介護者の日常生活や移動の支援ロボット • 手術支援ロボット

製品・サービスの中核的役割を担うAIチップ等において日本企業の存在感が乏しいのが現状

サプライヤ企業	上記3分野では完全自動運転向けAIチップがテクノロジドライバとなる可能性。 NVIDIA、Mobileye（Intel）、Qualcomm、Samsung　等
ユーザ企業	ユーザが自前チップの設計・開発をする動き。 Google、Tesla、Alibaba、等

日本の強み☆を起点とした研究開発

☆自動車・産業用ロボットメーカの世界市場でのシェア、MRAM・3D実装等による消費電力削減、CMOSイメージセンサ等

C 低速自動運転・ロボット用途のASSP型AIチップ（5W 250TOPS）の開発
研究開発Aの成果も活かし、広範な需要が期待できるチップ。本成功から完全自動運転向けチップ（20W 1000TOPS）へスケール。

波及

A 超低消費電力高性能のAIチップ（1W以下 100TOPS）の開発
ドメイン特化型アーキテクチャ、MRAMによるL1/L2キャッシュ、3D実装技術の活用。

波及

B イメージセンサやLiDARと積層したASSP型AIチップの開発
日本のイメージセンサの技術力と研究開発Aの成果を活かした開発。本チップに、セントラルAIチップの負荷集中をオフロードする役割を期待。

D カスタムAIチップ（SoP）を容易に開発できる技術・環境の整備
SoPヘテロジニアスインテグレーションチップレット統合設計技術の活用。

波及　活用

センサ＋アクチュエータ制御＋AIチップ（ロングテール需要型のチップ）

E Transformer等巨大モデルのエッジ実行の環境整備
巨大モデルの実行に適したハードウェアアーキテクチャの研究および実証チップの開発、開発した個別タスクモデルのエッジへのデプロイ技術等。

産業・社会に対して期待される効果（研究開発に取り組む意義）

半導体産業再興の牽引
CMOSイメージセンサの強みを持つ日本メーカが半導体産業の再興を牽引。

自動車・産業用ロボット・ヘルスケア産業の競争力強化
AI高性能&低消費電力を可能と**日本製チップ**の活用。経済安全保障の観点からも海外製チップ調達依存リスクの軽減。

ユーザ企業の製品・サービスの差別化
米中のテックジャイアントが取り組み始めた自前チップの開発の動きへの対応。特にロングテール需要型のAIチップ開発に貢献。

製品・サービスによる社会課題の解決
（例）交通弱者の移動手段の確保、物流・工場・建設・土木現場等における人手不足対策、高齢者や要介護者の支援

参考：知財戦略調査

本調査の進め方

Ⅰ-1. 調査結果概要

- NEDO AIエッジコンピューティングにおける背景を把握し、AIエッジコンピューティング領域のマクロ調査を実施
- 本テーマ実施者の現状をアンケート・ヒアリングによって収集の上、事実の整理・課題抽出を実施。深掘りテーマを選定の上、提言案を作成し、有識者意見を参考に提言を改訂
- 社会実装の中でも市場拡大に向けて、エッジAI産業関係者およびNEDOが今後参考にすべき知財戦略を策定

1. NEDO AIエッジコンピューティング領域における背景把握

NEDO PJの現状整理
- NEDO PJの前提把握
- NEDO AIエッジコンピューティング事業の把握

p.32~38

外部環境整理（マクロ調査）
- 市場調査
- 特許調査

p.39~63

2. NEDO AIエッジコンピューティング領域の現状調査・深掘り

本テーマ実施者の現状調査
- アンケート
- ヒアリング

p.64~80
p.81~94

有識者の意見聴取
- 事業戦略と知財戦略
- 社会実装に向けた課題
- NEDOや国の関与

p.83
p.95~99

事実の整理

課題抽出

深掘り調査
- パテントポートフォリオ
- 事例収集

p.100~137

提言案

p.138~141

3.提言取りまとめ

全体提言
- 事業戦略の策定
  - 積極的な特許出願
  - 知財関連リソース不足補填
  - オープンな技術へのリスク管理

p.16

エッジAI産業関係者に向けた提言
- 取得・利活用のフェーズ別
- 企業規模別

p.18~23

NEDOに向けた提言
- 対象実施者別
- 知財運営委員会、採択基準

p.22~23

10

エッジAI産業関係者に向けた提言 (1/2)

Ⅰ-2. 提言

中長期視点に立った積極的な特許出願

■ エッジAI産業関係者は、自社実施にかかわる特許について、将来目線での侵害検出性の観点を持って、積極的に出願を検討すべき

■エッジAIは、クラウドAIとは異なって、デバイスが手元にあるため、侵害検出性が高い
■エッジAI産業関係者のなかには、特許出願に積極的でない者も多いことが判明した

	エッジAI産業関係者の市場拡大に向けた提言-詳細	企業規模別・注力すべき箇所 大企業	中堅・中小企業
取得	■ハードウェアは積極的な特許化を目指すべき ・クラウドAIとは異なり、エッジAIデバイスが手元にあり、現在・将来における侵害検出性が高い ・昨今盛んに開発が行われている、オープンな命令セットであるRISC-V周辺の技術でも特許化を積極的に検討すべき	◎	○
	■ソフトウェアは将来の侵害検出性も意識した特許化を実施すべき ・請求項や明細書を工夫し、UI/UXを組込んだ出願を心がける ・アルゴリズムの特許は侵害検出性が低いものの、重要特許となりうるならば出願を検討すべき	◎	◎
	■サービス（コト）についても積極的に特許化すべき ・サービス特許は侵害検出性が高い ・国内企業が海外プラットフォーマーと伍して戦う競争力確保要因となりうるため出願すべき	◎	◎

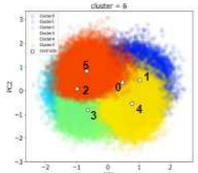
20

パテントポートフォリオ：半導体デバイス・電機メーカーのクラスタリング、出願状況

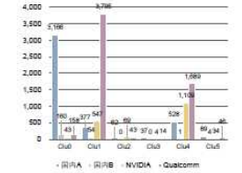
Ⅱ-4. 深掘り調査

■ NVIDIA、Qualcommがソフトウェアやシミュレーションを中心に出願するのに対し、国内A、B社は設計プロセスを中心に出願

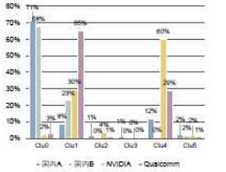
クラスタリング結果



企業別クラスタ別出願数



企業別クラスタ別出願割合[1]



クラスタ	クラスタの特徴	各クラスタに固有に登場する単語
Clu 0	設計プロセス	determination, drawing, figure, means, acquisition, section, calculates, included, acquired, measurement
Clu 1	ソフトウェア	ue, coupled, logic, register, array, resources, core, address, bit, cache
Clu 2	HMI (Human Machine Interface)	face, human, defect, pixel, three-dimensional, noise, coordinate, plate, reconstruction, background
Clu 3	人・感情	recommendation, question, emotion, coding, answer, description, chinese, expression, heterogeneous, keyword
Clu 4	シミュレーション	models, objects, vectors, embeddings, entities, users, dataset, edges, activity, items
Clu 5	最適化	optimal, genetic, strategy, water, decision, planning, optimizing, solving, simulation, fuzzy

107

(注) 1. 各クラスタでの出願数を、各社の全クラスタでの出願数で除した数

費用対効果

・プロジェクト費用の総額　約760**億円**　**（2027年度までの想定総額）**

・売上予測	(2027年)	(2032年)	(2037年)
年間売上額	5,340**億円**	8,224**億円**	10,594**億円**
累計売上額	1 3,616**億円**	48,535**億円**	79,062**億円**

※売り上げ予測に関する関するイメージ

2027年：研究開発項目①の一部および③の成果が社会実装され、事業化。センサ、クラウド、セキュリティなどのIoT社会の基盤となる技術が普及。エッジコンピューティングの高度化も推進。

2032年：研究開発項目①、③の成果および②の一部の成果が社会実装され、事業化。次世代コンピューティングのうち、データセンタ向け技術などが普及。

2037年：研究開発項目①②③の成果が社会実装。ただし①③については多くが技術として枯れており、開発項目②の成果が主体。次世代のコンピューティング技術が大きなビジネス効果を発揮。

本事業における研究開発項目の位置づけ

・IoT社会の到来による**データ量の爆発的な増加に対応**し、急増したデータの高度な利活用を促進するために、ネットワークの末端（エッジ）で高度かつ低消費で情報処理を行う**「エッジコンピューティング」の確立が必要**。
・また、エッジ領域における、省電力化や高性能化、ハード・ソフトを組み合わせたコンピューティング技術の最適化は、**いまだ手探り状態**であり、**日本が強みを有する「現場」で生成されるデータを処理する技術**に関する研究開発を実施し、成果を社会実装することにより、**我が国の産業競争力の向上**が見込まれる。
・そのため、**エッジにおけるAI処理を実現するための小型かつ省エネながら高度な処理の能力を持った専用チップ及びコンピューティング技術等**を開発することを目的とし、情報提供依頼（RFI）を実施。その結果、以下の(A)～(F)を開発課題として設定。その後、公募の結果、以下の13テーマの研究開発を実施。

取組区分＼実現区分	既存ハード	新アーキテクチャ	新デバイス
1．専用チップ（AIアクセラレータ、SoCの開発）	CPU・FPGA等 ※開発対象外	(B) リコンフィギュラブルデバイスによるコンピューティング技術：ルネサス、PFN (E) 多数の分岐ノードを有するAIアルゴリズム処理を高性能化するコンピューティング技術：エヌエスアイテクス、東京大学	(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術：NEC
2．コンピューティング技術（OS、コンパイラ、ツール等、開発環境の開発）		(C) 演算処理量の軽量化を実現するAI組込みコンピューティング技術：ソシオネクスト※1、沖※1、KDDI、フィックスターズ (D) エッジコンピューティング向けリアルタイムソフトウェア制御技術：イーソル※1 (F) エッジデバイスのセキュリティ技術及びその評価技術：イーソル	
3.セキュリティ基盤（エッジ向けセキュリティ）		TRASIO、産総研	

※1：2020年度終了
※2：2021年度終了

２．研究開発成果　アウトプット目標達成状況

研究開発項目	目標	成果	達成度	今後の課題、解決方針
①革新的AIエッジコンピューティング技術の開発 **※2022年度で終了**	最終目標(2022年度) 開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10倍以上となることを達成する。	【2018年度】 本研究開発項目の実施体制を構築すべく、情報提供依頼（RFI）の結果や政策的観点から以下の重点課題例を設定し、2回の公募を実施した。結果、**研究開発枠12テーマ等を採択し、研究開発に着手**した。 【2022年度】 各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認し、**最終目標である、開発成果を組み込んだシステムレベルでのエネルギー消費効率あるいは電力効率10倍以上の達成状況を確認した**。	○	**事業化に向けた取り組みを推進するため、別事業へのアプローチ、自社開発の推進などに関する助言、フォローを実施。**

達成度：◎　大きく上回って達成、○達成、△達成見込み(中間)／一部達成(事後)、　X未達

開発課題	13テーマの代表事業者
(A)　不揮発性素子等のスイッチング機構を用いたコンピューティング技術	NEC
(B)　リコンフィギャラブルデバイスによるコンピューティング技術	ルネサス／Preferred Networks(※以下PFN)
(C)　演算処理量の軽量化を実現するAI組込みコンピューティング技術	ソシオネクスト／沖／KDDI／フィックスターズ
(D)　エッジコンピューティング向けリアルタイムソフトウェア制御技術	イーソル
(E)　多数の分岐ノードを有するAIアルゴリズム処理を高性能化するコンピューティング技術	エヌエスアイテクス／東京大学
(F)　エッジデバイスのセキュリティ技術及びその評価技術	TRASIO／産総研／イーソル

個別事業ごとの目標達成状況

個別事業	目標 （終了時）	成果 （終了時）	達成度
NEC	不揮発FPGAコアにおいて高スループットでAI処理を行う。その高い電力効率と、不揮発性を利用した電源制御によって、従来のSoC-FPGAと比較して10倍の電力効率を実現する	音声識別アプリケーションの電力解析にて消費電力1/10を確認	○
ルネサス	従来技術比10 倍以上(10TOPS/W)の電力性能を有する組み込み向けAI チップの研究開発する	13.1Tops/Wの電力効率を達成。	○
PFN	5nm テクノロジーの次の世代テクノロジーで製造した場合に10Tops/Wを実現できるアーキテクチャのAIプロセッサを設計、実証する	2023年5月に11.26Tops/Wを確認。	○ （2023年5月達成）
KDDI	学習量・計算量削減効果による、システムレベルでの消費電力（対GPU）従来比1/10の達成	電力量・作業量において最大約90%の効率化・システム観点での効率の従来比1/10の実現性を確認	○

◎　大きく上回って達成、○達成、△一部未達、　×未達

個別事業ごとの目標達成状況

個別事業	目標 （終了時）	成果 （終了時）	達成度
エヌエスアイテクス	計算量の多いAI処理に加え、信号処理、制御を含めた、非対称で多様な新用途への拡大と市場実績のあるレガシーコードの混在を実現・解決するプロセッサ（電力効率15 TOPS/W、面積効率1TOPS/mm2 ）を開発	15.1 TOPS/W、1.36 TOPS/mm2 を確認	○
東大	完全自動運転に向けたシステムオンチップ（SoC）とソフトウェアプラットフォームの研究開発により、AIエッジコンピューティングにおいて、限られた計算資源でのリアルタイム性の保証および従来比10倍以上の高効率データ処理を達成する	アクセラレータの消費電力評価で消費電力1/10を達成	○

◎　大きく上回って達成、○達成、△一部未達、　×未達

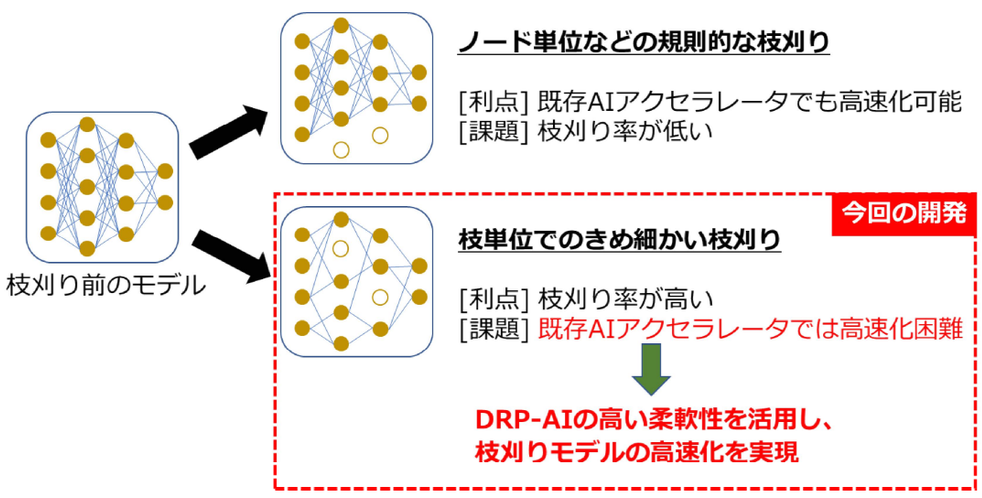
個別事業ごとの目標達成状況

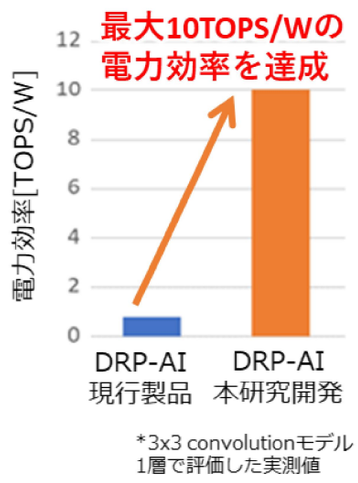
個別事業	目標 （終了時）	成果 （終了時）	達成度
TRASIO	RISC-Vをベースとしてチップ統合環境を構築し、設計資産を業界全体で活用可能な環境を提供する	RISC-Vコアに最適化されたTEE、SecureUnitを開発。オープンフォーラムを開催しTEEとSecureUnitを実装したリファレンスデザインである「TrustedRV」を一般公開	○
産総研	AI エッジデバイスにおいて今後問題となることが予想されるセキュリティ上の脅威を、科学的/学術的根拠に基づいて公正かつ正確に議論・評価するためのセキュリティ評価分析基盤を確立する	AIエッジデバイスを対象として横断的なセキュリティ評価分析基盤を構築し、セキュリティ評価分析・技術コンサルティング等を実施機関から提供	○
イーソル	AI をエッジシステムでRISC-V アーキテクチャを利用する際に必要となる、ソフトウェア実行環境、コンパイラ基盤、並列プログラム処理系といった高速かつ高効率・低消費電力なランタイム＋開発ツールで構成されるRISC-V 開発環境エコシステムを構築する	システム階層を包括的に構築し、ハードウェアとアプリケーション・サービスの界面となる基本ソフトウェア群を整備	○

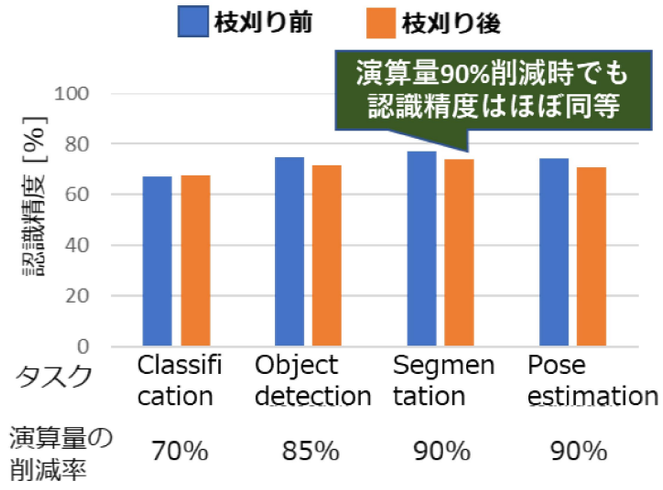
◎　大きく上回って達成、○達成、△一部未達、　×未達

成果の事例：研究開発項目①における ニュースリリース（１）

- ルネサステーマについて、NEDO事業における研究開発成果に関するニュースリリースを実施（2022/12/8にリリース）。
- 同日、記者ブリーフィングを実施。
- 枝刈りに関する研究成果であり、演算量を90%削減した場合でも、認識精度の低下は３%程度であることを確認。
- 従来技術の10倍である、10TOPS/Wの電力効率を達成。

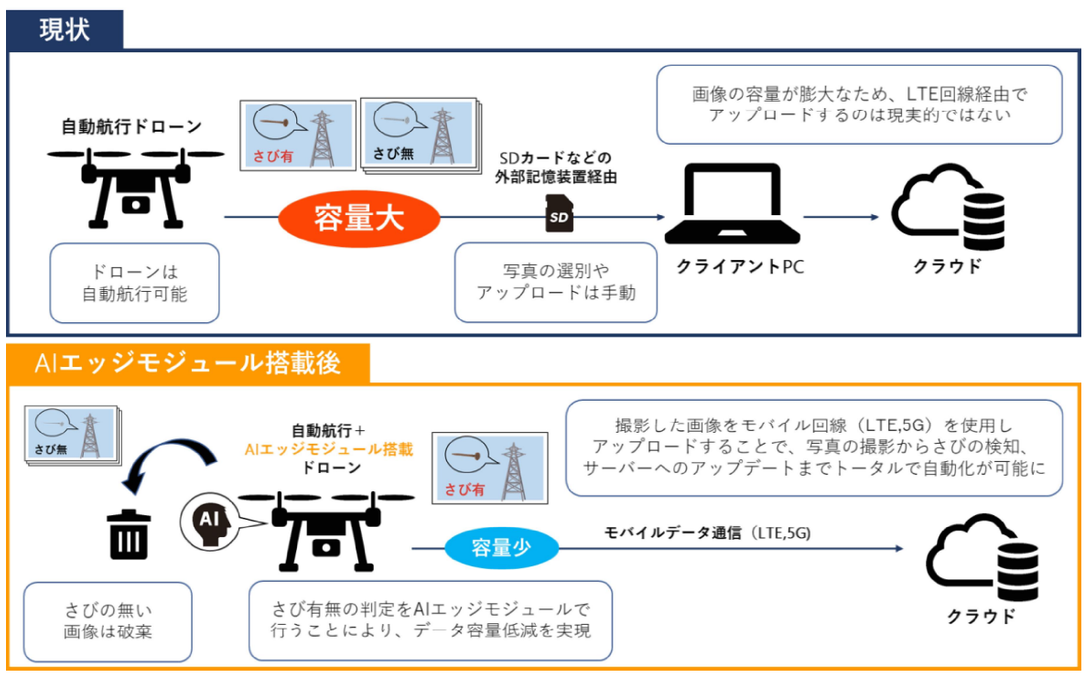


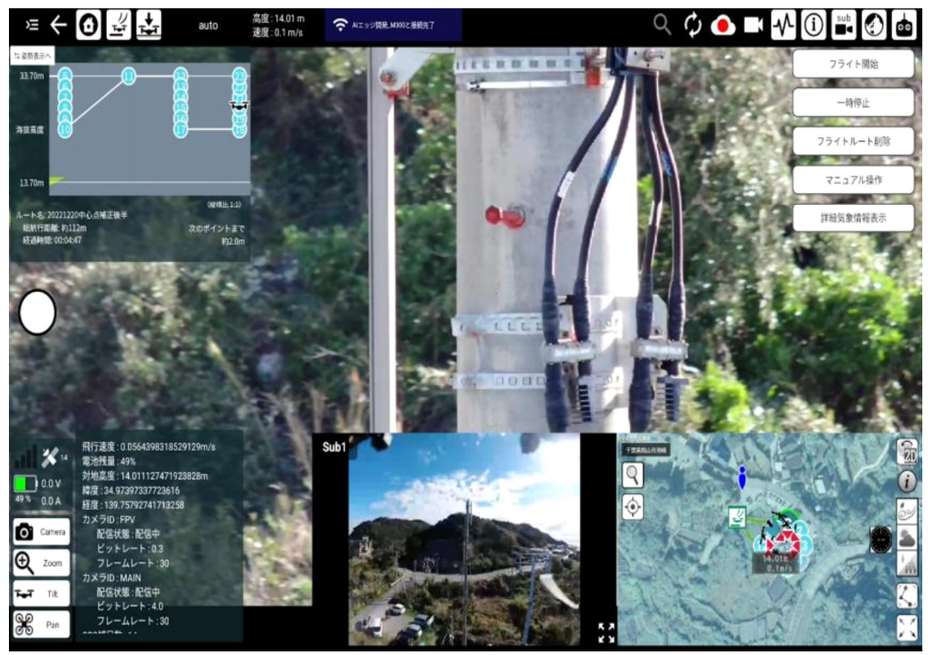




成果の事例：研究開発項目①におけるニュースリリース（２）

- KDDIテーマについて、NEDO事業における研究開発成果に関するニュースリリースを実施予定（2023/3/22にリリース）。
- 量子化技術の開発により、AIモデルのパラメータサイズを86%軽量化、精度劣化を3.6%に抑えることに成功。
- 軽量化モデルを搭載したドローンによりフライト実証を実施し、リアルタイムでの鉄塔のさびが検知、エッジ・クラウド間のリアルタイム映像伝送を検証。





報告内容

1．意義・アウトカム（社会実装）達成までの道筋

(1)本事業の位置づけ・意義
(2)アウトカム達成までの道筋
(3)知的財産・標準化戦略

2．目標及び達成状況

(1)アウトカム目標及び達成見込み
(2)アウトプット目標及び達成状況

3．マネジメント

(1)実施体制
(2)受益者負担の考え方
(3)研究開発計画

個別事業の採択プロセス

エッジにおけるAI処理を実現するための小型かつ省エネながら高度な処理の能力を持った専用チップ及びコンピューティング技術等を開発することを目的とし、情報提供依頼（RFI）を実施。その結果、(A)～(F)を開発課題として設定。その後、全３回の公募の結果、13のテーマを採択し、研究開発を実施。

【公募】
- 第１回：2018/4/20～2018/6/5
- 第２回：2018/9/3～2018/10/3
- 第３回：2020/4/3～2020/5/18

取組区分＼実現区分	既存ハード	新アーキテクチャ	新デバイス
1．専用チップ（AIアクセラレータ、SoCの開発）	CPU・FPGA等 ※開発対象外	(B) リコンフィギュラブルデバイスによるコンピューティング技術：ルネサス、PFN (E) 多数の分岐ノードを有するAIアルゴリズム処理を高性能化するコンピューティング技術：エヌエスアイテクス、東京大学	(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術：NEC
2．コンピューティング技術（OS、コンパイラ、ツール等、開発環境の開発）		(C) 演算処理量の軽量化を実現するAI組込みコンピューティング技術：ソシオネクスト、沖、KDDI、フィックスターズ (D) エッジコンピューティング向けリアルタイムソフトウェア制御技術：イーソル (F) エッジデバイスのセキュリティ技術及びその評価技術：イーソル	
3.セキュリティ基盤（エッジ向けセキュリティ）		TRASIO、産総研	

予算及び受益者負担

◆予算

研究開発項目		2018年度	2019年度	2020年度	2021年度	2022年度	合計
研究開発項目① 革新的AIエッジコンピューティングの開発	委託 100%	2,307	4,427	4,292	3,685	2,497	17,207

（単位：百万円）

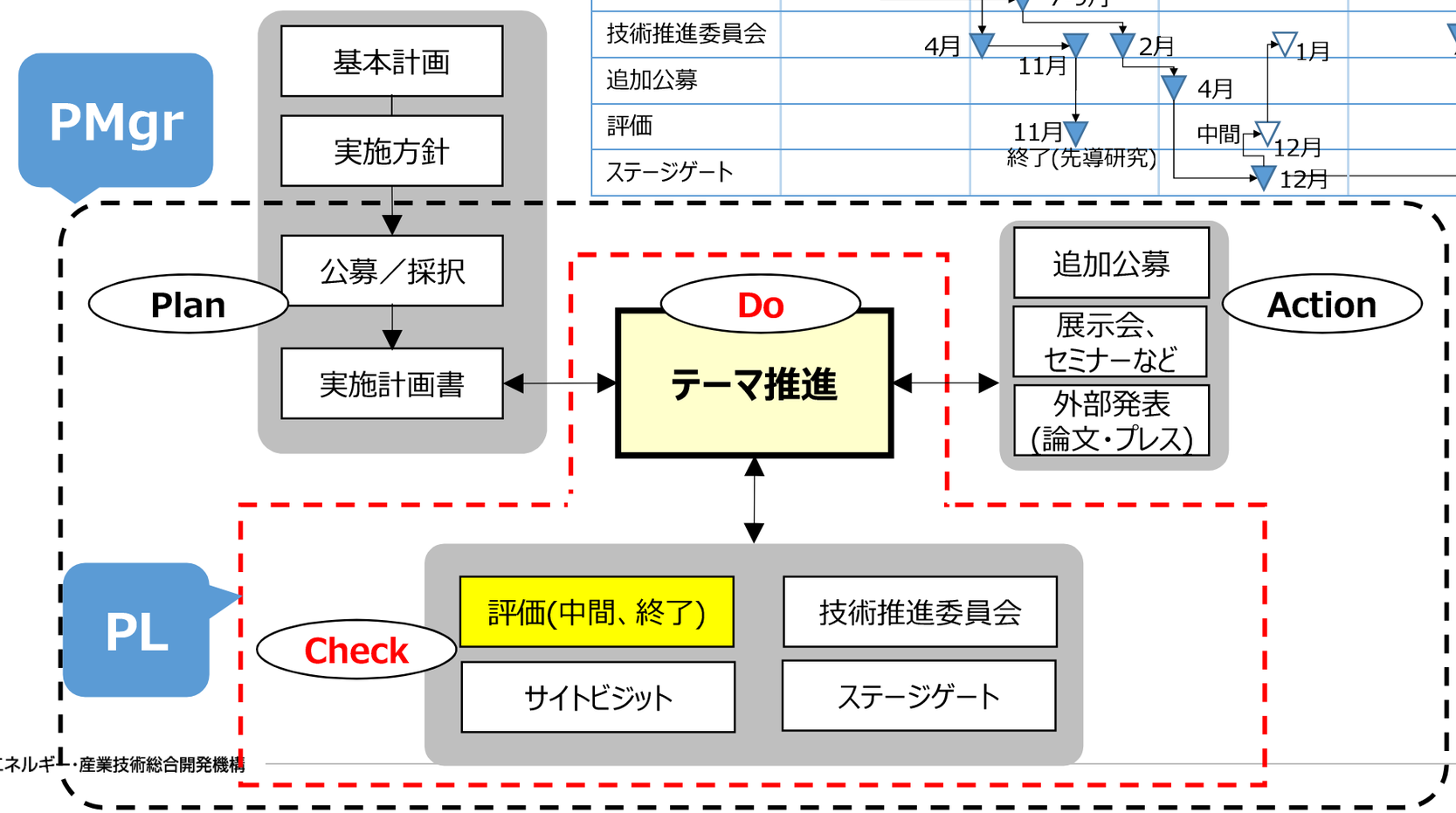
◆委託（及び/または）補助事業の理由

本事業は、次世代の情報産業を担う基盤技術かつハイリスクハイリターンな技術の開発として国が支援するものであり、100%NEDO負担の委託事業として実施する。

進捗管理

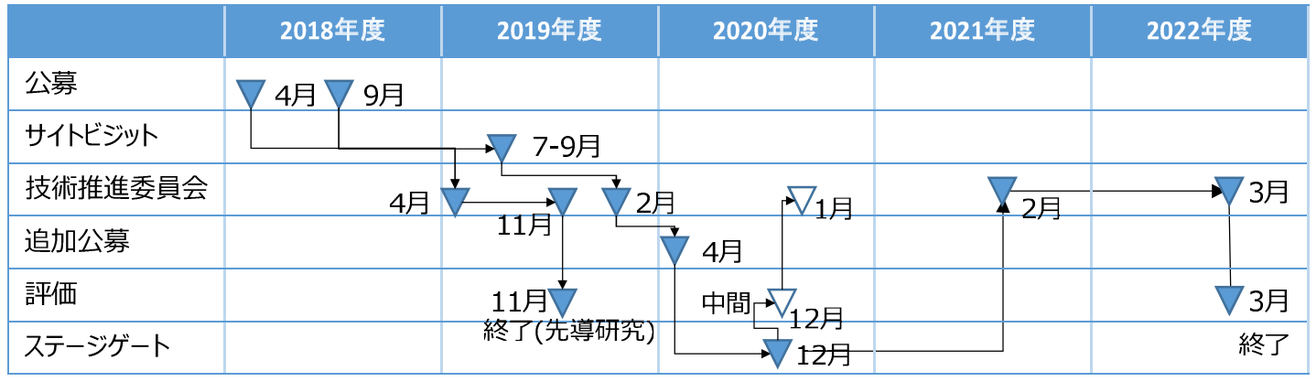
PMgr,PLにて役割分担並びに連携しながら、
プロジェクト推進のマネジメント支援を実施。

	2018年度	2019年度	2020年度	2021年度	2022年度
公募	4月 9月				
サイトビジット		7-9月			
技術推進委員会		4月 11月	2月	1月	2月 3月
追加公募			4月		
評価		11月 終了(先導研究)		中間 12月	3月
ステージゲート			12月		終了



進捗管理

・研究開発の推進、方針および予算配分の見直しなどについて、各種マネジメント・イベントを実施。
・2018年度～2020年度は、プロジェクトを実施するための**体制構築**や実用化・事業化のもととなる**研究開発**を実施。
・2021年度～2022年度は、**実用化・事業化をより意識した研究開発**を実施しつつ、**社会実装に向けた計画のブラッシュアップ**を実施。技術推進委員会にて**実用化・事業化に重きを置いた**報告・助言を実施。



マネジメント・イベント	内容	効果・成果
サイトビジット	各テーマの**研究現場訪問**し、進捗確認・意見交換。	直近の進捗状況、課題の認識、出口イメージなど実際の研究開発者と活発に議論。
技術推進委員会	各テーマの成果、実用化に向けた取り組みの審議。	政府予算に応じ来年度予算査定 有識者から実用化、事業化に向けた助言
追加公募	誰もが使いやすい組み込みシステム向けRISC-Vのソフトウェアスタック群の研究開発に関する追加公募を実施。	公募の目的と合致した事業者を選定。 本事業の更なる成果普及を図る。
ステージゲート	各テーマの研究開発成果を技術面と実用化・事業化面から審査し、方針転換や継続可否を判断。	成果に対して、**メリハリをつけた予算配分を実施。**
評価（事後、中間）	マネジメント評価、代表事業者から報告。	評価結果を基にプロジェクトの**内容、方向性を見直す。**

進捗管理：成果普及への取り組み

- 2023年7月27日に全13テーマを対象とした成果報告会を開催。
- 事業者からの成果発表、ポスター展示を実施。
- 会場、オンライン参加合計約400名が参加。





資料5-2-2

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」（中間評価）

2016年度～2027年度　12年間

研究開発項目②
次世代コンピューティング技術の開発　（公開版）

国立研究開発法人 新エネルギー・産業技術総合開発機構

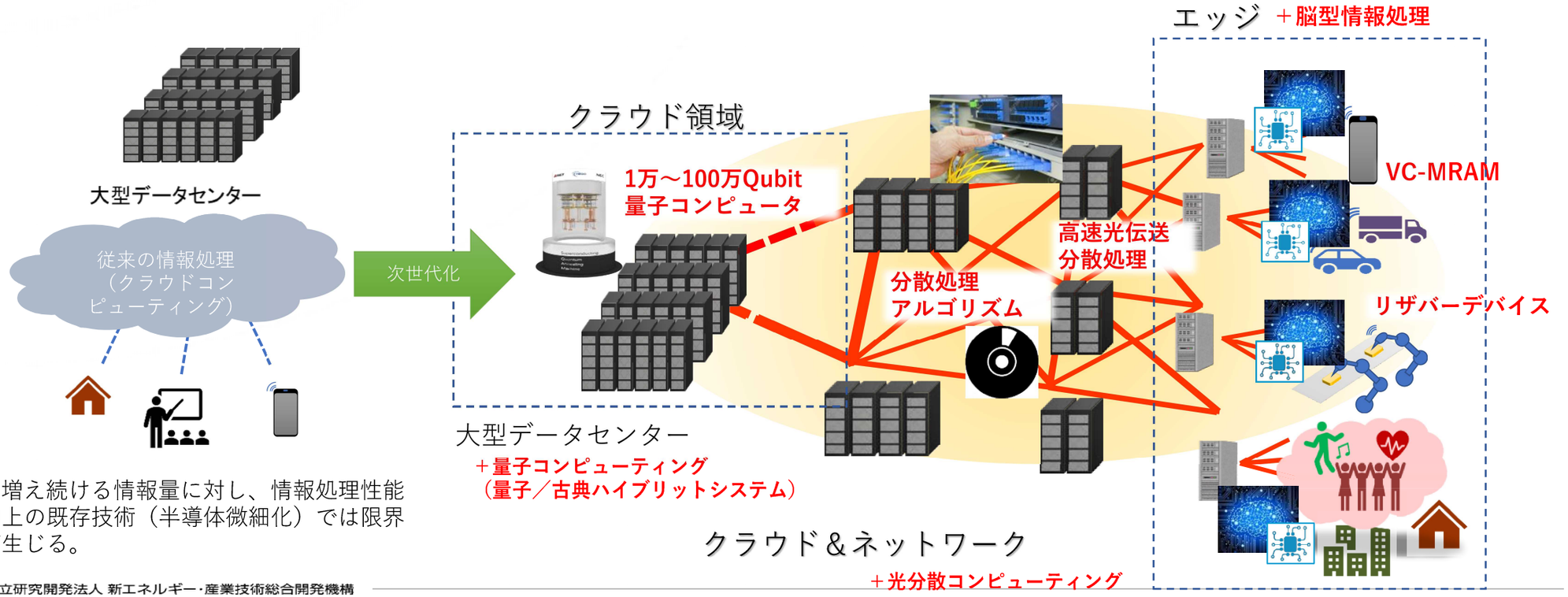
AI・ロボット部 チーム長　遠藤勇徳

研究開発項目②次世代コンピューティング技術の開発　（2018年度～最長2027年度終了）

既存の技術の延長にない、次世代コンピューティングの実現

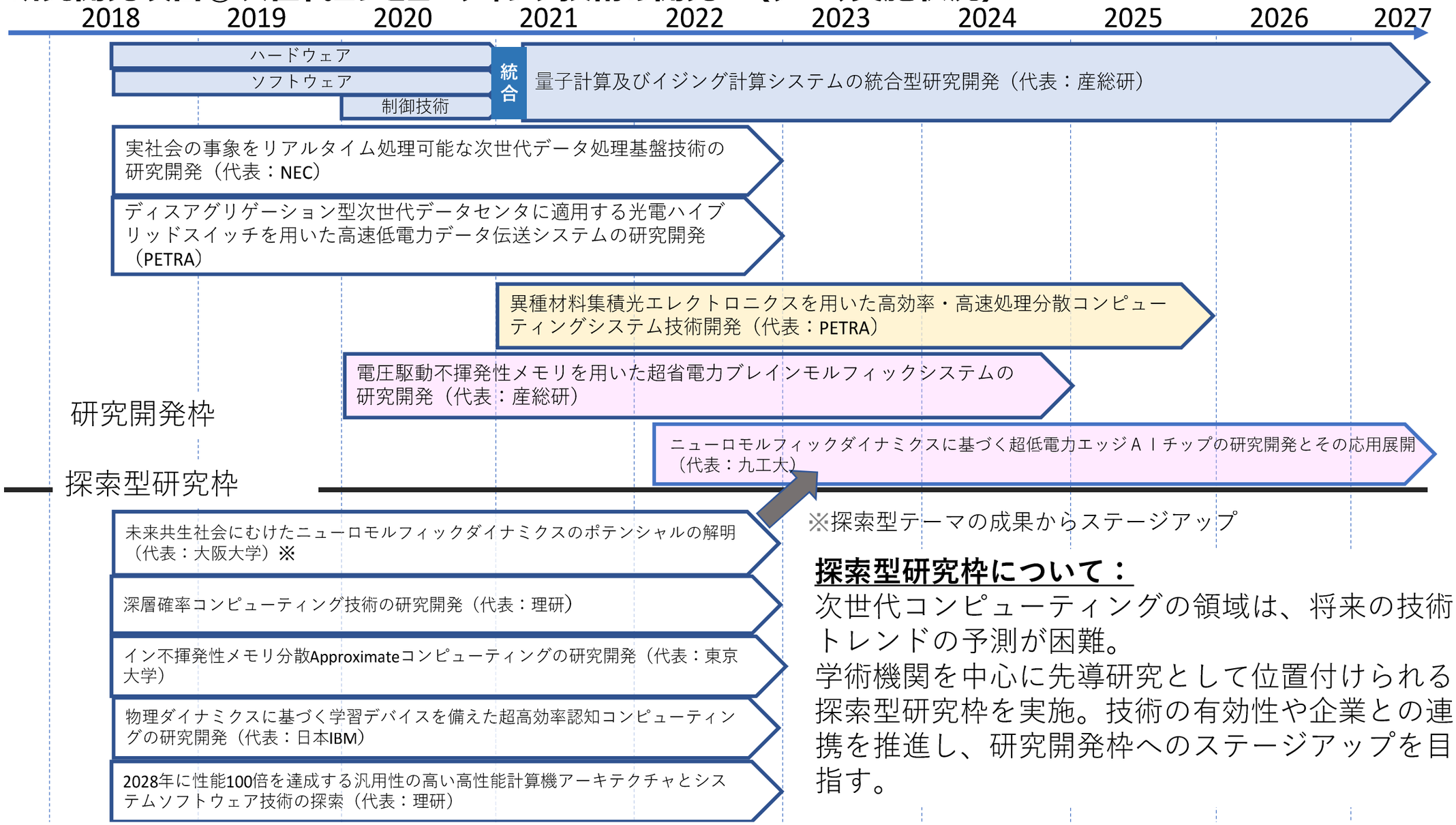
増え続ける情報量に対して、それを処理するハードウェアはムーア測の終焉に伴い、近い将来性能向上に限界を迎える。
そこで、量子コンピュータや脳型コンピューティング、光分散コンピューティング等、日本が強みを持ち、かつ既存の技術の延長ない革新的な情報処理技術の研究開発を、クラウドからエッジ、それぞれの領域において実施する。

アウトプット目標：エネルギー消費効率あるいは電力効率について、事業開始時点における同等の技術と比較し100倍以上を達成。



※増え続ける情報量に対し、情報処理性能向上の既存技術（半導体微細化）では限界が生じる。

研究開発項目②次世代コンピューティング技術の開発　（テーマ実施状況）



※探索型テーマの成果からステージアップ

探索型研究枠について：

次世代コンピューティングの領域は、将来の技術トレンドの予測が困難。
学術機関を中心に先導研究として位置付けられる探索型研究枠を実施。技術の有効性や企業との連携を推進し、研究開発枠へのステージアップを目指す。

＜評価項目２＞目標及び達成状況

（１）アウトカム目標及び達成見込み
（２）アウトプット目標及び達成状況

実用化・事業化の考え方とアウトカム目標の設定及び根拠

実用化については、当該研究開発の成果が社会的利用が可能となる段階※まで技術的な水準を確立することであり、
事業化については、実用化段階を経た研究開発成果が、知的財産（ＩＰコア等）、部品・モジュール・システム、サービス等の販売や提供により、企業活動(売り上げ等)に貢献することをいう。

※ 社会的利用が可能となる段階の例：IoTセンサやAIチップ等の試作品提供、次世代データベース、量子コンピュータ等のクラウド環境での公開など

PL指導のもと、技術推進委員会、サイトビジットなど、各種マネジメントシーンにおいて、事業終了後5年以降、あるいは早期の**実用化・事業化に向けた戦略**を徹底

実用化・事業化の考え方とアウトカム目標の設定及び根拠

ロ アウトプット目標

各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。

（電力効率で10倍～100倍以上を達成。）

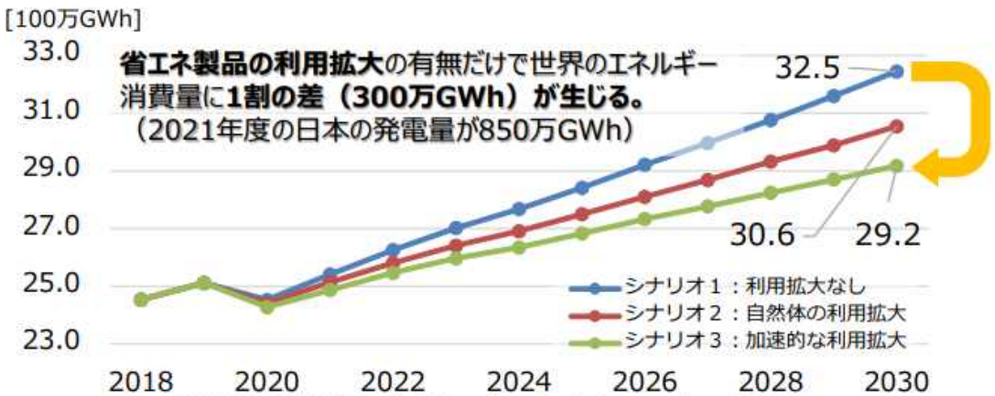
ロ アウトカム目標

想定する社会実装先（自動運転、産業機械、医療・福祉等）でのAI関連ハードウェア世界市場において、研究開発成果の一部が市場に出る**2032年に約7,500億円**、さらに成果の普及が加速する**2037年に約1.6兆円の市場獲得**し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、**2037年において約2,729万t／年のCO_2削減**を目指す



（出展）CiscoVisualNetworkingIndex:ForecastandTrends,2017–2022を基に経産省作成

世界のインターネットトラフィックの推移予想

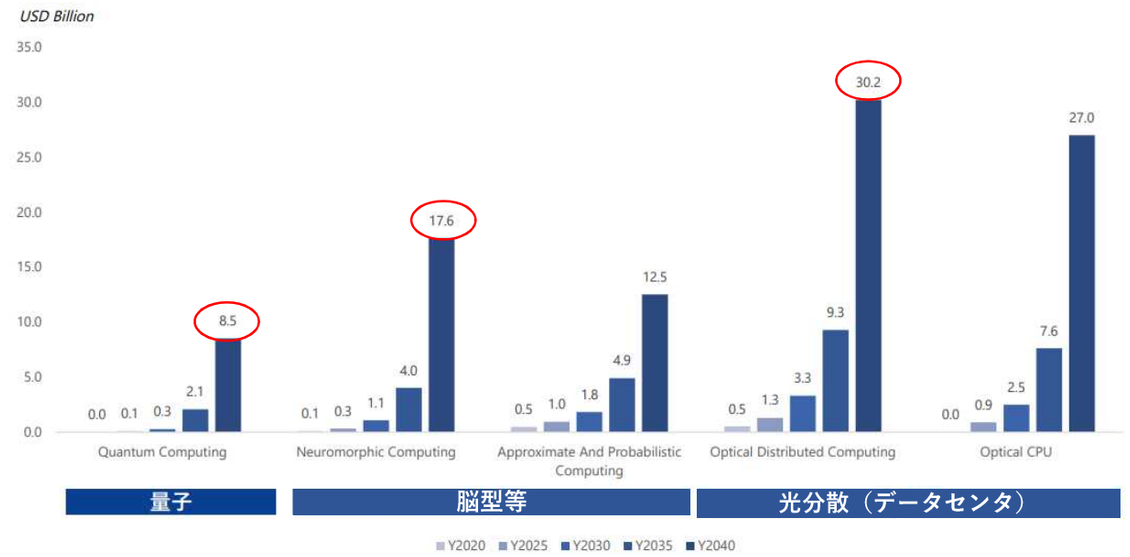


半導体を核とした省エネエレクトロニクス製品の利用拡大が世界のエネルギー消費量に与える影響

（出展）TSMCレポート：https://esg.tsmc.com/en/update/innovationAndService/caseStudy/32/index.html.
ITRIレポート：https://docs.wto.org/dol2fe/Pages/SS/directdoc.aspx?filename=q:/Jobs/RD-IT/45.pdf&Open=True

アウトカム目標の達成見込み

次世代コンピューティング市場規模（国内）



Source: Allied Market Research Report – 'Global Next-Gen Computing Market 2020-2040'、その他各種レポート等よりNRI作成

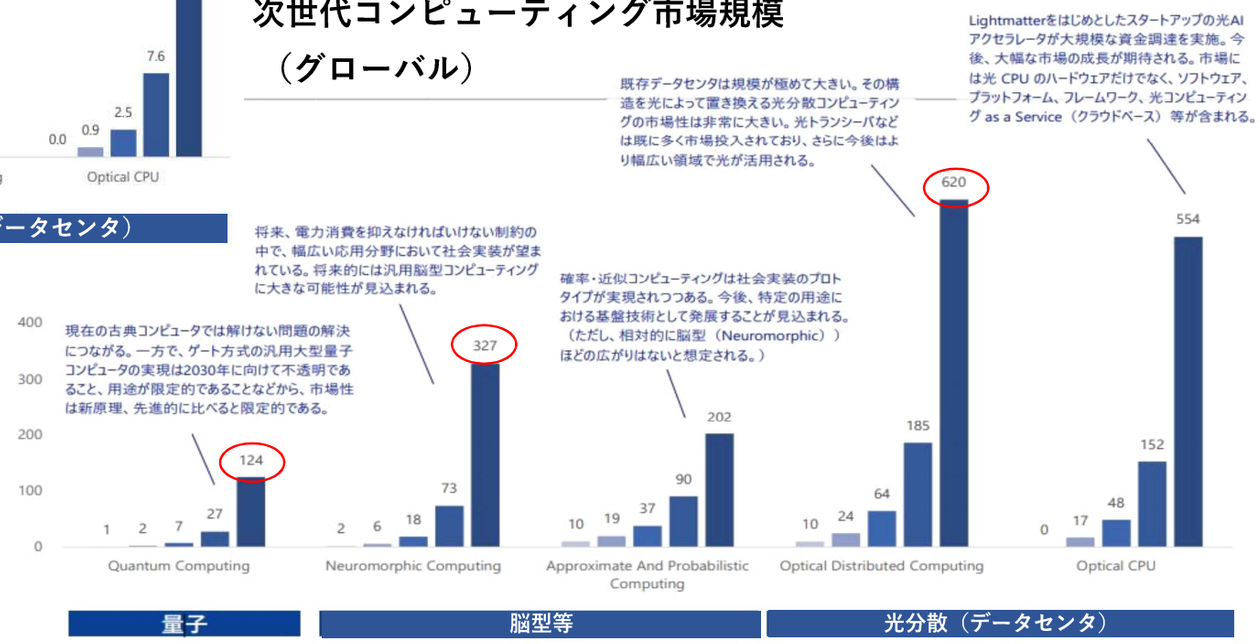
次世代領域（量子、脳型、光分散）は各領域とも国内外に強みを持つ事業者が開発を実施。

各領域で**1%以上のシェアを獲得する**ことで目達成は可能と見通す。

2030年～2040年にかけて、ターゲットとなる市場は国内、国外とも順調に拡大。
2035年：約78.9兆円、2040年：約273.9兆円

※高効率・高速処理を可能とするＡＩチップ・次世代コンピューティングの技術開発に係る技術動向調査（2022）から抜粋

次世代コンピューティング市場規模（グローバル）



Source: Allied Market Research Report – 'Global Next-Gen Computing Market 2020-2040'、その他各種レポート等よりNRI作成

費用対効果

・プロジェクト費用の総額　約769**億円**　**（2027年度までの想定総額）**

・売上予測	(2027年)	（2032年）	（2037年）
年間売上額	5,340**億円**	8,224**億円**	10,594**億円**
累計売上額	1 3,616**億円**	48,535**億円**	79,062**億円**

※売り上げ予測に関する関するイメージ

2027年：研究開発項目①の一部および③の成果が社会実装され、事業化。センサ、クラウド、セキュリティなどのIoT社会の基盤となる技術が普及。エッジコンピューティングの高度化も推進。

2032年：研究開発項目①、③の成果および②の一部の成果が社会実装され、事業化。次世代コンピューティングのうち、データセンタ向け技術などが普及。

2037年：研究開発項目①②③の成果が社会実装。ただし①③については多くが技術として枯れており、開発項目②の成果が主体。次世代のコンピューティング技術が大きなビジネス効果を発揮。

本事業における研究開発項目の位置づけ

FY2016	2017	2018 CSTI評価	2019	2020 SG審査 中間評価	2021 CSTI評価	2022 SG審査 事業見直し	2023	2024 中間評価	2025 SG審査	2026	2027	-	-
(33.0)	(47.0)	(100)	(84.9)	(94.9)	(99.8)	(100)	(49)	(48)	54	―	―	総額：769億	

目的：各時代の情報社会に求められる基盤技術を開発する。

IoT社会の拡大
（クラウドコンピューティング）
※社会の末端までITネットワークが拡大する

分散処理の実現と普及
（クラウド・エッジコンピューティング）
※エッジ側でリアルタイムの情報処理が拡大

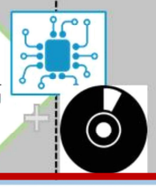
既存の技術の延長にない情報処理技術の実現
（クラウド・エッジコンピューティング）

③高度なIoT社会を実現する横断的技術開発
（旧：IoT推進のための横断技術開発）
例：スマートセンシングシステム、新技術によるストレージデバイス、セキュリティシステムなど。


自動走行

半導体微細化、
専用チップとソフトウェア
組込AI技術、等

①革新的AIエッジコンピューティング技術の開発
例：自動運転、ロボット技術、医療、音声認識等各種エッジ領域の高度化技術。




FA、IoT

目指す社会像
Society 5.0
快適、活力、質の高い生活を実現する社会
・AIの実社会への浸透・進化
・人間能力の拡張(ロボティクス、XR)

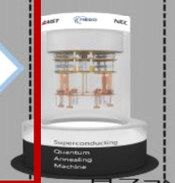
半導体微細化によらない
性能向上
を可能とする各種技術

②次世代コンピューティング技術の開発　（最長2027年度終了）
②-1　量子関連コンピューティング
②-2　新原理コンピューティング（例：脳型、次世代データセンタなど）
②-3　先進的コンピューティング（例：光分散コンピューティングなど）

※探索型研究枠で先導的な研究開発を最長2022年度まで実施

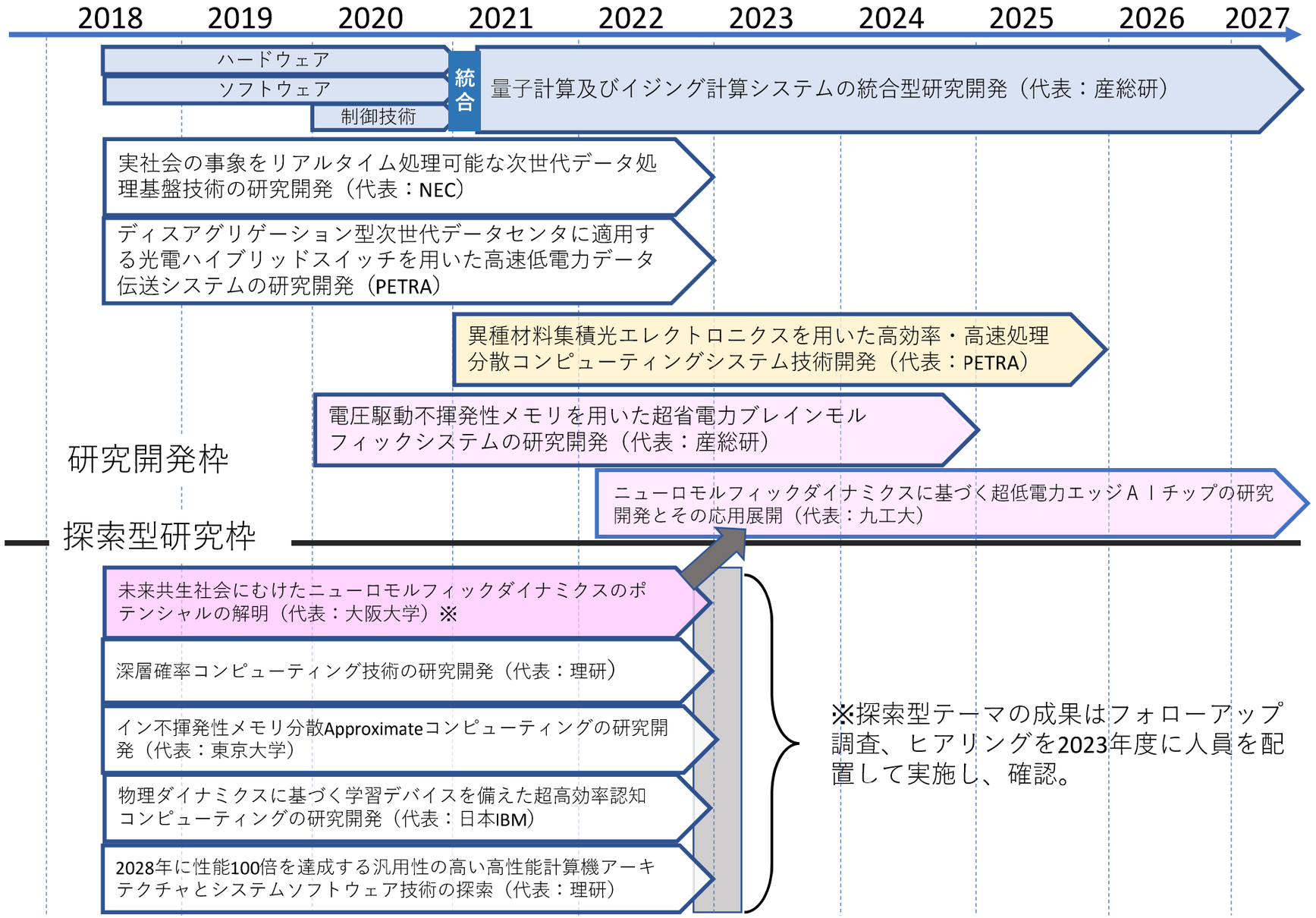





量子コンピュータ

世界の情報量：2015年　8.5ZB　　2020年　40ZB　　2025年　175ZB

2. 目標及び達成状況 （2）アウトプット目標及び達成状況



アウトプット（中間）目標の設定及び根拠

研究開発項目名	目標	成果	達成度 2020	達成度 2022～2023	今後の課題、解決方針
②次世代コンピューティング技術の開発	＜中間目標（2022年度）＞ 開発成果を組み込んだ要素技術に係る検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100倍以上となる見込みを示す。 ※探索型研究枠については、100倍以上となる可能性を示す。	**2018年度** 本研究開発項目の実施体制を構築すべく、情報提供依頼（RFI）の結果や政策的観点から以下の重点課題例を設定し、公募を実施した。結果、研究開発枠4テーマ、探索型研究枠5テーマを採択し、研究開発に着手した。 ※2020年度～2022年度にかけて、先導研究や探索型研究枠の成果に加え、国の戦略として重要とされる領域に関して拡充する公募を実施。研究開発枠に4件のテーマを採択した。 **2022年度** 各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認した。年度途中には、加速によるシンポジウムの開催を実施するなど、研究開発のみならず、関連技術の認知度向上やユーザーニーズ把握のための活動を実施。	○	○	技術推進委員会での指摘事項、進捗状況を踏まえた事業への加速・減額を実施し、目標達成に向け、推進する。

達成度：◎　大きく上回って達成、○達成、△達成見込み(中間)／一部達成(事後)、　X未達

２．研究開発成果　　次世代コンピューティング技術の開発　※研究開発枠　アウトプット目標達成見通し

テーマ名		代表事業者	研究開発項目	2022～2023年度達成状況説明	
実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発		日本電気株式会社	OLTPおよびOLAPの高速化や統合などの基礎研究	○	予定通り目標を達成見込み。
			実行エンジンの開発などの実用化研究	○	予定通り目標を達成見込み。
			災害発生後対策への活用やe-Scienceへの適用などの実証研究	○	予定通り目標を達成見込み。
超電導パラメトロン素子を用いた量子アニーリング技術の研究開発	量子計算及びイジング計算システムの統合型研究開発 **※2021年度から3テーマを1テーマに統合して実施**	日本電気株式会社	高コヒーレンス超電導パラメトロンアニーリング素子の研究開発	△	一部開発に遅れがあり、2024年度にかけて達成見込み。
			多ビット化を支える3次元実装技術の研究開発	○	予定通り目標を達成見込み。
			多体相互作用の高効率な表現方法の研究開発	○	予定通り目標を達成見込み。
超伝導体・半導体技術を融合した集積量子計算システムの開発 **※2020年度追加公募から事業を開始**		産業技術総合研究所	量子アニーリング機構の設計最適化技術に関する研究開発	○	予定通り目標を達成見込み。
			量子磁束回路を用いた量子ビット用制御・読出し回路の研究開発	○	予定通り目標を達成見込み。
			量子ダイナミクスの高速並列シミュレーションによる量子アニーリングの性能評価の研究開発	○	予定通り目標を達成見込み。
			半導体量子・古典イン ターフェースの研究開発	○	予定通り目標を達成見込み。
イジングマシン共通ソフトウェア基盤の研究開発		早稲田大学	イジング計算共通ソフトウェア基盤の研究開発	◎	予定通り目標を達成見込み。 ※成果をスピンオフし、早期の事業化を達成。
			イジング計算アプリケーションの研究開発	○	予定通り目標を達成見込み。

テーマ名	代表事業者	研究開発項目	2022～2023年度達成状況説明	
実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発 ※2022年度で研究開発期間満了	日本電気株式会社	OLTPおよびOLAPの高速化や統合などの基礎研究	◎	予定通り目標を達成し、成果を公開
		災害発生後対策への活用やe-Scienceへの適用などの実証研究	○	予定通り目標を達成見込み。
		実行エンジンの開発などの実用化研究	◎	予定通り目標を達成し、成果を公開
ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発 ※2022年度で研究開発期間満了	光電子融合基盤技術研究所	コントロールシステムと光スイッチシステムアーキテクチャの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
		光ToRスイッチの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
		光コアスイッチの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
		国際標準化	○	予定通り目標を達成見込み。
		光電ハイブリッドスイッチシステム実証	○	予定通り目標を達成見込み。
異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発 **※2021年度追加公募で採択（NEDOエネルギー環境先導プログラムの成果を活用）**	光電子融合基盤技術研究所	異種材料集積プラットフォーム技術を利用した大規模光集積デバイスの研究開発	○	予定通り目標を達成見込み。
		10 Tbps級低消費電力光トランシーバ技術の研究開発	○	予定通り目標を達成見込み。
		コンピューティング融合多方路エラスティックネットワーク技術の開発	○	予定通り目標を達成見込み。
		分散コンピューティングシステム動作基盤の構築に関する技術開発	○	予定通り目標を達成見込み。
ニューロモルフィックダイナミクスに基づく超低電力エッジＡＩチップの研究開発とその応用展開 **※2022年度追加公募で採択（探索型研究枠からのステージアップ）**	九州工業大学	デジタルESN型レザバープロセッサ開発とシステム化及び応用展開	○	予定通り目標を達成見込み。
		レザバーチップとその応用	○	予定通り目標を達成見込み。
		アナログAIチップ開発	○	予定通り目標を達成見込み。
		AIチップ応用探索	○	予定通り目標を達成見込み。
電圧駆動型不揮発性メモリを用いた超省電力ブレインモルフィックシステムの研究開発 **※2020年度追加公募で採択**	産業技術総合研究所	脳型記憶処理モデルの開発	○	予定通り目標を達成見込み。
		脳型記憶処理回路・アーキテクチャ の開発	○	予定通り目標を達成見込み。
		VC-MRAMのための電圧制 御MTJ素子の新材料開発	○	予定通り目標を達成見込み。
		電圧制御MTJ素子のメモリ 応用技術開発	○	予定通り目標を達成見込み。

２．研究開発成果　　次世代コンピューティング技術の開発　※探索型研究枠　アウトプット目標達成状況

テーマ名	代表事業者	研究開発項目	2022～2023年度達成状況説明	
未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明	大阪大学	身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成	○	予定通り目標を達成。
		ニューロモルフィックデバイスの探索	○	予定通り目標を達成。
		ロボカップ@ホームによる脳型アーキテクチャの実証実験	○	予定通り目標を達成。
深層確率コンピューティング技術の研究開発	理化学研究所	深層確率コンピューティングに適した計算アルゴリズムの研究開発	○	予定通り目標を達成。
		確率プログラミング言語の研究開発	○	予定通り目標を達成。
		深層確率コンピューティングに適したハードウェアシステムの開発	○	予定通り目標を達成。
イン不揮発性メモリ分散Approximateコンピューティングの研究開発	中央大学（東京大学）	Approximateメモリ	○	予定通り目標を達成。
		Approximate分散処理	○	予定通り目標を達成。
		Approximateアクセラレータ	○	予定通り目標を達成。
		Approximateネットワークプログラミング	○	予定通り目標を達成。
2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	理化学研究所	2028年ポストムーア時代の100倍の性能向上を示す性能モデリング及びシミュレータ環境	○	予定通り目標を達成。
		データフローによる特化型計算のための非ノイマン型計算機構とプログラミングモデル	○	予定通り目標を達成。
		メモリアーキテクチャ革新に対するシステムソフトウェア技術	○	予定通り目標を達成。
		新計算原理に基づく高性能プログラミングモデルと実装技術に関する研究	○	予定通り目標を達成。
物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	日本アイ・ビー・エム株式会社	物理リザバーの数理・アルゴリズムの研究開発	○	予定通り目標を達成。
		レーザ・リザバー・デバイス設計技術の研究開発	○	予定通り目標を達成。
		スピン・リザバー・デバイス設計技術の研究開発	○	予定通り目標を達成。
		物理リザバーのコンポーネント化の研究開発	○	予定通り目標を達成。
		物理リザバー・コンピューティングのミドルウェアの研究開発	○	予定通り目標を達成。
		物理リザバー・コンピューティングのアプリケーションの研究開発	○	予定通り目標を達成。

研究開発枠にステージアップ

研究開発成果の副次的成果等

量子C共通ソフトウェア開発の成果を用いた早期の事業化を実施。4000万回以上の利用。（量子戦略の目標達成）
当該ソフトを活用したコンテストを開催。中学生が最優秀賞を受賞。





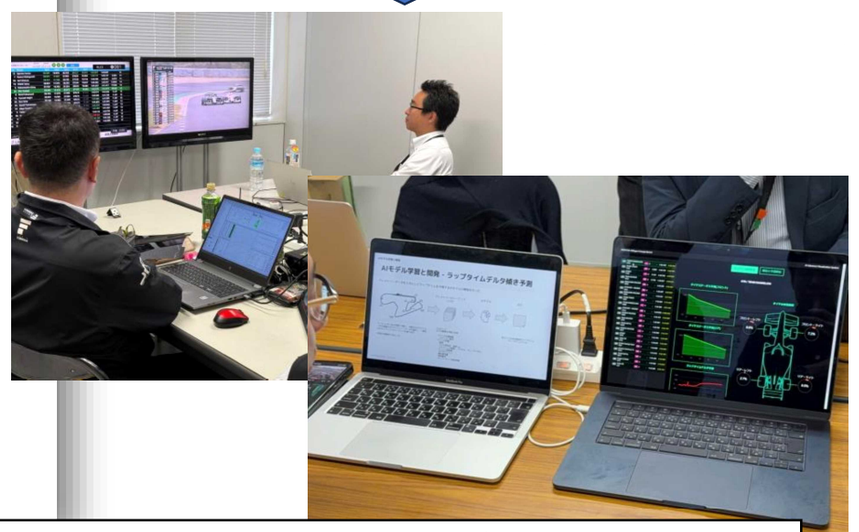


2022年度 Fixstars 開催のコンテスト（ハッカソン）

研究開発成果の副次的成果等（２）



光分散Cの領域での事例：
次世代型RDBMSとして、世界最速の処理速度を達成したシステム「劔“Tsurugi”」をオープンソースとして公開（2023年7月～）



国内最高峰の自動車レース・スーパーフォーミュラでのテレメトリー管理、AIによる戦略最適化、順位予測等に活用。

研究開発成果の副次的成果等（3）

Hibikino-Musashi@Home

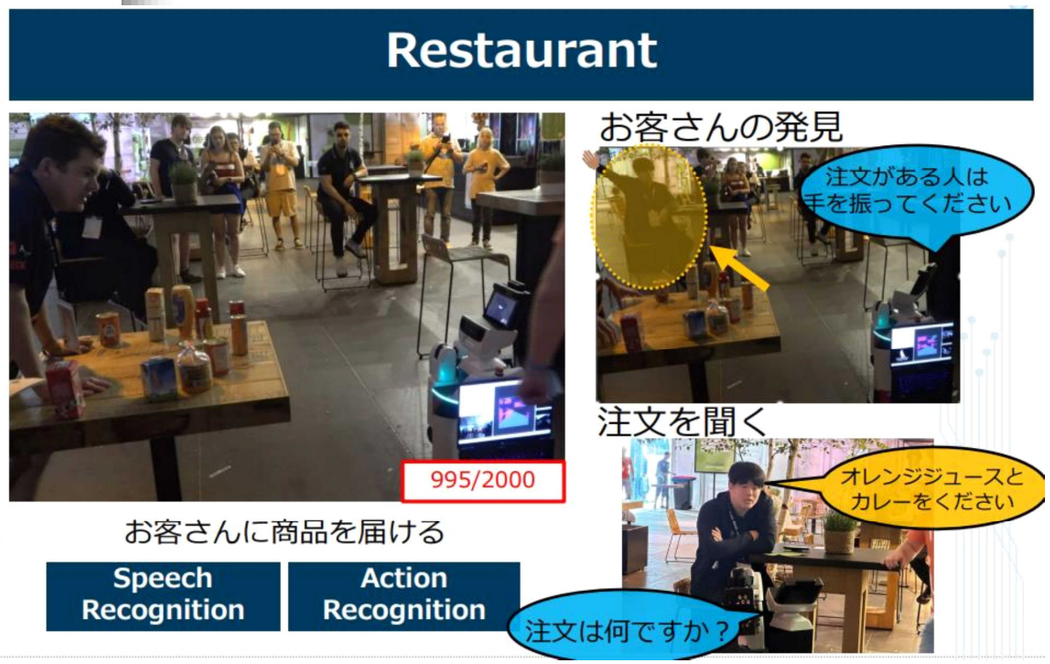
世界大会 優勝



Hibikino-Musashi@Homeは
ホームサービスロボットの開発を行う学生プロジェクトグループ

脳型Cの領域での事例：

Robo Cup 2024 Endiohovenにおいて、本事業の事業者である九州工業大学らが、開発中のレザバーコンピューティング技術を搭載したロボットで 優勝。



※ロボット競技の例

＜評価項目３＞マネジメント

（１）実施体制
（２）受益者負担の考え方
（３）研究開発計画

NEDOが実施する意義

【研究開発項目②】次世代コンピューティング技術の開発（2018～2027）

■ムーアの法則が終焉を迎えつつあるなか、中長期的な視点で技術動向を見ると、既存技術の延長にない、全く新しい発想でのハードウェア、ソフトウェアの技術確立が必要となることは明らか。

■量子コンピューティング、脳型コンピューティング、光コンピューティングなどの次世代の技術確立に向けた研究開発は、国際的にも競争が加速しつつある。

■高いリスクを伴う、次世代の技術確立については、国策としての後押しが重要。オールジャパン体制の構築が求められる。

NEDOが関与し、国策として推進することが重要

実施体制

PL、PMgrのアサインだけでなく、専門性に特化した有識者会議を領域ごとに組織。
そのほか、事業者と連携し研究開発成果を最大化させる取り組みを実施。



予算及び受益者負担

◆予算（過去については実績でも可）　　※単位：百万円

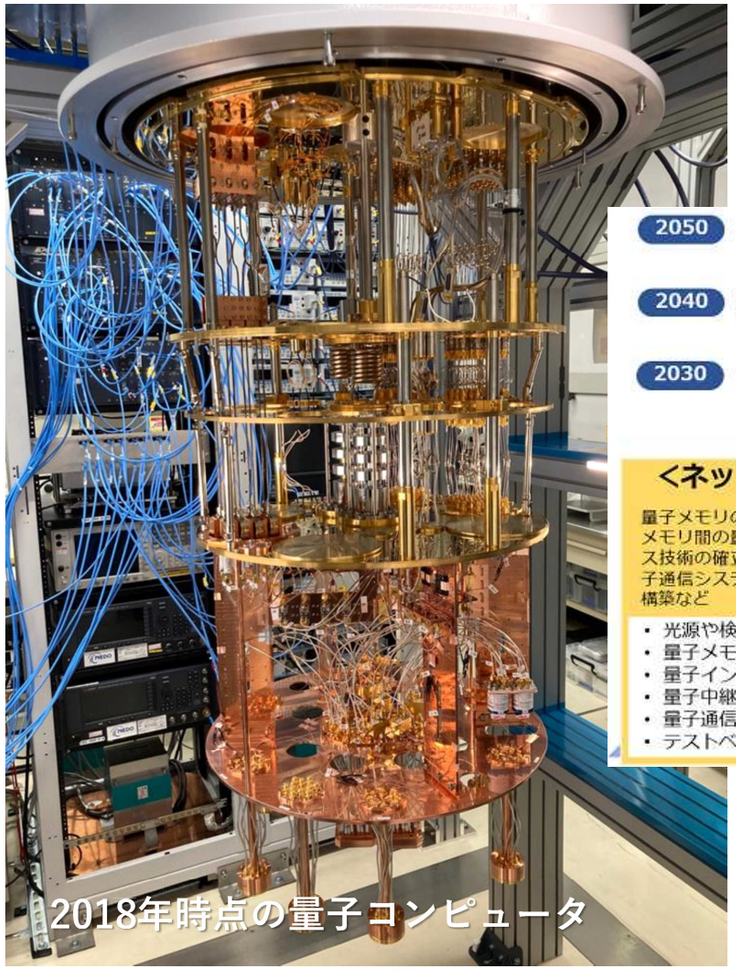
主な実施事項	2021fy	2022fy	2023fy	2024fy	総額
研究開発項目①					
革新的AIエッジコンピューティング技術の研究開発	3,669	2,495	-	-	6,164
研究開発項目②					
次世代コンピューティング技術の研究開発	5,729	6,739	4,924	5,598	22,990
その他					
技術動向調査など	290	222	20	53	585
事業費	2021fy	2022fy	2023fy	2024fy	総額
会計（特別）	9,980	10,046	4,900	4,800	29,726
追加予算・繰り越しなど	1,648	1,916	725	798	

（単位：百万円）

◆委託事業の理由

本事業は委託事業であり、次世代の情報産業を担う基盤技術かつハイリスクハイリターンな技術の開発として国が支援するものであり、100%NEDO負担で実施する。

目標達成に必要な要素技術（例：量子コンピュータ）



次世代コンピュータの実現には、機器本体だけでなく周辺技術を含め様々な課題の解決とが必要

2050　大規模化を達成し、誤り耐性型汎用量子コンピュータの実現

2040　分散処理型NISQ量子コンピュータの実証　量子誤り訂正下での有用タスク計算

2030　一定規模のNISQ量子コンピュータの開発と量子誤り訂正の有効性実証

<ネットワーク>

量子メモリの開発、光子と量子メモリ間の量子インターフェイス技術の確立や量子中継器・量子通信システム・テストベッド構築など

- 光源や検出器
- 量子メモリ
- 量子インターフェイス技術
- 量子中継器
- 量子通信システム
- テストベッド構築

<ハードウェア>

量子誤り訂正システムの設計・実装、量子ビット・量子ゲート基盤の確立など

ステージゲート
実現可能性・将来性のある物理系を見極める

超伝導 | イオントラップ | 光量子 | 半導体 | 原子 | など

<ソフトウェア>

○理論・ソフトウェア
○誤り訂正システム

低オーバーヘッド量子誤り訂正符号や量子アルゴリズム、誤り訂正システムの開発など

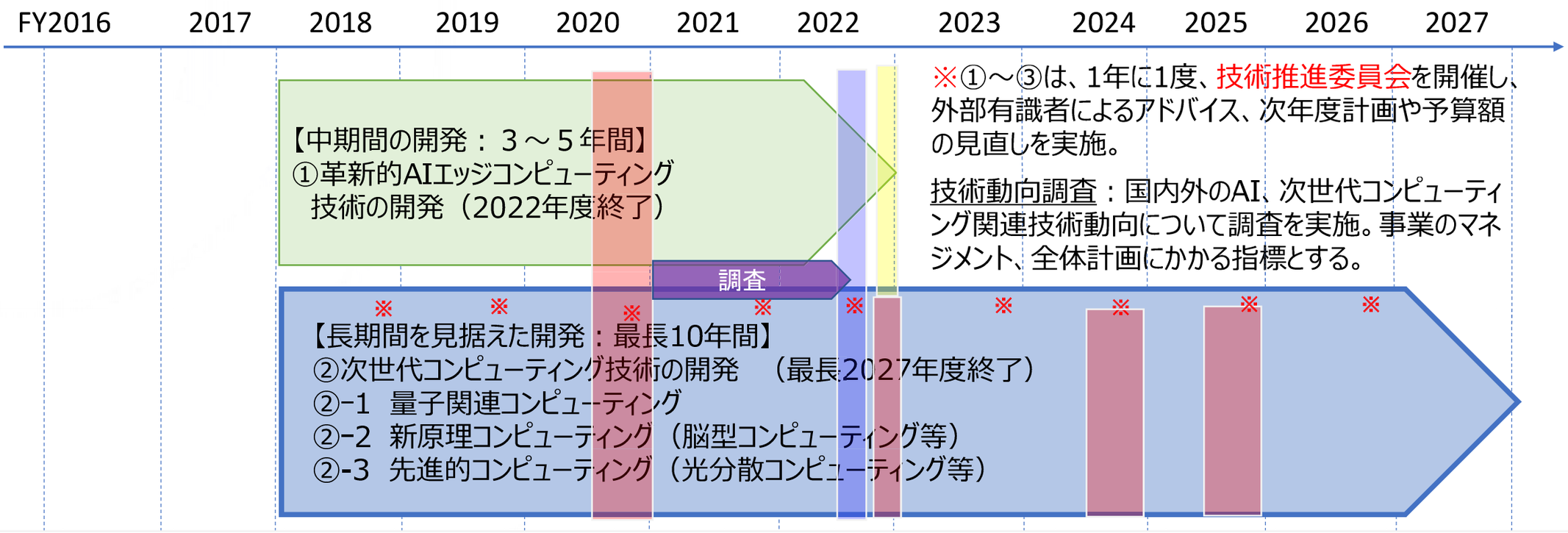
- 量子誤り訂正理論
- ミドルウェア、コンパイラー
- アルゴリズム、アプリケーション
- 誤り訂正システム

周辺技術・要素技術を含め
総合的な開発を実施



2030年以降の量子コンピュータ（予想）

研究開発のスケジュール



ステージゲート審査：　研究開発の継続可否判断。次年度以降の研究計画や体制の見直しを行う。

事業見直し：　長期的な開発を行うに当たり、研究開発成果に加え、社会情勢や技術動向などを考慮し、2022年度以降開発を継続する技術分野を判断する。（調査と合わせて外部有識者委員会を開催し、PJの方向性を議論）

事業見直しに伴う公募：　事業見直しを経て継続すべきと判断された技術課題、新たに実施すべきと判断された技術課題について、新制度のもとで公募を行いテーマを募集する。

進捗管理：委員会の開催など

専門性に特化した委員会を組織するなどし、日々変化する情報産業の動向に対応

会議名	主なメンバー	対象・目的	頻度	主催
NEDO技術推進委員会	• 外部有識者 • PL、SPL、PMgr、PT	• 各研究開発項目ごとに設置し、個別の技術開発の進捗状況等について外部有識者が確認　**※量子、脳型、光分散、の分野ごとに組織**	• 研究開発項目ごとに年に１～２回	NEDO
ステージゲート審査委員会	• 各コンソの実施者 • PL、SPL、PMgr、PT	• プロジェクトの継続可否、目標の大幅な見直しなどに対して外部有識者が評価、確認　**※量子、脳型、光分散、の分野ごとに組織**	• ３に１回	NEDO
知財運営委員会	• 知財運営委員会のメンバー	• 研究開発の成果についての権利化・秘匿化等の方針決定や実施許諾に関する調整を行う。知財に係る進捗管理を実施	• 年に１回	実施者
技術会議	• NED（PMgr）、事業者 • 必要に応じて外部有識者	• プロジェクトを共同で実施する事業者が、成果や進捗を共有する会議。	• 年に複数回	実施者
事業化推進会議	• 事業者、外部有識者	• プロジェクトを共同で実施する事業者が、成果最大化と早期事業化を目指して成果や進捗を共有する会議。	• 年に複数回	実施者
アドバイザリーボード	• 事業者、外部有識者、NEDO（PMgr）	• プロジェクトを共同で実施する事業者が、成果最大化と早期事業化を目指して想定ユーザー等に成果や進捗を共有する会議	• 年に複数回	実施者
NEDO内会議	• PMgr、PT	• PMgr等のNEDO内関係者で定期的にプロジェクト全体の進捗を確認し、今後の方向性を議論	• 月に４回	NEDO

進捗管理：前回の中間評価結果への対応

評価結果：

事業の位置づけ・必要性：評価Ａ（非常に重要）

研究開発マネジメント：評価Ｂ（良い）

研究開発成果：評価Ｂ（良い）

成果実用化に向けた取り組み：評価Ｃ（概ね妥当）

評価コメント：

・研究開発項目①、②とも、ＮＥＤＯとして世界的な技術潮流に関する情報収集や、将来の市場獲得に向けた方策を検討、拡充する必要があることが求められた。
・事業化の観点からみた優位性検討と目標の見直し、テーマの取捨選択や整理統合を、適宜行うことにより、選択と集中を加速すること。
・研究開発項目②に関しては、人材育成やユーザーとなりうる事業主体とのコミュニケーションの場を形成する必用についても求められた。

前回の中間評価結果に対する対応

世界的な技術潮流に関する情報収集：

技術動向調査、及び知財戦略調査を実施。（②において調査は領域ごとに継続して実施中。）

得られた情報を事業者にフィードバックするとともに、優位性検証や開発領域の選択と集中を合わせて実施した。

将来の市場獲得に向けた方策：

研究開発項目②

ユーザー企業との関係構築：

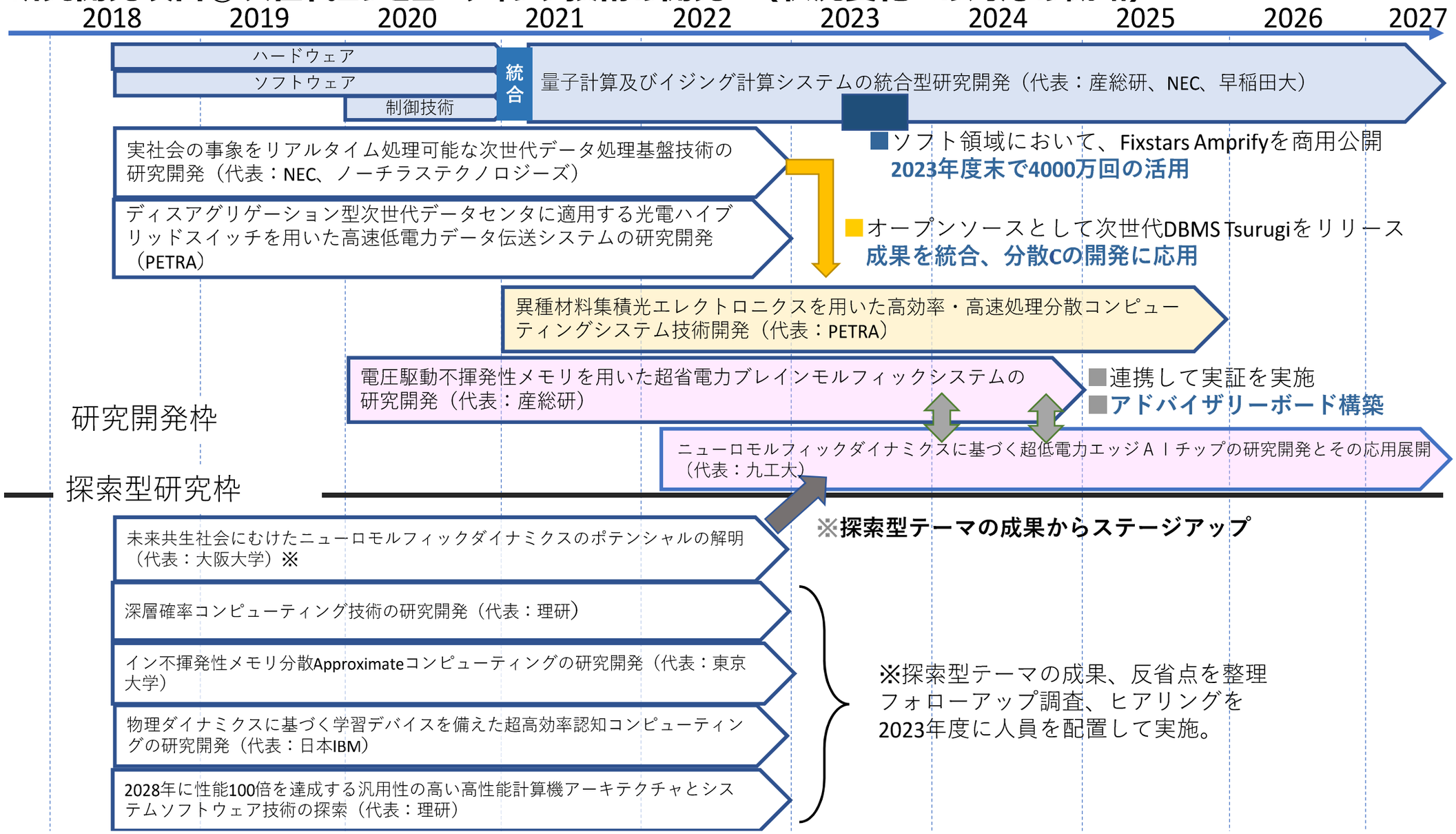
・量子コンピューティング：国内外の企業との共同研究を調整。

・脳型コンピューティング：脳型チップ、アルゴリズムのユーザーとなりうる事業者を集めたアドバイザリーボードを開催。

・光分散コンピューティング：2024年度から100km圏内のデータセンタによる分散情報処理の実証実験を実施、成果を公開する。

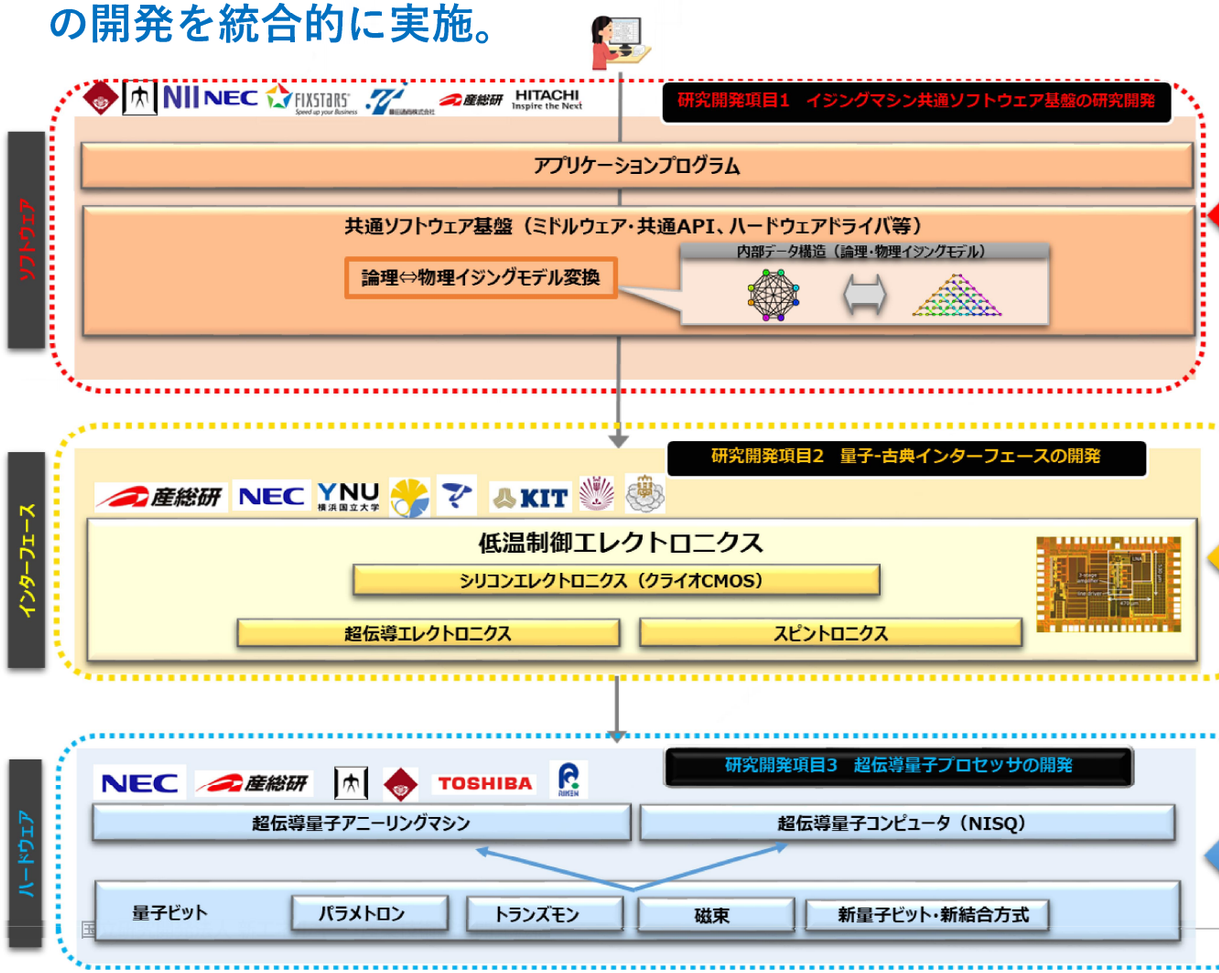
人材育成：開発した量子コンピュータ共通ソフトウェアをクラウド環境で無償公開するだけでなく、コンテストを開催するなどして先端技術に触れることでの人材の育成に貢献。また、若手研究者による成果発表や意見公開会も開催。

研究開発項目②次世代コンピューティング技術の開発　（状況変化への対応の概略）

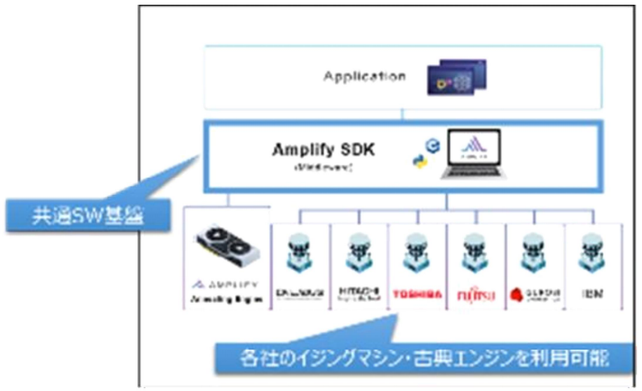


動向・情勢変化への対応（テーマ統合・早期事業化）

2030年以降を見据え、量子ハードの設計・製造技術のみならず、インターフェース（制御技術）やソフトウェアの開発を統合的に実施。

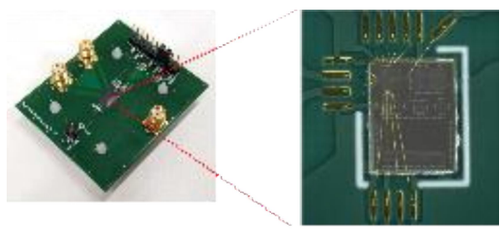






各社の量子C、イジングマシンを利用可能な自動化共通ソフトウェアを公開。2023年度に一部商用化。4000万回を超える利用実績。





量子Cの大規模化に必要不可欠な制御技術開発にいち早く着手。2025年度以降、実機実装予定。

動向・情勢変化への対応（テーマ統合・早期事業化）

2021 ～ 2025 ～ 2030 ～ 2035

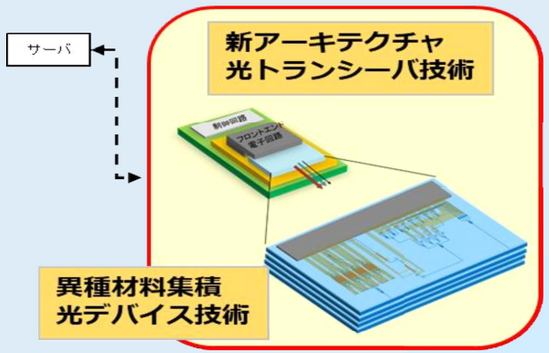
NEDOプロ 研究開発期間

※空白の5年間

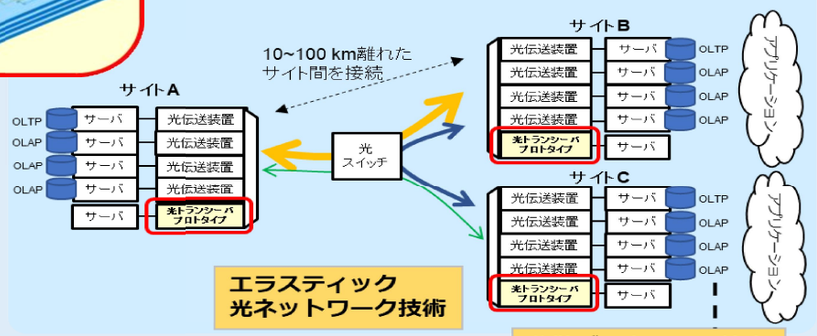
10 TB級 光トランシーバ実用化

光分散C 事業化

異種材料集積 光トランシーバプロトタイプ



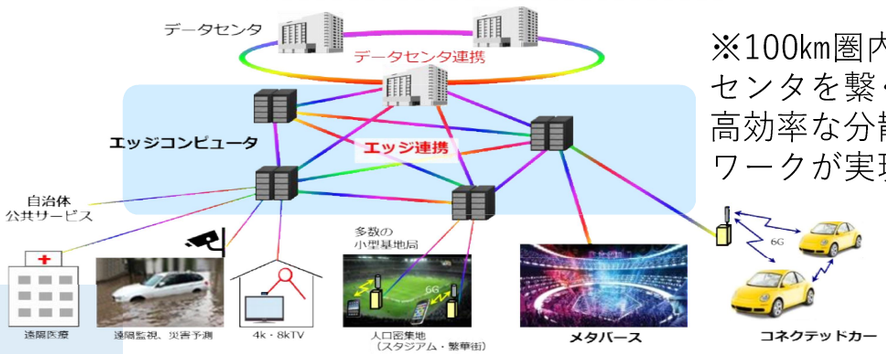
分散コンピューティングシステム 基盤実証システム



2021～2025年度
NEDOプロ実施内容
（2022時点）
・トランシーバプロトタイプ開発
・実証システム開発※

TSURUGI

※分散C対応化



※100km圏内のデータセンタを繋ぐ超高速・高効率な分散ネットワークが実現

※光分散Cテーマ：異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発（PETRA）では、2022年度までデバイス開発を中心に実施。
※別テーマでノーチラス社の開発した”**Tsurugi“の分散C対応版を計画に組み込む**ことで、効果的な分散コンピューティングと、実証実験、その結果を受けた早期事業化が可能と判断。

進捗管理：動向・情勢変化への対応（大規模調査の実施）

■ 2021年～2022年にかけ、次世代コンピューティング技術領域における国内外の市場動向、技術動向を調査・分析し、**我が国が今後取り組むべき方策についてとりまとめる。**
■ 次世代コンピューティング：**2040年頃に社会実装**されうる分野・ユースケースを念頭に、**量子、新原理、先進的の各コンピューティング技術領域**

国内および海外の現状把握

- 次世代コンピューティング技術に関する理論検証・実証研究の事例把握（国内外の企業、研究機関における事例約80件を調査）
- 最新の技術状況および仕様・スペックの比較（特許、論文の調査・分析、国内外の企業、研究機関に対し約80件ヒアリング）
- 各技術領域における国内外の市場規模の予測と推移
- 対象技術に関わる法規制の整理、および市場規模に対する特許出願シェアの把握

↓

将来の展望

- 次世代コンピューティングを活用した近未来社会像（2035～2040年頃）に関する文献整理
- 次世代コンピューティング技術の活用が期待される社会実装分野（産業・サービス）の特定、およびニーズの把握（国内外の企業、研究機関に対し約40件ヒアリング）
- 今後の研究開発の方向性を踏まえた応用分野の分析

↓

まとめおよび提言

- 求められるシステムの仕様、スペックの予測と現状比較（主に量子アプリケーションからのハードウェアスペック要請、および将来データセンターに求められる光コンピューティングのスペック）
- 日本が優先的に取り組むべき研究開発テーマ。これらについて有識者評価を実施し、議論と提言を実施。

↓

調査の結果

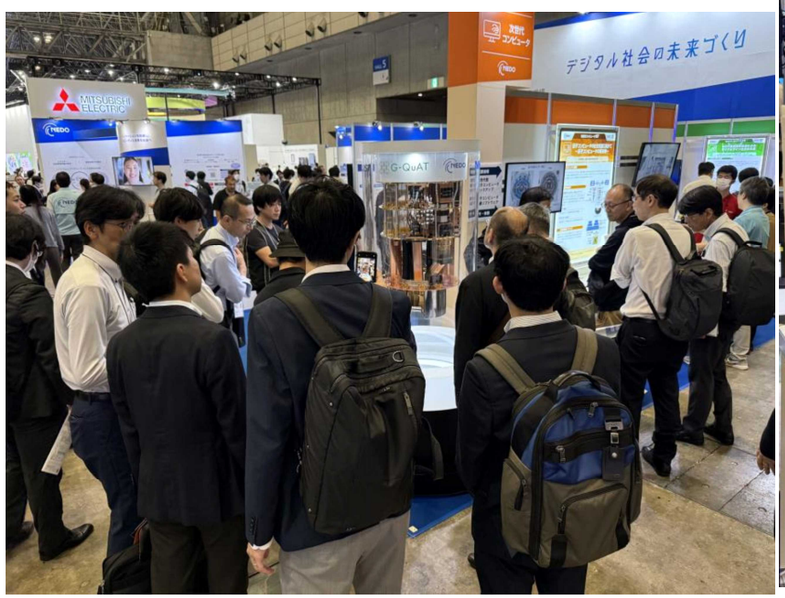
- 2040年時点のグローバル市場規模として、次世代コンピューティングにおける各技術領域とも数千億ドル規模の市場が見込まれる
- 日本の競争力がある技術領域としては、量子アニーリング、リザバーコンピューティング、光インタコネクトデバイス技術が挙げられる
- 今後、日本として取り組むべき方向性は以下の通り
  - 量子：量子ゲート・アニーリングの統合プラットフォーム、キラーアプリ開発
  - 新原理：リザバーコンピューティングの早期実用化に向けた低電力・再学習容易性の特徴を高機能のANN等と組合せた推進
  - 先進的：インタコネクトサブシステムの事業化への重点化

進捗管理：成果普及への取り組み（１）

展示会やセミナー、プレスリリース等の実施を通じ、成果の実用化・事業化を後押しする成果発信をNEDOとしても推進。

直近の事例としてCEATEC2024では、最新の成果として以下の展示を実施。
・脳型Cの体験デモ（写真：左下）
・量子Cの次世代型モックアップと量子ソフトの演算デモ体験（中央、右）







進捗管理：成果普及への取り組み（２）

量子C技術の成果普及と、NEDOプロジェクトの認知度向上を目的として、メディアツアーを実施。

2022年9月30日　NEDO量子プロジェクトの成果(産総研・NEC)及び関連設備をメディアに公開
26社が参加


日経XTECH

産総研が量子デバイス研究の現場を公開、先端設備活用で生み出す日本の勝ち筋

2022.10.07

産業技術総合研究所（産総研）が2022年9月30日、メディアに量子デバイス研究の現場を公開した。産総研はNEDO（新エネルギー・産業技術総合開発機構）プロジェクト「量子計算及びイジング計算システムの統合型研究開発」でNECや早稲田大学らと産学官連携による研究を進める。心臓部となる研究施設をのぞくと、量子デバイス開発で米国や中国に後れをとる日本が勝ち筋の創出を目指す技術分野が見えてきた。


産総研など、量子コンピューターなどの実用化に向けた研究開発を推進中


"国産"量子コンピューター開発最前線 ～産総研の量子プロジェクト見学ツアーに参加してみた

TOP　Other　"国産"量子コンピューター開発最前線 ～産総研の量子プロジェクト見学ツアーに参加してみた

2022年10月6日　Other

国立研究開発法人産業技術総合研究所で開催された「NEDO量子プロジェクトメディアツアー」の様子

・日経クロステック、日経コンピュータ、化学工業日報、電子デバイス産業新聞、電波新聞、DG Lab Haus、EE Times Japan、YAHOO！JAPAN ニュース、TECH+、サイエンスポータル等で報道
・日経コンピュータ2023年1月号「量子コンピュータ特集号」に掲載

進捗管理：開発促進財源投入実績

テーマ名	委託先	件名	年度	金額（百万円）	目的	成果・効果
量子計算及びイジング計算システムの統合型研究開発	産業技術総合研究所	測定器及び希釈冷凍機の拡充	2022	70	低温MOSFETの動作機構の解明加速	デバイス評価に関する開発速度が大幅に加速、当年度以降の多数の成果獲得に貢献した。また、回路実作評価を前倒しで進行することが可能となった。
		測定器及び希釈冷凍機の拡充及びキーマテリアル手配・評価	2023	365	量子-古典インターフェース及び3次元実装技術の加速	大規模高周波特性評価用オートプローバーのプローブカードを新規に導入し、高周波特性に関しても大規模評価が可能な体制を構築、PDK開発における同評価を加速的に実施することができた。
	早稲田大学	共同実施先として日立を追加	2021	45	CMOSアニーリングマシンを用いたソフトウェア開発加速とCMOSアニーリングマシン普及加速	実マシンとしてCMOSアニーリングマシン用いたアルゴリズムチューニングが可能となり、ソフトウェア基盤を当初計画以上に拡張出来た。加えて、CMOSアニーリングマシン環境を用いてチュートリアルや実機試用などを通じてユーザの普及加速（前年比6倍）を行えた。
			2022	55		
	株式会社フィックスターズ	各社のイジングマシンを簡単に利用できるクラウド基盤(プロトタイプ)を構築	2022	121	アニーリングマシンのクラウド基盤(プロトタイプ)を構築して公開するための検証	国内5社のアニーリングマシン向けクラウド基盤を構築、利用環境の有効性が検証され、期待された性能が確認できた。
		各社のイジングマシンを簡単に利用できるクラウド基盤(プロトタイプ)を活用	2023	110	アニーリングマシンのクラウド基盤(プロトタイプ)を構築して一般公開を実施	海外量子コンピュータを含む共通ソフトウェア基盤を提供、多くのユーザが複数のイジングマシンを利用。早期の商用化に繋がった。
異種材料集積光エレクトロニクスを用いた高効率・高速処理分散コンピューティングシステム技術開発	PETRA	ソフトウェア領域拡充のためのミドルウェア開発	2023	656	開発体制を拡充し、エラスティックネットワークの管理用ミドルウェアの開発を加速する。	・低遅延/高帯域/エラスティック性をもつ次世代NW技術の価値を具体的に活用するミドルウェアとしてDBのありかたを設計し、2024年度の実証実験に向けた具体的なアクションが可能となった。
	ノーチラステクノロジーズ	AI分野への用途拡張のためのシステム開発	2024	110	サーバ間でのデータ共有によるAI推論のため、メモリー間ダイレクト連携手法を設計・試験実装する。	今後ますます重要となるAIを用いた情報処理の各シーンにおいて、高速かつリアルタイムな処理を実現する。
ニューロモルフィックダイナミクスに基づく超低電力エッジＡＩチップの研究開発とその応用展開	九州工業大学	株式会社キビテクを再委託先へ追加	2023	30	成果最大化に向けた活動内容の見直し	既存システムをベースとした実証実験を実施。日常生活支援ロボットの片付けタスクの性能を10%超向上することを実機実験により示した。

参考資料１　分科会議事録

研究評価委員会

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業」
（中間評価）分科会

議事録

日　時：2024年12月20日（金）13：00～17：20
場　所：NEDO川崎本部23階2301～2303 会議室（リモート開催あり）

出席者（敬称略、順不同）

＜分科会委員＞

分科会長	張山　昌論	東北大学　大学院情報科学研究科　教授
分科会長代理	井上　弘士	九州大学　副学長　大学院システム情報科学研究院　教授
委員	岡島　博司	トヨタ自動車株式会社　先進技術統括部　主査/担当部長
委員	富高　忠房	ソニーベンチャーズ株式会社　役員室　シニアベンチャーキャピタリスト
委員	松岡　智代	株式会社QunaSys　COO
委員	向林　隆	株式会社アイティーファーム　事業開発担当　執行役員
委員	山下　太郎	東北大学　大学院工学研究科　応用物理学専攻　教授

＜推進部署＞

高田 和幸	NEDO AI・ロボット部　部長
遠藤 勇徳(PM)	NEDO AI・ロボット部　チーム長
工藤 祥裕(PM)	NEDO AI・ロボット部　チーム長
田村 耕作	NEDO 半導体・情報インフラ部　チーム長
髙橋 紀久	NEDO AI・ロボット部　専門調査員
加藤 将君	NEDO AI・ロボット部　主査
辰浦 智	NEDO AI・ロボット部　専門調査員
永井 弥夕	NEDO AI・ロボット部　主任
加藤 知彦	NEDO AI・ロボット部　課長
高橋 美里	NEDO AI・ロボット部　主任
渡辺 祐仁	NEDO AI・ロボット部　主事
渡会 岳	NEDO AI・ロボット部　主事
岩佐 匡浩	NEDO AI・ロボット部　主任
前田 尋夫	NEDO 半導体・情報インフラ部　主査
熊澤 忠志	NEDO 半導体・情報インフラ部　専門調査員
村山 明宏	NEDO 半導体・情報インフラ部　専門調査員

＜実施者＞

本村 真人(PL)	東京科学大学　教授
金山 敏彦(PL)	産業技術総合研究所　特別顧問
友永 泰正	株式会社 Preferred Networks　本社　エンジニア
戸川 望	早稲田大学　理工学術院　教授
塩田 靖彦	株式会社フィックスターズ ソリューション第一事業部・参事
土居 意弘	株式会社フィックスターズ シニアディレクター

＜オブザーバー＞

なし

＜評価事務局＞

山本 佳子	NEDO 事業統括部 研究評価課 課長
松田 和幸	NEDO 事業統括部 研究評価課 専門調査員
西尾 昌二	NEDO 事業統括部 研究評価課 主査
池田 一	NEDO 事業統括部 研究評価課 専門調査員
指田 丈夫	NEDO 事業統括部 研究評価課 専門調査員

議事次第

（公開セッション）

１．開会

２．分科会の設置について

３．分科会の公開について

４．評価の実施方法について

５．プロジェクトの説明

5.1 プロジェクトの説明

5.1.1 事業の意義、位置付け

5.1.2 目標および達成状況

5.1.3 マネジメント

5.2 プロジェクトの詳細説明

5.2.1 革新的 AI エッジコンピューティング技術の開発

5.2.2 次世代コンピューティングの技術開発

5.3 質疑応答

（非公開セッション）

６．プロジェクトの補足説明

6.1 「FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」

6.2 「量子計算及びイジング計算システムの統合型研究開発」

７．全体を通しての質疑

（公開セッション）

８．まとめ・講評

９．今後の予定

１０．閉会

議事内容

（公開セッション）

１．開会

・開会宣言（評価事務局）

２．分科会の設置について

・研究評価委員会分科会の設置について、資料1に基づき事務局より説明。

・出席者の紹介（評価委員、評価事務局、推進部署）

【張山分科会長】　東北大学の張山です。私の専門分野は、AIやビッグデータ解析などの知能システムのための専用のアクセラレーターとその応用になります。本日は、どうぞよろしくお願いいたします。

【井上分科会長代理】　九州大学の井上です。私の専門は、古典・量子の両方を含めたコンピューターアーキテクチャーの研究になります。今日は、よろしくお願いします。

【岡島委員】　トヨタ自動車の岡島です。20年近く、トヨタ自動車の中の研究開発の企画担当・戦略をやっております。また、北米のAI研究所の立ち上げを行っておりました。よろしくお願いします。

【富高委員】　ソニーベンチャーズの富高です。専門は、AIで、学生時代、会社でAI系の開発を行っており、同時にベンチャーキャピタルとしてAI系、量子コンピューター系のスタートアップに世界中で投資をしております。よろしくお願いします。

【松岡委員】　QunaSysの松岡です。私は、COOという名のとおり、技術的な開発を行っているわけではありませんが、会社として量子コンピューターのアプリケーション開発を行っております。本日は、ユースケースの在り方や開発動向といったビジネス的な観点からコメントをできればと思っております。よろしくお願いいたします。

【向林委員】　アイティーファームの向林です。22年ほど前から半導体エレクトロニクス関係を中心にベンチャーキャピタルをさせていただいております。投資のアクティビティーとして、大体8割がシリコンバレー、2割が日本という形でやらせていただいております。最近は、AIの応用という案件が増えている状況です。今日は楽しみにしております。よろしくお願いいたします。

【山下委員】　東北大学の山下です。私の専門は、超伝導やスピントロニクスを使った量子コンピューターをはじめ、超伝導を使った単一光子検出器など全般に量子に関わる研究を行っております。どうぞよろしくお願いいたします。

３．分科会の公開について

評価事務局より資料2及び3に基づき説明し、議題6.「プロジェクトの補足説明」及び議題7.「全体を通しての質疑」を非公開とした。

４．評価の実施方法について

評価の手順を評価事務局より資料4-1～4-5に基づき説明した。

５．プロジェクトの説明

（1）意義・社会実装までの道筋、目標及び達成度、マネジメント、詳細説明

推進部署より資料5に基づき説明が行われ、その内容に対し質疑応答が行われた。

【張山分科会長】　御説明ありがとうございました。

それでは、ただいまの説明に対する御意見、御質問等をお受けいたします。松岡委員、お願いいたします。

【松岡委員】　両方の資料に係るものとして伺います。それぞれ事業化の目標、めどを記載いただいておりますが、ユーザーがついているかどうか。特に1つ目のほうは27年にある程度の費用対効果を見込んでいると思います。それを考えて逆算をすると、今ユーザー評価が始まっているべき時期と思いますが、そのあたりはどのような形で事業開発の進捗を見られているのでしょうか。

【遠藤 PM】　研究開発項目 1 の事業化に係るユーザー評価の関係ですが、テーマによってはユーザーとなるような事業者がテーマの中に参画し、事業の中で既にユーザー評価を行いながらといった体制を構築しているものもあります。そのほか、ユーザーとなるような企業が参画していないテーマについては、委員会の中でユーザー視点の委員の先生からも評価をいただくことを事業期間中は実施しておりました。事業終了後については、後ほどの議題 6 において個別の事業の話があると思いますが、我々が把握している限りでは各事業者の中でユーザー評価を行いながらテスト環境、試作品を提供しながらユーザー評価をしているといった現状であると認識しています。

【松岡委員】　現状は、まだ商談として何かスタートを切っているわけではないといった理解でよろしいですか。

【遠藤 PM】　テーマによっては既に始まっているところもありますが、事業終了後 2 年といった点でオープンな情報としてはまだ出てきていないものが多い認識です。

【松岡委員】　ありがとうございます。

【張山分科会長】　そのほか、いかがでしょうか。井上分科会長代理、お願いいたします。

【井上分科会長代理】　資料 5-2-2、3 のマネジメント、研究開発計画の量子に係る動向・情勢変化への対応に関して伺います。この分野は、非常に技術もダイナミックかつスピーディーに動いているところであり、非常にマネジメントを上手に行われていると感心しながら聞いていました。その上で、どのようにマネジメントをされたかについて教えてください。この図からいきますと、アニーリングと NISQ（Noisy Intermediate Scale Quantum Computer）が入っています。今、世の中は非常に Early FTQC から FTQC へといった流れが出てきている状況において、この例ではアニーリングと NISQ ですが、ここを共通化したレイヤーを切ると判断された理由はどのようなものでしょうか。レイヤーの切り方を間違えてしまえば、せっかく切ってここで開発をしたものが実際にはメインストリームが違うものとなり、このレイヤーが成り立たなくなってしまいます。また、そうなれば開発したものが次に生かすことができなくなる可能性を危惧いたします。この意味でのインターフェースではなく、ハードウエアとソフトウエアの間のインターフェースをどのように切られたのかといった視点です。

【遠藤 PM】　現時点の視点で見ると、御指摘のとおりとなります。つまり、現在の潮流から見た場合のリスク、あるいは、今後これをどのように事業化、商用化をしていくのかといった点の課題が見えてくると思っています。こちらの計画を立てたのが 2020 年から 2021 年にかけての段階です。この段階では、確かにインテル社による量子の超越性であるとか、ゲート型が出てきました。その一方、D-Wave の超伝導量子アニーリングの有効性がまだ高いと言われていた時代であり、どちらに進むか分からないというのが現状として非常に大きなウエート占めていました。そこで、まず我々は、ハードウエアに関して、先ほど知財戦略調査も行ったと申し上げましたが、要は、既に多くの知財が抑えられている状況の中、日本として将来的に交渉カードとなり得る技術を抑えておく必要がある。その抑えることができる領域はどこか。また、例えばここに参画している NEC、産総研、東芝などが持っている強みは何かといった点から、まずはそこを伸ばして勝ち筋としていくといった判断をハードウエア側で行っています。

他方、インターフェースである Cryo-CMOS という信号制御回路にある種特化をしているところですが、ソフトウエアに関しては、将来どのように業界が動いても、例えば、現在で見ると非常にゲートが強くなってきている状況になります。では、そこに対してどのように対応をするのかといった議論が

今まさに行われているところです。こちらは、来年度に向けた調整として、実は昨日、事業者との技術会議も行っています。その方向性として、1つは、インターフェースの制御技術について、アニーリングというよりは基本的にはゲートを中心とした展開を進めていく。そうした技術を持っているこのプロジェクトにいない企業との共同研究を調整していくといった方向性にあります。そして、ソフトウエアに関しては、今、商用化可能なイジングマシン、ゲート型もアニーリングも全てフォローをしているのですが、ゲート式の量子コンピューターが多く世の中に出てくるという中、現在IBMは使える状況であるものの、そのほかの部分や、FTQCも含めて、そうした処理の高度化に2025年度以降着手をするなど、業界の情勢を見ながら目的をフレキシブルに見直していくことを今進めている状況になります。

【井上分科会長代理】　ありがとうございます。そのようにフレキシブルに行うことに加え、FTQC、ゲート型も見ているというのは非常によい方向だと思います。私が気になっている点は、投影されているスライドのソフトウエアにおいて、相当アニーリングに特化したような形に見えることです。共通ソフトウエア基盤と言われるものが、アニーラに非常に特化したものが出来上がってしまい、それが今度はNISQ、Early FTQC、FTQCと動いていった際に、本当にこの成果が展開できるようなインターフェースの切り方になっているのか。この点が最も気になります。

【遠藤PM】　その点は、全く問題ありません。まず、これは商用化が進んでくると想定される技術を最初にターゲットにしていたという背景があります。そのため、プロジェクト開始直後は、先ほど申し上げたようにアニーリングのほうが、それこそデジタルアニーラなどを中心に世の中に広がっていったという経緯があります。一方で現在を見ると、御指摘のとおりゲート型が来ているという中で、ゲート型が活用できるように、既にIBMに対応したサービスも展開し始めております。今後そちらのほうも進めていくという状況になっており、全く行っていないというわけではありません。むしろ、世の中にある全ての広義の意味での量子コンピューターをフォローできる、世界で唯一の技術として今後強みを発揮していくことがソフトウエア側の目標及び勝ち筋と考えております。

【井上分科会長代理】　ミドルウエア、共通API、ハードウエアドライバーといったここに書かれているソフトウエアと説明されたソフトウエアの抽象度が非常に違う印象です。恐らく今おっしゃられたのは、もう少しアプリケーションに近く、相当抽象の高いところの話であり、ここに書かれているミドルウエアであるとか、ハードウエアと密接に関係するところのインターフェース、API等においてはどうでしょうか。

【遠藤PM】　そちらも同様の整理になります。そうした共通ソフトウエア、共通プラットフォーム基盤をつくることがこのプロジェクトの目標になっています。どうしてもハードウエア側がアニーリングに寄せているように見えため、ソフトウエアもアニーリングなのではないかと認識されがちな面も確かにあるのですが、そうした心配はないと御回答をしております。後ほど、この開発を行っている株式会社フィックスターズ様より、非公開セッションにてプレゼンテーションをいたしますので、その際により詳しい回答をいただけると思います。

【井上分科会長代理】　分かりました。ありがとうございます。

【張山分科会長】　それでは、岡島委員、お願いいたします。

【岡島委員】　資料5-1の本事業の位置づけ、背景に関して伺います。10年間の長いプロジェクトにおいて、先ほども「生成AI」というキーワードが出ていたように、いわゆる大規模な計算であるとか、大型スーパーコンピューターではなく、大きな方針として、このプロジェクトではエッジ型のほうに日本の強みを生かした研究開発を行うとされています。年表になりますが、多分、中間評価をはじめ、2020年、2022年に調査戦略を見直す議論を行っていると思います。その調査の期間の間に生成AIの大きな成果のようなものが出てこないとそれを予見することは難しいです。どのようにアジャイルに表現

をしていくのかという点は悩みどころだと思います。

１点目の質問は、調査業務をあるタイミングごとに行っていくものの、大きなムーブメントがあったときにはどのように対応をしていくのか。また、残りの期間に向けて、大きな方向転換ではありませんが、横目でそうした使い方であるとか、アプリケーションをにらみながら本プロジェクト事業の成果というものも、そちらに生かせるような若干の方向修正をはじめ、ソフトウエア側の開発強化等が出てくるとよいと思っています。そのあたりは、どういう仕組みや方法で織り込んでいこうとされるのでしょうか。

【遠藤 PM】　ありがとうございます。端的に申しますと、いわゆる研究開発体制の拡充、あるいは目標を追加する。そのために必要な予算も追加するという形、もしくは、予算を追加せずに既存の項目を方向修正する形により、テーマ内で目標の見直しを行うこともあり得ると思っております。具体的な事例で、実は今、現在進行形の話があります。それというのは、冒頭に次世代コンピューティング側の説明で、光分散コンピューティングというデータセンター間の分散処理について説明いたしましたが、開発を始めた時点では、本当にデータセンターであり、クラウド領域における分散を想定していました。ところが、現在エッジ領域における AI の推論の実施といったものが非常に重要性を帯びてきました。それにより、そこから出てくるデータも加味した上で、より効率的、高速的な処理をリアルタイムで実施していくといった必要性が急激に高まってきていると認識しております。そこで、当初クラウド用途であった分散処理のミドルウエアの開発において、その領域をエッジデータセンター、あるいはエッジのデバイスまで広げ、その処理、高度化に資するような目標設定や、開発の加速、必要に応じた体制の拡充において、今回第一手としては目標を修正するというところまで、現在加速の予算を 1 本実施しております。それが、皆様のお手元に配付した 5-2-2 の最後のリストであり、ノーチラステクノロジーズへの加速ということで進めているところです。このように、大きなトレンドが起こり、それに対して対応しなければ我々の強みが生かせない、成果の最大化ができないといった場合には開発を加速する。あるいは、方向性を見直すことをしっかりと行っていくのも NEDO のマネジメントであると考えております。今後は、量子コンピューターや脳型コンピューターにおいても同様なことが起こってくると認識しており、準備を進めている次第です。

【岡島委員】　今の光コンピューティング、あるいは光電融合の話で言えば、NTT が IOWN（Innovative Optical and Wireless Network）でお金をかけて、大きなプロジェクトが動いています。そこと全く関連をしないでいくわけには多分いかないと思います。ノーチラステクノロジーズ様を含め、どういった動きを想定するのか。あるいは、NEDO の事業と外部のそういったプロジェクトとの連携については、どのように考えていくのでしょうか。

【遠藤 PM】　こちらに関しては、様々なケースが考えられると思います。分散コンピューティングの事例に関しては、まず、このプロジェクトの技術推進委員にまさに NTT の方を招いております。我々のこのプロジェクトでどういう成果を発揮しているかといった情報交換を行っているほか、こちらでデバイスの開発として、トランシーバ技術等の開発を進めている PETRA という技術研究組合の中に NTT も含まれています。先ほど、トランシーバ技術は 2030 年を想定しているといった説明をいたしましたが、そうしますと、このテーマが 2025 年に終了してから 2030 年までの間に空白が生まれます。また、IOWN は既にサービス展開が発表されているものです。そうしたトレンドに我々がどのように成果最大化のアプローチをしていくかという点では、分散ミドルウエア技術に期待をしています。こちらがプロジェクト終了後、2026 年から直ちにオープンソースとして公開をしていくという運びになっており、事業期間中から社会実装シーンを見据えながら進めている形になります。

【高田部長】　私のほうからも補足をいたします。今、遠藤から回答があった点というのは、基本的にプロジェクト側から見た対応の話になります。NEDO としても大きな技術潮流が起きたときの対応において、

しっかり動向を把握する専門部署として、テクノロジーイノベーションセンター（元技術戦略センター）という組織があります。そこで、動向を把握し、レポーティングなども対外的に行っており、内部にもそういった情報を共有し、プロジェクトマネージャーであるとか、組織的な対応が必要な場合の検討に資するといった活動を行っております。また、NEDO 全体でも生成 AI の動きは非常に大きかったものですから、この 7 月に AI 等、特に先々のハードウエアとしての量子コンピューターを行っている活動として、AI・ロボット部を立ててここに集約しています。この事業自体も、当時の IoT 部から移ってきており、AI とより密接に取り組んでいくものとなっています。ここにいる遠藤も、このプロジェクトのプロジェクトマネージャーを務めていますが、生成 AI の別の制度を回すチームのチーム長も兼ねており、リアルタイムでそういった動きを把握している体制を敷いているところです。そういった組織的な対応を取っている点を補足いたします。

【岡島委員】　ありがとうございます。お客様との会話が非常に進んでおり、皆様に説明やアピールを行う、意見をいただくといった点が大変すばらしいと思っております。多分、経産省、NEDO の事業ですから、日本のユーザーを想定しているというのは第一ですが、せっかく開発をしたチップやソフトウエアのマーケットでの売上げも含めたことを考えると、海外ユーザーというのもしっかり取り込んでいく必要があります。有力なサービサーが使用をされるといいますか、自動運転等で言えば、日本よりもむしろ米国の企業、中国の企業が当然積極的なわけです。彼らの意見や技術交換というのは、これまでと今後において、どのように行われていくのでしょうか。

【遠藤 PM】　まず一つとして、量子コンピューティングの話が例示になると思います。それというのは、これまでは次世代のコンピューティング技術が世の中に様々あり、世界的にもどこが来るのか分からないという中で、皆様手探りの状況であったところにおいて、量子コンピューターというものが最初から次の時代を担う技術として期待されていたわけです。こうした中で、特にアメリカなどを中心に様々な技術者がいることにおいて、前回の中間評価までは我々そこへのアプローチというものが行えていなかったという状況でした。これは、まさに岡島委員からもコメントとしていただいていたところだと思います。そこをフォローするために行ったものが、もう一つの技術動向調査という形であり、海外の有識者へのヒアリング、意見交換なども同時に行ったというものになります。そうしたものを行いながら、まず NEDO としての意見交換は実施してきたところです。一方、事業者も当然のことながら情報交換をしなければなりません。その情報交換に関しては、先ほど共同研究の話をいたしましたが、現在進んでいる話として、それぞれが持っている技術を交換することも見据え、海外の企業と協定を結んだ上で共同研究として、それぞれの現場にスタッフを派遣し、研究開発を同時に実施する。あるいは、お互いの強みを持ち寄る。例えば量子のハードウエアに関しては各社それぞれの方式があるのですが、このソフトウエアや制御技術といった部分は現在選択肢が非常に限られており、制御技術に関しては日本しか持っていないという状況です。これを各社に特化した形で実用化することができれば、そこの市場を取ることができる。サービスを担うことができるということで、それを進める方向で事業者に今アクションを取っていただいているところです。他方、ソフトウエアに関しては国内のシェアが非常に強いものの、海外のシェアがまだ取り切れていないところです。どのようにしてアメリカ、中国、ヨーロッパ等に打ち込んでいくのかは、まさに事業者と今検討をしています。

【岡島委員】　コロナが収まった状況において、例えば CES（Consumer Electronics Show）のような場にも積極的に出ていき、直接現地のユーザー、エンジニア等とディスカッションができるとよいと思いました。ありがとうございました。

【張山分科会長】　ほかにいかがでしょうか。それでは、山下委員、お願いいたします。

【山下委員】　先ほど井上分科会長代理から質問のあったレイヤーの図に関してお聞きいたします。質疑応答の中で、当初は D-wave マシンというものが出てきており、アニーラに主に注力をしていたという

話でした。今後はNISQ、ゲート型の方向にシフトをするということで、結構大きなチェンジだと思っています。そこの判断の指標として、当然ながら風を感じるところはあるものの、具体的なマネジメントとしてはどういったものを判断指標にされているのでしょうか。知財等の話もありましたがそうした判断の部分に関して教えてください。

【遠藤PM】　基準は本当に様々ありますが、1つは、先ほどアウトカムの関連する箇所で市場予測を表示いたしました。我々が実施している技術動向、市場動向調査では、報告書の中に、当然シェアとして、どのような技術がどの程度どういった領域で取るかまでの分析をしております。そうした結果、2040年頃にシェアの内訳としては「ゲート75」、「アニーリング25」という調査結果が出ておりました。日本国内だけで見ると、デジタルアニーラ等の関係からアニーリングが非常に強かったものの、一方、世界を見ると、やはりゲートの潮流が来るであろうといった点が見えたというところは一つあります。また、知財の話をはじめ、日本が持っている技術の状況、そして量子に限って言えば、公開されている各社のロードマップも大きな指標になっています。競合各社が公開しているロードマップにおいて、いつ頃にどれぐらいのものができるのか。それに対して自分たちの研究の成果がどの状況にあるか。こうした点を、我々マネージャー側として冷静に見たときに、果たしてこれはこのままいって追いつけるのか。もしくは、このプロジェクトの期間の中で成果を最大化するならば、残る期間で考えたときにどの技術にリソースを集約するべきなのか。これらを総合的に考え、技術委員会などでも議論し、今、方向性を検討しているといった背景になります。

【山下委員】　分かりました。もう1点伺います。ゲート型にシフトするとなれば、最初のほうで説明のあったムーンショットやQ-LEAPにおいて、Q-LEAPでは国産の初号機ができ、ムーンショットではもう少し先のFTQCを目指したものを見据えていると思います。終わる期間は大体同じプロジェクトであり、ゲート型にシフトをする中で、このNEDOのプロジェクトとしてはどういう立ち位置及び切り口で攻めていくというお考えでしょうか。

【遠藤PM】　まず、それぞれの項目においては、例えばハードウエア、アニーリングとして開発をメインに行ってきている部分ですが、現在100量子ビットのチップの試作が完了している状況です。これを検証し、アニーリングの有効性などを検討する。その後、残る3年間の期間において、どこまで情報修正をするか。それとも、このまま100量子ビットという技術を持ち、民間主導でビジネス化を進めてもらうのかといった点では、2025年度にステージゲートを実施する予定であるため、そこで判断を行っていく考えです。一方、インターフェースやソフトウエアに関しては、どちらでも対応する。ユーザーを見据えた開発に特化をしていくといった方向です。そういう意味では、まずはサンプル提供のできる状況をつくり出す。これを2024年度中の目標とし、2025年度以降は、例えばインターフェースであれば、サンプルを各社に提供しながら、先ほど申し上げた共同研究の話であるとか、ソフトウエアに関しては、それを実際に商用利用として公開されているものに連携し、実際に使える環境をつくっていく。そうした中で、ユーザーの早期獲得を目指すといったプロジェクト目標の形にする所存です。

【山下委員】　ステージゲートがあるとして、100量子ビットというのは多分アニーラの話だと思いますが、それ次第では、かじを切るというよりも、そこを続けるという可能性もまだあるという理解でしょうか。

【遠藤PM】　おっしゃるとおりです。

【山下委員】　分かりました。ありがとうございました。

【張山分科会長】　それでは、富高委員、お願いいたします。

【富高委員】　資料5-2-1の7ページになります。エッジAIのCPUの話ですが、ここでNVIDIAやAMD等と性能比較をされ、結果として演算性能、電力性能、想定価格について優位性があるというのは大変すばらしい成果だと感じております。実際に私も様々ベンチャー投資をしており、NVIDIAに対抗す

るようなスタートアップも世界中でいろいろと見ているものの、NVIDIA に勝てるものが出てきていません。そこには様々な原因があると思います。よくこういう絵はスタートアップの人が見せ、実際の性能もよいのですが、それでお客様が買うかというと、実際 NVIDIA の CUDA（Compute Unified Device Architecture）という開発のソフトウエアシステムが広く行き渡っており、お客様は少々性能がよいチップが出てきても、開発環境等で負けているために乗り換えられないといった話になり、NVIDIA の現在の時価総額になっているといった背景があると考えます。それらを鑑みて、現在、性能的に優位となるこのチップが、今後 NVIDIA 等に対抗できる勝ち筋についての見解を伺います。

【岩佐 PM】　岩佐より回答いたします。こちらの資料ですが、全体のアウトカムに向けた道筋という形で、競合分析の一例を示させていただきました。こちらは非公開セッションの中で、株式会社 Preferred Networks 様より詳細説明があります。まずはチップ単体での性能比較において勝っているかどうかについて競合分析を行った一例になります。システム全体で勝ち筋を検討していかなければならないといった点は御指摘のとおりですが、こちらについては、まずチップ単体での評価になっております。今後システム全体としてどのようにしていくかといった点では、研究開発項目①が 2022 年度で終了し、その後は各実施者の取組に移っている状況であるものの、研究開発項目①の実施期間中においても、チップ単体での評価だけでなく、システム側も含めて複合的な評価も行っている状況です。そうした観点の下、競合分析を行いながら、市場動向、技術動向を見つつ、実用化に進めていく考えにおいて事業を実施させていただきました。今回はチップ単体での評価事例を示していますが、技術推進委員会等の NEDO 主催の委員会の中でも、全体を見て技術がどうであるかを評価し、勝ち筋を見ながら実施した状況です。以上、回答になっているでしょうか。

【富高委員】　ありがとうございます。非公開セッションの中で、株式会社 Preferred Networks 様より、そうした点も御説明いただけるのか。それとも、今回はチップに関するものだけでしょうか。

【岩佐 PM】　全体のシステム構成も含め、チップ以外の部分も言及されると思います。

【富高委員】　ありがとうございました。

【張山分科会長】　そのほか、いかがでしょうか。松岡委員、お願いいたします。

【松岡委員】　私の理解がまだ追いついていないのですが、次世代コンピューティング技術の開発の最後で目標として電力効率を比較されているといった理解で合っているでしょうか。その上で、100 倍以上となる見込みはよいとして、量子コンピューターをゲートで考えるのか、アニーリングで考えるのかによって、全く前提も違うと思います。また、一方で示してしまうと、逆に対象市場が狭まるといった点も考えられます。そのあたりに関して、どのような形で統一的に見られているのかを伺います。

【遠藤 PM】　こちらに関しては、まず研究開発項目ごとにどのように目標達成に貢献しているかを技術推進会等で一つ評価を行っています。以前お手元に配付させていただいた資料にて、それぞれのテーマの項目ごとにどうであるかを説明いたしました。その上で、この 100 倍という数字については、そもそも 100 倍という根拠が何かといった点にもなるのですけれども、いわゆるデータ量が 2018 年のプロジェクト開始時から 2027 年のプロジェクト終了時、あるいは、この技術が実用化する 2030 年から 2040 年にかけてどの程度まで増えるかという中で、100 倍という数字を当時設定いたしました。それに関して、何を基準にマル・バツの判断をしているかですが、こちらについては、現状として物が出来ている、ある程度試作が完了しているものについては、例えば既存のデータセンターで処理をした場合と、今現在の試作したもので評価をした場合において、これがこのまま順調に伸びていけば達成できるだろうという見込みの評価になっております。一方、まだ試作ができていないものについては、シミュレーションであるとか、あるいは、あくまで過程として、この計画のままいけば達成できるだろうといった評価になります。このように、少しテーマによって評価の仕方が現状分かれています。これは、評価をしている時期がまだ中間年度であり、物によっては出来ているものもあれば、出来ていない

ものもあるといった点でそのようになるものの、評価の検証及び確認は行っている次第です。

【松岡委員】　今はテーマごとで問題ないと思いますが、今後は一貫性のある判断基準や指標で効率を見られようとしているのか。それとも、最後までテーマごとに何らかのシミュレーションを使い、そのようになる見込みであるという形で事業全体を図られていくのでしょうか。

【遠藤 PM】　最終的には、実機及び実機相当のものを用いた検証でターゲットとしている技術に対し、100倍以上の電力消費効率を達成できるかを見ていきます。そこの評価という意味では、それぞれの有識者会議、技術推進委員会の中で御説明いただき、それが達成できているかどうかを最終年度にかけて確認していく流れになります。

【松岡委員】　よく分かりました。ありがとうございます。

【張山分科会長】　ありがとうございました。それでは、私からエッジ AI に関して 1 点伺います。AI というと本当に応用分野が多岐にわたるため、どこにフォーカスするかによっても市場をどれだけ取れるのかどうかという点も全く変わってくると思います。大まかに何でもできるユニバーサルな AI になるのか、それとも画像等に特化したものになるのか。何か戦略があれば教えてください。

【岩佐 PM】　岩佐から回答をいたします。研究開発項目①については、応用分野において自動運転、FA などを想定領域としては定めておりました。その中で、市場動向調査、技術動向調査を踏まえながら、どのような領域であれば、日本として勝てるのかを考え、想定領域を設定し、そこに向けたものを実施している次第です。

【張山分科会長】　一応そのあたりで勝ち筋を想定されていると承知しました。ありがとうございます。それでは、予定の時間が参りましたので、以上で議題 5 を終了といたします。

（非公開セッション）

6．プロジェクトの補足説明

省略

7．全体を通しての質疑

省略

（公開セッション）

8．まとめ・講評

【山下委員】　本日は、御説明及び質問に非常に明確に答えていただきまして、どうもありがとうございました。このプロジェクトは存じ上げていたものの、私自身はこの評価委員会に初めての参加であり、詳細についても初めてお聞きいたしました。その中で、上位レイヤーの話に関して非常に画期的と思う成果を出され、今後の方向性等も含め、非常に印象深い点がありました。非常にまとめるのが大変なプロジェクトだと思いますが、大変よく推進されていることを非常に理解いたしました。今後もウオッチしてまいりたいと思います。そして、このプロジェクトは当然ながら日本として、特に私自身の関係では量子技術ということで、本日、井上分科会長も言われていたとおり、非常に重要な鍵を握る規模の額と人員のプロジェクトと思っておりますので、引き続きよろしくお願いいたします。以上です。

【張山分科会長】　ありがとうございました。それでは、向林委員、お願いいたします。

【向林委員】　今日は、ありがとうございました。それぞれの技術は実用化のめどがつくまでに進んでおり、所定の性能も満たしていると思います。一方、事業化、つまりコマーシャライズをしないと意味がありません。我々の言葉では「Goto Market Strategy」と言うのですが、今後 3 年は、それを意識した上

でNEDOとしての応援やマッチングを行っていただきたいです。開発したものを何倍にも大きくして事業化をするスケーラーという存在がおります。そういう人たちとのマッチング、あるいは、どうやってエコシステムをつくっていくのか。プロジェクト当事者はR&D関係の人が中心であるため、後は事業会社に任せるという形ではなく、何らかの形でNEDOが伴走し、事業化を見届けるような応援があるとよいと感じた次第です。よろしくお願いいたします。

【張山分科会長】　ありがとうございました。それでは、松岡委員、お願いいたします。

【松岡委員】　私も、個別の成果については、すばらしいと思っております。事業化に関して、本当に拡販をするまでは至っていなくとも、しっかりと顧客に採用されている部分があるなど、使用されている部分もあることは非常にポジティブな要素だと考えます。一方、個人的にもったいないと感じた点として、個別に特徴があり、使いどころが多くあるものの、割と全部の市場に広く薄く入るといった印象に聞こえるところがありました。別にそれは目指さなくてもよいと思いますし、それぞれのユニークネスを、こういう市場に対してこのように使うといった形でまとめていただけると、より価値が分かりやすくなると感じます。また、定量目標に関しては多分いろいろと制約もあると思いますが、量子コンピューターに関わる身からすると、量子コンピューターの電力消費というものは、実はほとんどのお客様が非常に関心を持っており、QunaSysとしてもその点をしっかりと示していきたいと思っています。その点において、まだ方法論が全く世界的に見てもないため、そこをうまく示せるような国のサポートがあるとよいのは常々思っていたところです。それを今回のプロジェクトの中で行うのかどうかという点もありますし、電力消費のところは難しい課題だと思いますが、定量化への道筋がこのプロジェクトの中で立っていくと業界としては非常にありがたいです。本日は、ありがとうございました。

【張山分科会長】　ありがとうございました。それでは、富高委員、お願いいたします。

【富高委員】　本日は2つの大きな課題で、AIエッジコンピューティング、現在のAIを支えているようなプロセッサーをどうしていくかという話と、その次として、次世代コンピューティングや量子コンピューターをはじめ、脳や光の話があったと思います。遡ってみれば、実は、世界最初のCPUである4004は日本の電卓会社が考えてインテルに頼んだという面があります。あれをそのまま日本が作っていたら、日本でインテルができていたかもしれません。その後、今度はゲームで3D演算を行うことに関して、NVIDIAのGPUが長けており、それがたまたまニューラルネットや行列計算と似ているという点で今のNVIDIAにつながっています。こういったプロセッサー、コンピューター、データセンターは、ある特定のアプリケーションが大きくそれを支えている歴史があります。今回の2つの大きなプロジェクトにおいて、応用をより正確に定義していき、最初の電卓で4004を取り逃したものを、このNEDOのプロジェクトで、Beyond NVIDIAかBeyond GPUのところでアプリケーションを特化して日本で開発し、そこを取れるようなプロジェクトに全体としてなっていければよいと思いました。本日は、ありがとうございました。

【張山分科会長】　ありがとうございました。それでは、岡島委員、お願いいたします。

【岡島委員】　10年プロジェクトという非常に長いものですが、マネジメント、戦略、周辺環境の調査を踏まえ、非常によくプロジェクト統合であるとか、今後の強化の方向性等を議論されています。また、予算も含めて準備をされているということで非常に期待しております。それから、やはり重要なのは「世の中に出して何ぼ」ということです。本日申し上げたように、ユーザーが欲するものであり、日本の強みを生かすものを、評価として丸というものではなく、ぜひ最後までやり切って、なおかつ市場でシェアを取るところまで支援ができるとよいと思いました。以上です。ありがとうございました。

【張山分科会長】　ありがとうございました。それでは、井上分科会長代理、お願いいたします。

【井上分科会長代理】　本日は、1日ありがとうございました。この10年でしっかりと、そして非常にチャレンジングなことを行うというのは、NEDOにとってもチャレンジングな事業であると思っています。

また、非常に時代が変わっていくことにも適応をされながら、うまくマネジメントをされていると痛感した次第です。その点は、心から敬意を表します。コンピューティング力というのは、今後の世の中を考えると、ほぼ国力と言ってもよいと思います。そうした中で、我が国、日本ではコンピューティング産業の力が今、どうしても弱くなっているようにも見えます。ぜひ今回の事業を一つのロールモデルとして、いわゆる新しいものをつくっていきつつ、それを日本のコンピューティング産業につなげていく道をつくっていただければと思います。それから、アカデミアの観点からは、計算機能もしくはコンピューティングで一つ重要と私が思うのはスケーラビリティです。ある一瞬だけつくり、そのとき使えますというものであれば、これで終わってしまいます。やはり半導体が強かったのは、いわゆるムーアの法則に従って単位面積当りのトランジスタ数が増える。この数をパフォーマンスにどう変換するかというところで、スケールしていったところがあります。このコンピューティングプラットフォームというものは、スケーラビリティをなくしては次の新しいソフトウエアが生まれていきません。ぜひそこも少し意識をし、いろいろと今後進めていかれるとよいと思います。以上です。

【張山分科会長】　ありがとうございました。それでは、最後に私のほうから講評をいたします。生成AIをはじめ、量子コンピューターの方式もどんどん変わっていくといった難しいテーマに対して、ダイナミックかつ動的に追従されております。非常に苦労されながらも上手なマネジメントを行われていることに、本当に敬意を表します。今後、ますます難しい状況になっていくにおいて、例えば今の採択は5年、10年というものですが、お金の面で難しさもあると考えるものの、途中から新しい技術が出たら、その時点で採択をする。期間が3年などといった短いものであっても、少し柔軟にチームを追加できる、もしくは、新しくチームにもう一つ加えて統合する、新しく外から人を持ってきて統合するといった新しい芽を積極的に入れていく仕組みも必要ではないかと思います。最初に採択をしたものでずっと続けることの難しい状況というのが、この進化の早い時代においては伴います。いずれにしても、私自身も非常に勉強になった次第です。今後とも、ぜひ日本のために頑張っていただきたく思います。本日は、ありがとうございました。

【指田専門調査員】　委員の皆様、どうもありがとうございました。それでは、推進部用及びPLの方々より一言ずつ頂戴いたします。最初に、高田部長よりお願いいたします。

【高田部長】　本日は、本当にお忙しいところ、貴重な御意見をいただきましてありがとうございます。長い時間をかけた計画の下に始めた頃は、先端技術といっていたものが技術潮流もますます変わり、実需もどんどん来て、電力問題が健在化してきたという局面にあると理解しております。本日コメントをいただいたように、しっかり出口を意識して応用を明確にする。スケーラビリティを意識する。そして、柔軟な対応といった御意見をしっかりと受け止め、残りの期間において本事業への反映及び今後新たに展開していく施策に関してもしっかり反映していく所存です。ありがとうございました。

【指田専門調査員】　ありがとうございました。続きまして、本村プロジェクトリーダーより、お願いいたします。

【本村PL】　東京科学大学の本村です。私は、①の革新的AIエッジ事業のPLを務めさせていただきました。5年の期間であり、現在は既に役割を置いている状態にあります。日頃の研究としてAIのプロセッサー分野の研究をしていますが、AIの分野、AIプロセッサーの分野で、本当に大げさでなく日本の存在感がほぼゼロの状況になっていると思います。これを正しく理解し、先ほどの井上先生の言葉を借りれば、これからどのように「この分野で国力を挙げていくか」を考えるのが重要だと思っています。そのためには、まずプレーヤーを増やすことが欠かせません。そういう意味で、国の政策の位置づけは非常に重要であると常々思っています。この PL を務めさせていただいた事業は、そのための種をまいたような事業であったと踏まえております。その立場から申し上げるのは、今後ともこれを途切らせることなく、経産省及びNEDOに国力を出すための活動をぜひお願いしたいという点です。本

日は、委員の皆様、大変ありがとうございました。以上です。

【指田専門調査員】　ありがとうございました。続きまして、金山プロジェクトリーダーより、お願いいたします。

【金山 PL】　本日は、非常に的確かつ鋭い議論及び明確な公表を賜りまして、ありがとうございました。共通した内容としては、「実用化・事業化を考える」、「アプリケーション、ユーザーのことをもっと考える」といった御指摘でしたが、このプロジェクトもついにそういうコメントが来る段階までに来たかと、私は非常にうれしく思った次第です。当初、このプロジェクトは非常に探索的なチャレンジングなところからスタートをしており、相当多くのテーマを実は途中で落とし、絞り込みながら今に至っております。先ほど張山分科会長より、「もっと柔軟に」という御指摘を頂戴しましたが、同じテーマでもプレーヤーの追加及び入替えを行いながらやってきておりました。その点、本日の説明で分かりやすくお伝えできなかったかもしれませんが、我々としては相当柔軟に行ってきたつもりです。また、今申し上げたように、このプロジェクトは期間も長く、最初は本当に探索的なところから始めており、NEDO プロですから最後は実用化に至らないとなりません。従来の NEDO プロにはないような立てつけと狙いを持ち、プロジェクト運営自体、相当これは実験的なチャレンジだったかと思います。

少し振り返りますが、前回の中間評価において、「事業の狙いはよいものの、事業化は C だ」という御評価をいただきました。これは、我々の立場からすると、今申し上げたような立てつけであり、当然理解をしており、本音としては少し言い返したいところもありました。こちらとしては、そういう評価を受ければ、対応を行います。初めの計画がそのまま続いて最後まで実用化といったストーリーは無理ですが、途中でいろいろな派生的なアウトプットが出ていき、本日説明をした事業化につながっています。我々は打たれ強いですから、厳しいことを言っていただくと、「そんなことは分かっている」と言いながらも、それに対応して、よりポジティブな方向に対応ができると思います。本日のコメントも参考にしながら、ぜひこの後の御評価でも、厳しくも温かいといいますか、我々のめげない程度に厳しい評価をいただければ幸いです。どうもありがとうございました。

【指田専門調査員】　どうもありがとうございました。

【張山分科会長】　それでは、以上で議題８を終了いたします。

９．今後の予定

１０．閉会

配布資料

資料 1	研究評価委員会分科会の設置について
資料 2	研究評価委員会分科会の公開について
資料 3	研究評価委員会分科会における秘密情報の守秘と非公開資料の取り扱いについて
資料 4-1	NEDO における技術評価について
資料 4-2	評価項目・評価基準
資料 4-3	評点法の実施について
資料 4-4	評価コメント及び評点票
資料 4-5	評価報告書の構成について
資料 5-1	プロジェクトの説明資料（公開）
資料 5-2-1	プロジェクト詳細説明資料（公開）
資料 5-2-2	プロジェクト詳細説明資料（公開）
資料 6	プロジェクトの補足説明資料（非公開）
資料 7-1	研究開発項目〔1〕革新的 AI エッジコンピューティング技術の開発事業原簿（公開）
資料 7-2	研究開発項目〔2〕次世代コンピューティング技術の開発事業原簿（公開）
資料 8	評価スケジュール

以上

参考資料２　評価の実施方法

NEDO における技術評価について

1. NEDO における技術評価の位置付けについて

NEDO の研究開発の評価は、プロジェクト/制度の実施時期毎に事前評価、中間評価、終了時評価及び追跡評価が行われ、研究開発のマネジメントにおける PDCA サイクル（図 1）の一角と位置づけられています。さらに情勢変化の激しい今日においては、OODA ループを構築し、評価結果を計画や資源配分へ適時反映させることが必要です。

評価結果は、被評価プロジェクト/制度等の資源配分、事業計画等に適切に反映させることにより、事業の加速化、縮小、中止、見直し等を的確に実施し、技術開発内容やマネジメント等の改善、見直しを的確に行っていきます。

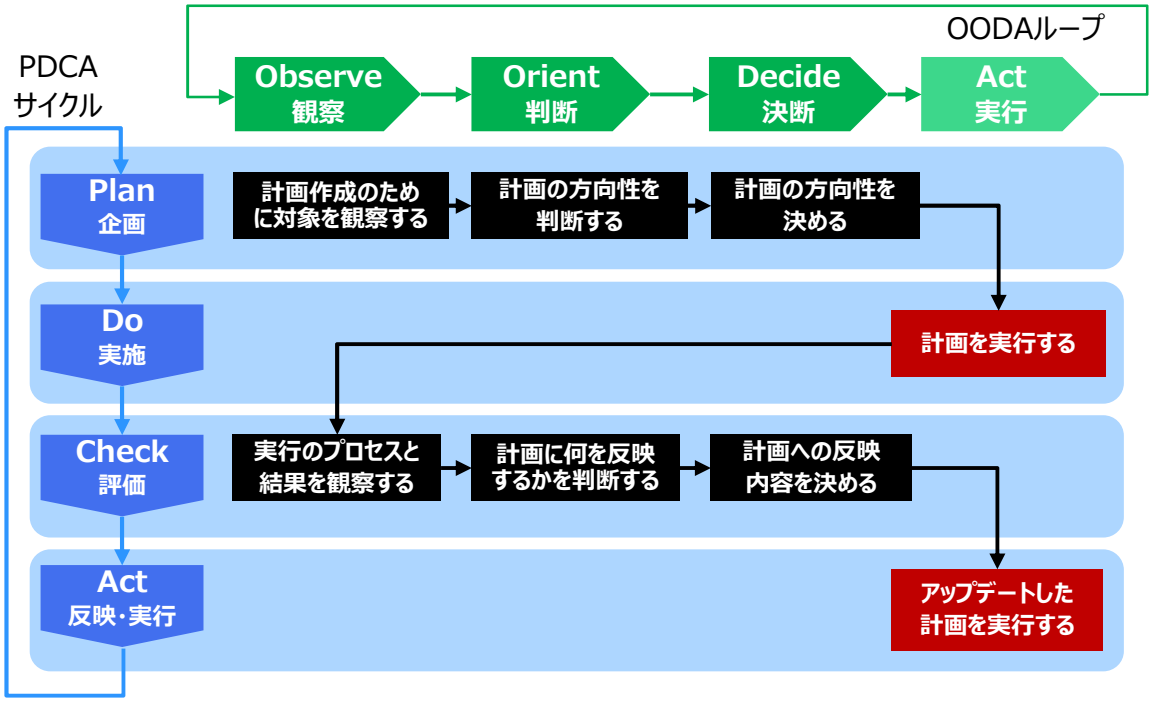


図 1　研究開発マネジメント PDCA サイクルと OODA ループ組み合わせ例

2. 技術評価の目的

NEDO では、次の 3 つの目的のために技術評価を実施しています。

(1) 業務の高度化等の自己改革を促進する。
(2) 社会に対する説明責任を履行するとともに、経済・社会ニーズを取り込む。
(3) 評価結果を資源配分に反映させ、資源の重点化及び業務の効率化を促進する。

3. 技術評価の共通原則

技術評価の実施に当たっては、次の 5 つの共通原則に従って行います。

(1) 評価の透明性を確保するため、評価結果のみならず評価方法及び評価結果の反映状況を可能な限り被評価者及び社会に公表する。なお、評価結果については可能な限り計量的な指標で示すものとする。

(2) 評価の明示性を確保するため、可能な限り被評価者と評価者の討議を奨励する。
(3) 評価の実効性を確保するため、資源配分及び自己改革に反映しやすい評価方法を採用する。
(4) 評価の中立性を確保するため、可能な限り外部評価又は第三者評価のいずれかによって行う。
(5) 評価の効率性を確保するため、研究開発等の必要な書類の整備及び不必要な評価作業の重複の排除等に務める。

4. プロジェクト評価/制度評価の実施体制

プロジェクト評価/制度評価については、図 2 に示す実施体制で評価を実施しています。

(1) 研究開発プロジェクト/制度の技術評価を統括する研究評価委員会を NEDO 内に設置。
(2) 評価対象プロジェクト/制度毎に当該技術の外部の専門家、有識者等からなる分科会を研究評価委員会の下に設置。
(3) 同分科会にて評価対象プロジェクト/制度の技術評価を行い、評価（案）を取りまとめる。
(4) 研究評価委員会の了承を得て評価が確定され、理事長に報告。

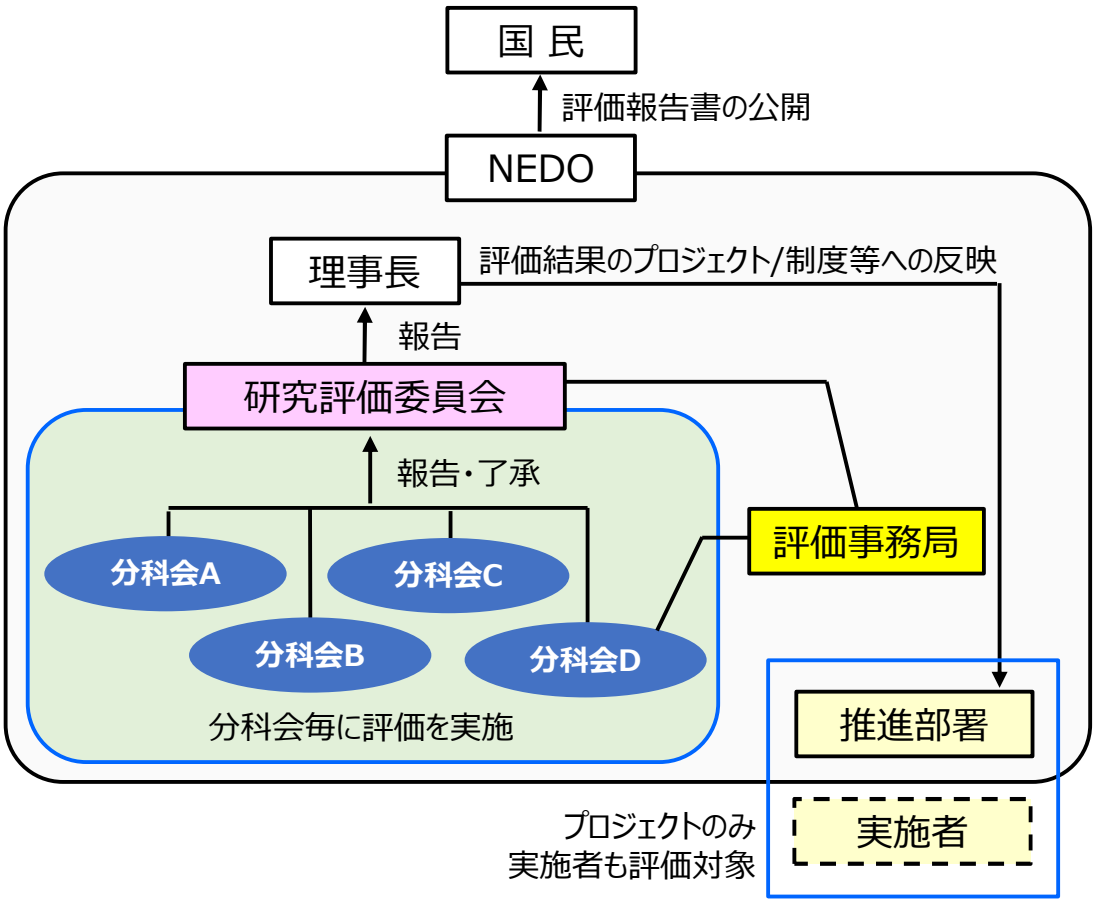


図 2　評価の実施体制

5. 評価手順

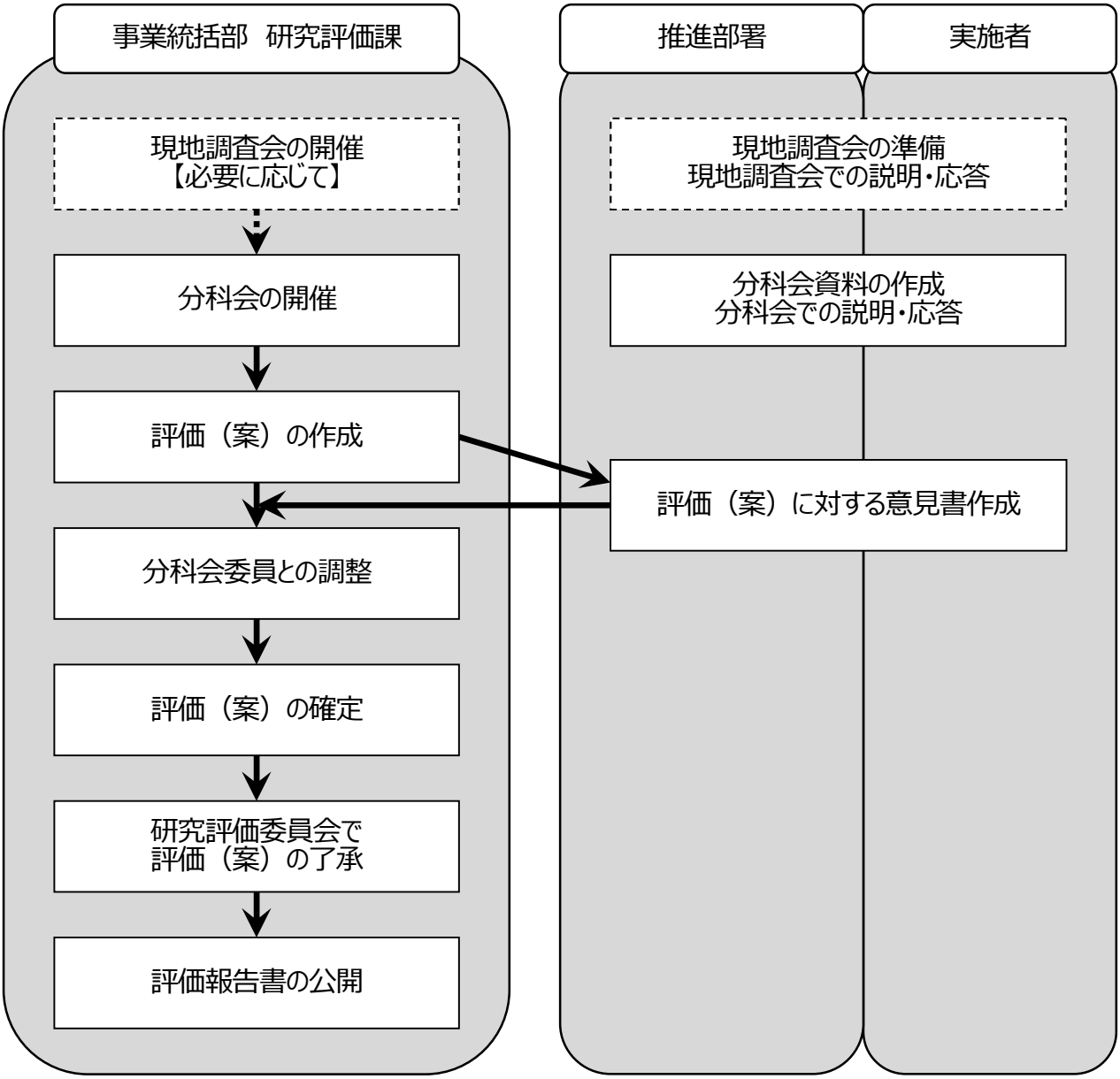


図３　評価作業フロー

「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業」
（中間評価）分科会に係る
評価項目・評価基準

1．意義・アウトカム（社会実装）達成までの道筋

(1) 本事業の位置づけ・意義

・本事業が目指す将来像（ビジョン・目標）や上位のプログラム及び関連する政策・施策における位置づけが明確に示された上で、それらの目的達成にどのように寄与するかが明確に示されているか。
・外部環境（内外の技術・市場動向、制度環境、政策動向等）の変化を踏まえてもなお、本事業は真に社会課題の解決に貢献し、経済的価値が高いものであり、国において実施する意義があるか。

(2) アウトカム達成までの道筋

・「アウトカム達成までの道筋」※の見直しの工程において、外部環境の変化及び当該研究開発により見込まれる社会的影響等を考慮しているか。

※ 「アウトカム達成までの道筋」を示す上で考慮すべき事項
・将来像（ビジョン・目標）の実現に向けて、安全性基準の作成、規制緩和、実証、標準化、規制の認証・承認、国際連携、広報など、必要な取組が網羅されていること。
・官民の役割分担を含め、誰が何をどのように実施するのか、時間軸も含めて明確であること。
・本事業終了後の自立化を見据えていること。
・幅広いステークホルダーに情報発信するための具体的な取組が行われていること。

(3) 知的財産・標準化戦略

・オープン・クローズ戦略は、実用化・事業化を見据えた上で、研究データを含め、クローズ領域とオープン領域が適切に設定されており、外部環境の変化等を踏まえてもなお、妥当か。
・本事業の参加者間での知的財産の取扱い（知的財産の帰属及び実施許諾、体制変更への対応、事業終了後の権利・義務等）や市場展開が見込まれる国での権利化の考え方は、オープン・クローズ戦略及び標準化戦略に整合し、研究開発成果の事業化に資する適切なものであるか。
・標準化戦略は、事業化段階や外部環境の変化に応じて、最適な手法・視点（デジュール、フォーラム、デファクト）で取り組んでいるか。
・国際標準化の制定の計画は、仲間作り、TC/SC 等の設置、主導的な立場（コンビナー等）の獲得なども含めて、必要な事項が盛り込まれており、実用化・事業化を見据えた時間軸となっているか。

２．目標及び達成状況

(1) アウトカム目標及び達成見込み

・外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえてアウトカム指標・目標値を適切に※見直しているか。

・アウトカム目標の達成の見込みはあるか（見込めない場合は原因と今後の見通しは妥当か）。

・費用対効果の試算（国費投入総額に対するアウトカム）は妥当か。

※ アウトカム目標を設定する上で考慮すべき事項

・本事業が目指す将来像（ビジョン・目標）と関係のあるアウトカム指標・目標値（市場規模・シェア、エネルギー・CO_2 削減量など）及びその達成時期が適切に設定されていること。

・アウトカムが実現した場合の日本経済や国際競争力、問題解決に与える効果が優れていること。

・アウトカム目標の設定根拠は明確かつ妥当であること。

・達成状況の計測が可能な指標が設定されていること。

(2) アウトプット目標及び達成状況

・外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえてアウトプット指標・目標値を適切に※見直しているか。

・中間目標は達成しているか。未達成の場合の根本原因分析や今後の見通しの説明は適切か。

・副次的成果や波及効果等の成果で評価できるものがあるか。

・オープン・クローズ戦略や実用化・事業化の計画を踏まえて、必要な論文発表、特許出願等が行われているか。

※ アウトプット目標を設定する上で考慮すべき事項

・アウトカム達成のために必要なアウトプット指標・目標値及びその達成時期が設定されていること。

・技術的優位性、経済的優位性を確保できるアウトプット指標・目標値が設定されていること。

・アウトプット指標・目標値の設定根拠が明確かつ妥当であること。

・達成状況の計測が可能な指標（技術スペックと TRL※の併用）により設定されていること。

※TRL：技術成熟度レベル（Technology Readiness Levels）の略。

３．マネジメント

(1) 実施体制

・執行機関（METI/NEDO/AMED 等）は適切か。効果的・効率的な事業執行の観点から、他に適切な機関は存在しないか
・実施者は技術力及び実用化・事業化能力を発揮しているか。
・指揮命令系統及び責任体制は有効に機能しているか。
・実施者間での連携、成果のユーザーによる関与など、実用化・事業化を目指した体制となっているか。
・個別事業の採択プロセス（公募の周知方法、交付条件・対象者、採択審査の体制等）は適切か。
・本事業として、研究データの利活用・提供方針等は、オープン・クローズ戦略等に沿った適切なものか。また、研究者による適切な情報開示やその所属機関における管理体制整備といった研究の健全性・公平性（研究インテグリティ）の確保に係る取組をしているか。

(2) 受益者負担の考え方

・委託事業の場合、委託事業として継続することが適切※か。補助事業の場合、現状の補助率の設定を続けていくことが適切※か。

※ 適切な受益者負担の考え方
・委託事業は、「事業化のために長期間の研究開発が必要かつ事業性が予測できない※、又は、海外の政策動向の影響を大きく受けるために民間企業では事業化の成否の判断が困難な場合において、民間企業が自主的に実施しない研究開発・実証研究」、「法令の執行又は国の政策の実施のために必要なデータ等を取得、分析及び提供することを目的とした研究開発・実証研究」に限られていること。
※「長期間」とは、技術特性等によって異なるものの「研究開発事業の開始から事業化まで 10 年以上かかるもの」を目安とする。「事業性が予測できない」とは、開発成果の収益性が予測不可能であり、民間企業の経営戦略に明確に記載されていないものとする。
・補助事業は、事業化リスク（事業化までの期間等）に応じて、段階的に補助率を低減させていくなど、補助率が適切に設計されているものであること。

(3) 研究開発計画

・外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえ、アウトプット目標達成に必要な要素技術、要素技術間での連携、スケジュールを適切に見直しているか。
・研究開発の進捗を管理する手法は適切か（WBS※等）。進捗状況を常に関係者が把握しており、遅れが生じた場合、適切に対応しているか。

※WBS：作業分解構造(Work Breakdown Structure)の略。

・研究開発の継続又は中止を判断するための要件・指標、ステージゲート方式による個別事業の絞り込みの考え方・通過数などの競争を促す仕組みを必要に応じて見直しているか。

参考資料３　評価結果の反映について

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業」（中間評価）の
評価結果の反映について

評価のポイント	反映（対処方針）のポイント
【1】量子技術イノベーション戦略が掲げる量子技術の普及という目的に対して本事業の開発技術がどのように貢献するかは、もう少し掘り下げて具体化が必要ではないかと思われる	【1】2025年度以降の研究開発の実施計画策定に向けて必要に応じて目標の見直し、拡充を実施する。
【2】アウトカム達成に向けては、個別市場における具体的ニーズ・特殊ニーズを捉えるための事業化アクションについても具体化することを期待する。	【2】2025年度以降、分野ごとに技術動向や知財動向をまとめる調査を実施し、戦略と提言を策定する。
【3】知財を攻めのツールとして徹底的に強化する方針が望ましい。AI、量子コンピュータ、次世代コンピュータとも、知財、ノウハウのオープン、クローズ戦略に関しては、世界でもいろいろな形で議論されており、企業ごとでも、戦略が全く異なる。これらをベンチマークして、NEDOプロジェクトとしてどのような戦略を立てるべきかの議論を望む。加えて国際標準化に関しては、やや活動が見えにくい。現状では、分野的に標準化の着眼点を定めることが難しい分野でもあるので、今後検討いただきたい。	【3】【2】の再掲。

評価のポイント	反映（対処方針）のポイント
【4】世界レベルでの競争では、他国のプロジェクトも日進月歩で進捗している。したがって、ベンチマークを適時行い、その競合と真っ向勝負するか、違う土俵で勝負するかの明確なストーリーを構築し、議論できる機会が必要だと考える。	【4】2025 年度以降、各テーマにおいて競合技術に関する情報収集を継続するとともに、事業化戦略について議論する場として、事業化推進会議等の有識者会議の設置を、実施計画書に明記する
【5】アウトプット目標の、データセンターの低消費電力化に資するというのはとても重要であり、エッジ AI でのアーキテクチャの設計指針とはやや異なる性能指針が必要となるか検討いただきたい。	【5】該当するエッジ AI に関する指標については、研究開発項目①の後継プロジェクトである「省エネ AI 半導体及びシステムに関する技術開発事業」の担当者に共有する。
【6】超低消費電力のメモリー素子、サーバーリソース間の高速・低消費電力な通信など、システム全般にわたる技術開発が急がれる。	【6】研究開発項目②において既に実施中の技術開発内容であり、引き続き研究開発を継続する。
【7】研究開発項目②については、次世代コンピューティングのニーズを創り出す活動、市場を立ち上げる活動、事業化を支援する体制を構築することが望まれる。	【7】すでにアドバイザリーボードの開催等、有効とされる取り組みが各実施計画書の明記されているところ。海外企業との連携や、市場立ち上げに繋がる調査や広報活動などを明記する。
【8】成果や開発中の技術に関してユーザーに触れる機会をさらに増やしていくことが、様々なアプリケーションの開発が同時に進み、社会実装を促進する鍵となるので、そのような活動を検討いただきたい。	【8】【7】の再掲。

評価のポイント	反映（対処方針）のポイント
【9】一つの企業だけでは完結することが難しい昨今においては、海外企業との連携も視野に入れた事業へと拡大することも含めて、検討いただきたい。 【10】AI 関連産業は本事業発足当時の予想をはるかに超えた速度で進展している。この速度に対応した計画の見直しを継続していただきたい。	【9】【7】の再掲。 【10】毎年度実施する各種外部有識者会議や、技術動向調査の結果などを踏まえて、必要に応じて計画の見直しを行い、各テーマの実施計画書に反映する。

本研究評価委員会報告は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）事業統括部が委員会の事務局として編集しています。

NEDO 事業統括部 研究評価課

＊研究評価委員会に関する情報は NEDO のホームページに掲載しています。
（https://www.nedo.go.jp/introducing/iinkai/kenkyuu_index.html）

〒212-8554
神奈川県川崎市幸区大宮町1310番地
ミューザ川崎セントラルタワー
TEL 044-520-5160